

## Capitolul 6.

### Circuite fundamentale.

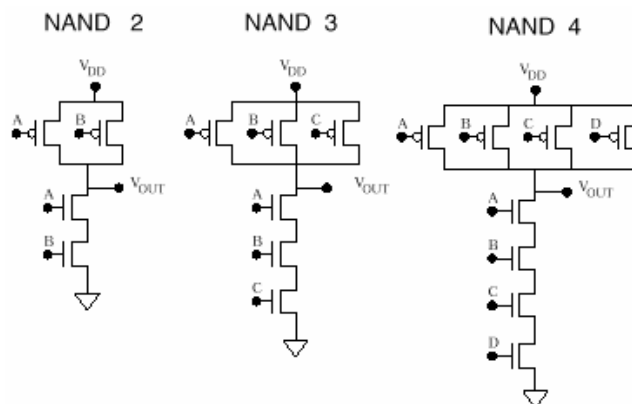
In acest capitol se vor prezenta circuitele standard CMOS sub forma de scheme si masti. Informatiile referitoare la mastile necesare in procesul de generare a diverselor straturi ale structurilor circuitelor CMOS numerice vor fi, intr-o mare masura, simplificate. Se va putea observa ca, in alcatuirea portilor de baza, se intalnesc microcelule elementare anologice limbajului de programare sau microcodului.

#### 6.1. Portile standard.

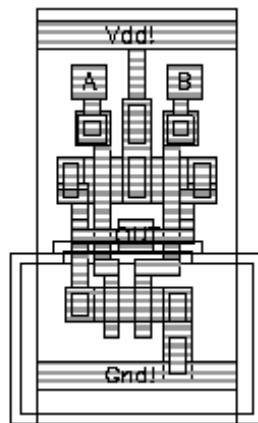
Cand se deseneaza un circuit complex, cea mai buna metoda consta intr-o abordare ierarhica. Spre exemplu, atunci cand se proiecteaza un microprocesor nu se va pleca de la nivelul tranzistoarelor, ci de la nivelul portilor de tipul NAND, NOR, si de la cel al bistabilelor. Pe aceasta baza se vor crea nivelurile superioare ale structurii: registrele, unitatile aritmetice-logice s.a. Aceasta abordare “de jos in sus” reprezinta un mijloc de a solutiona probleme cu caracter complex. In aceasta sectiune se vor prezenta cateva circuite standard si structuri de porti. Pe de alta parte, avand create aceste module sau megacelule, proiectele urmatoare se vor baza pe aceste structuri in cadrul unei abordari “de sus in jos”.

##### 6.1.1. Circuitul NAND.

Schema pentru poarta NAND a fost prezentata in primul capitol. Figura de mai jos prezinta schemele pentru portile NAND cu doua, trei si patru intrari. Tranzistoarele PMOS au sursele conectate la  $V_{DD}$  si drenele la  $V_{OUT}$ . Tranzistoarele NMOS sunt conectate in serie, cel de la nivelul cel mai de jos avand sursa conectata la masa, iar cel de la nivelul cel mai de sus dreana conectata la  $V_{OUT}$ .

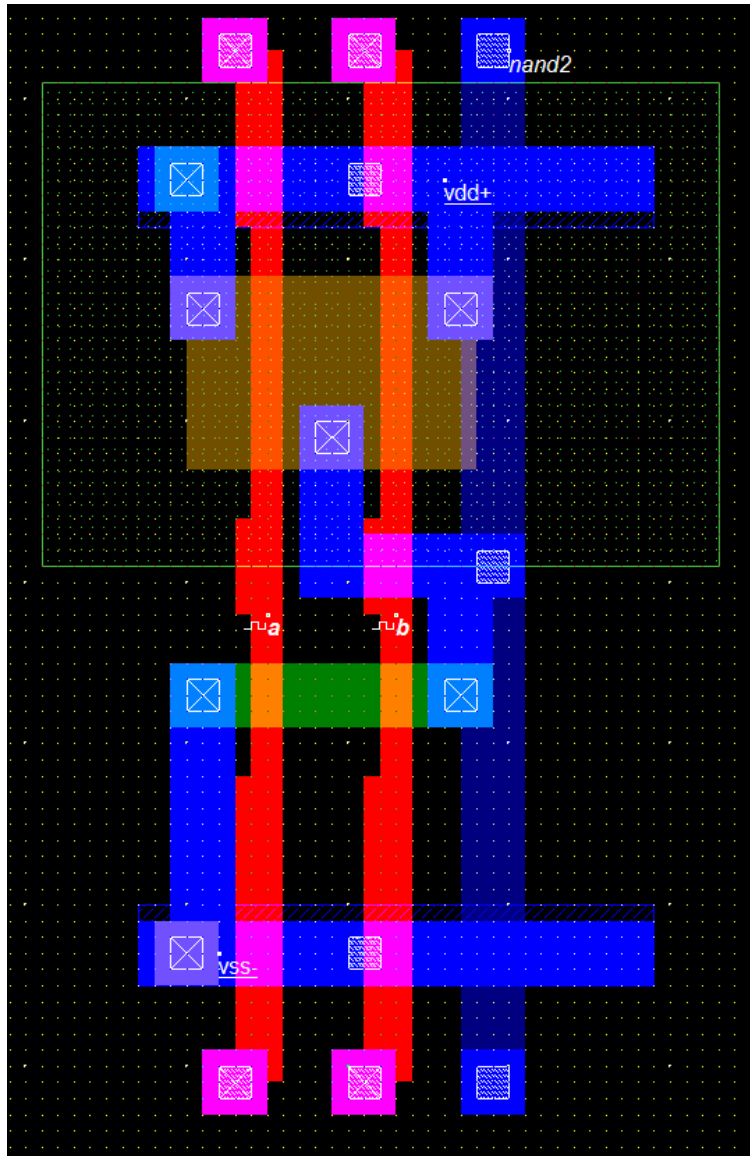


Desenul mastilor portii NAND cu doua intrari, in conditiile in care substratul este dopat N, este aratat mai jos. Aceasta celula posedea cateva trasaturi notabile. Mai intai, traseele  $V_{DD}$  si  $GND$  formeaza o bara care se extinde transversal la nivelul superior si la nivelul inferior. Aceasta permite plasarea alaturata a unor asemenea celule. In acest mod se vor forma liniile de alimentare si de masa, care se extind de la stanga la dreapta, fara alte conexiuni externe. Ca rezultat, dimensiunea liniei si spatiile intre ele trebuie standardizate.

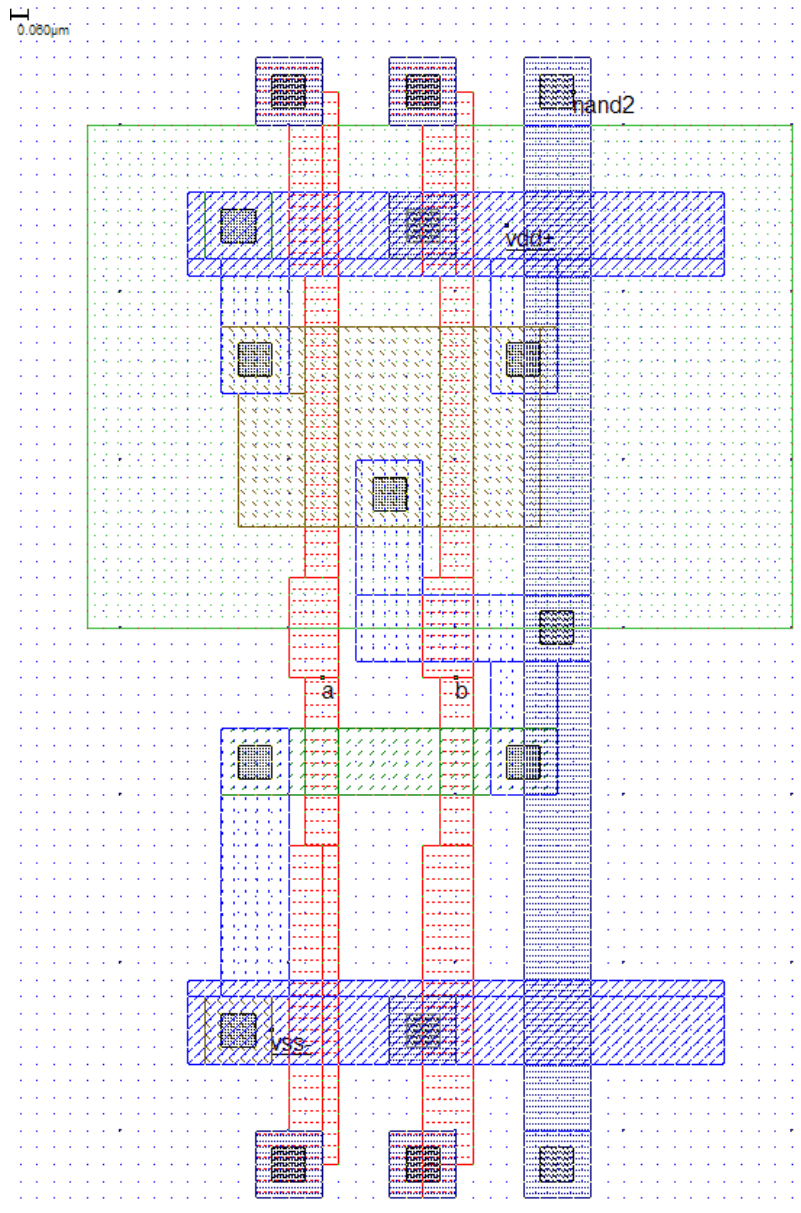


Acest tip de celula este folosit in programele de autorutare. Intrarile A si B sunt conectate la trasee din siliciu policristalin, care formeaza tranzistoarele PMOS si NMOS. Cele doua tranzistoare PMOS sunt adiacente la sursele lor, pentru a economisi spatiul si pentru a imbunatati performanta. O strategie similara de conectare va fi utilizata si pentru cele doua tranzistoare NMOS. Se poate observa ca dispozitivele NMOS se afla pe aceeasi insula P, care are, de asemenea, un contact la  $GND$ .

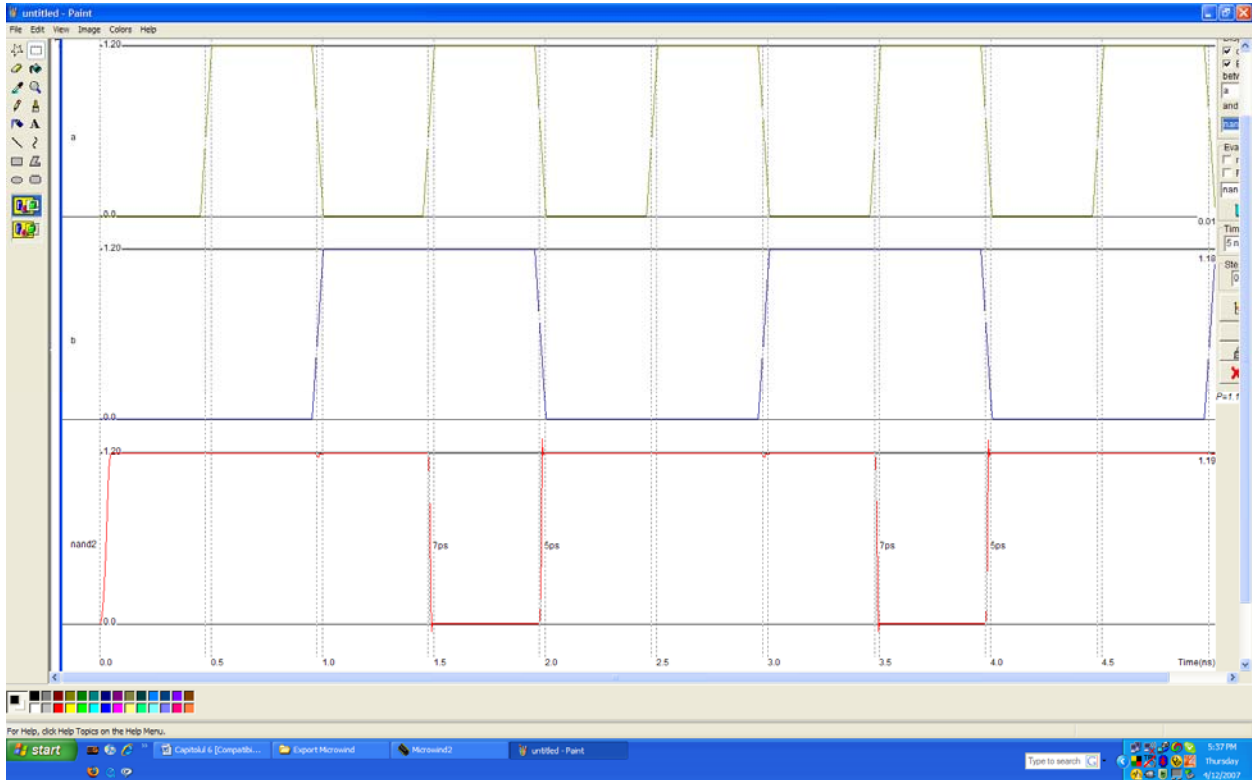
In desenul de mai jos, se prezinta mastile pentru o poarta NAND, cu 2 intrari, realizata pe un substrat dopat P.



Masti rezultate din compilarea expresiei: **nand2= ~(a&b)**



## Rezultatul simulării operării portii NAND2

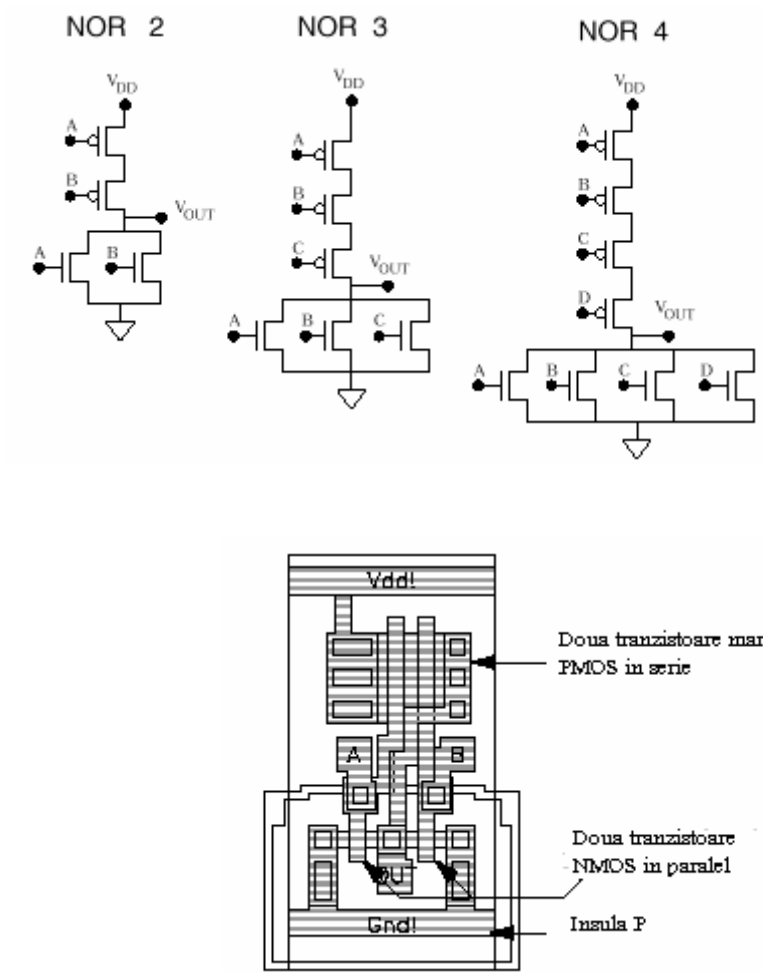


### 6.1.2. Circuitul NOR.

Schemele pentru portile NOR cu doua, trei si patru intrari sunt prezentate mai jos. Dupa cum se poate observa tranzistoarele PMOS sunt conectate in serie iar cele NMOS sunt conectate in paralel.

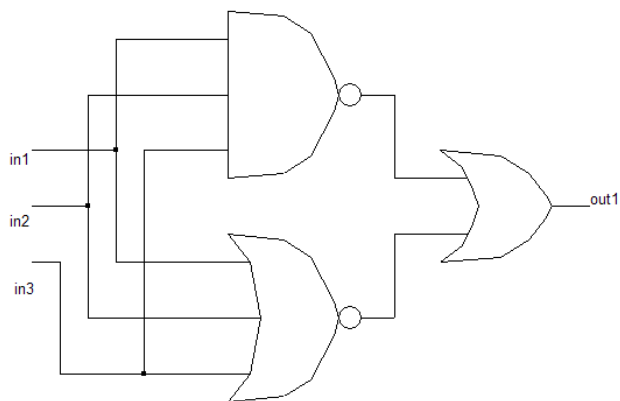
Desenul mastilor pentru poarta NOR cu doua intrari prezinta aceleasi caracteristici ca si cel pentru poarta NAND. Trebuie remarcat faptul ca tranzistoarele de tip P, fiind in serie, trebuie sa aibe dimensiuni mai mari decat tranzistoarele de tip N, pentru a asigura timpi de crestere si cadere egali. Explicatia acestei afirmatii s-a dat in Capitolul 5.

Un alt aspect se refera la faptul ca schema circuitului la nivelul tranzistoarelor reprezinta amplasarea relativa a acestora din urma. Desenele reale ale mastilor incearca, de regula, sa minimizeze aria ocupata. In acest scop se utilizeaza conexiuni si orientari ale tranzistoarelor cat mai convenabile.



Implementarea unei retele combinational care realizeaza functia:

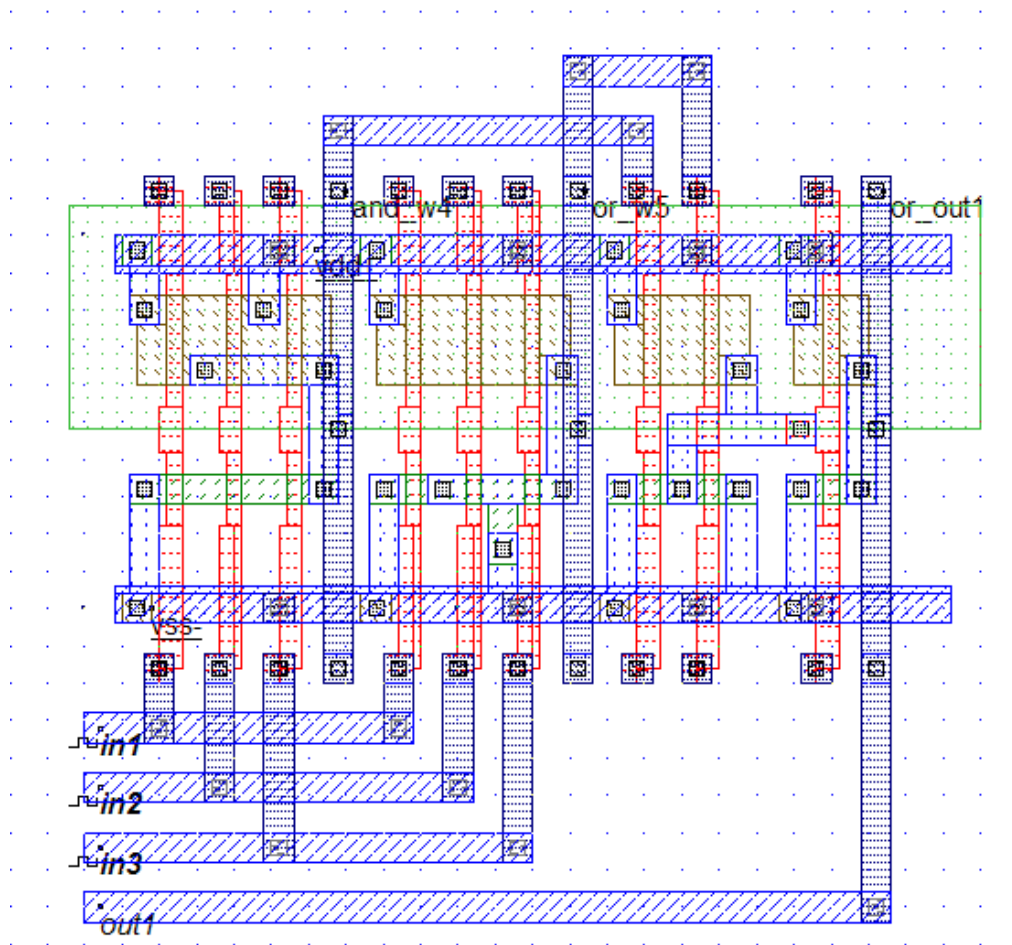
$$out1 = \sim(in1 \& in2 \& in3) | \sim(in1 | in2 | in3)$$



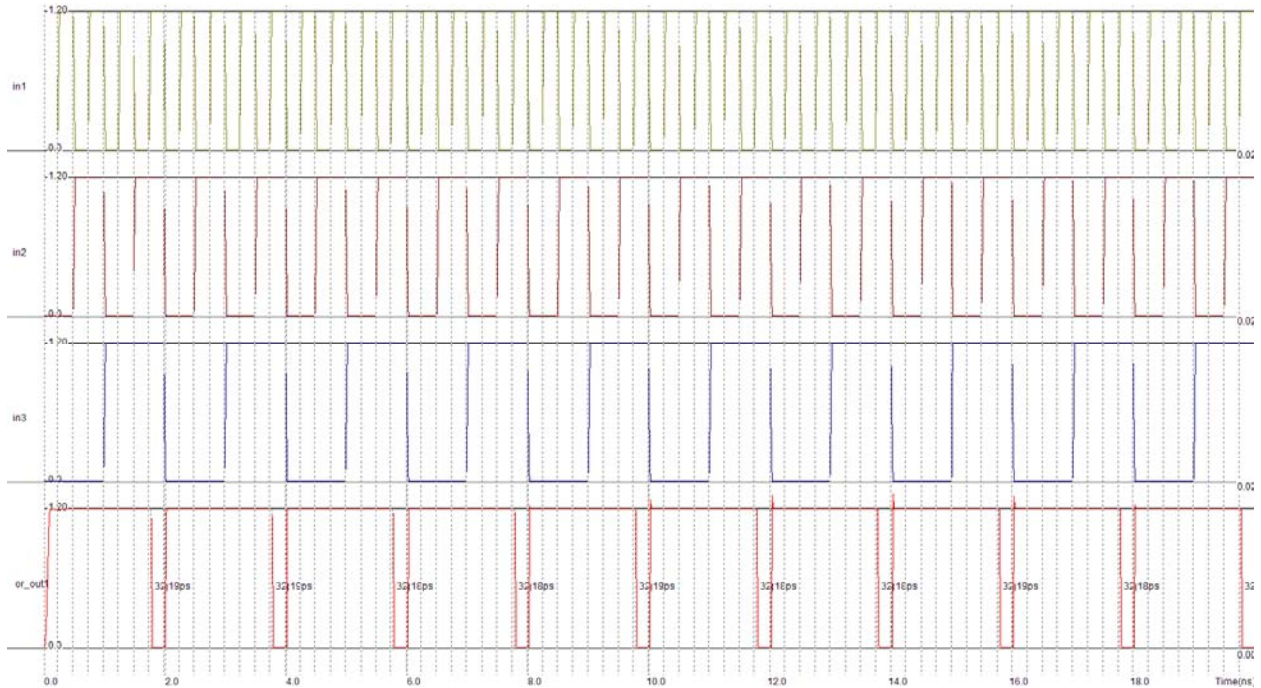
```

Se pleaca de la fisierul Verilog de mai jos
module nand3_or_nor3( in1,in2,in3,out1);
input in1,in2,in3;
output out1;
wire w4, w5;
nand #(13) and(w4,in1,in2,in3);
nor #(13) or(w5,in1,in2,in3);
or #(16) or(out1,w4,w5);
endmodule

```



### Rezultatul simulării:

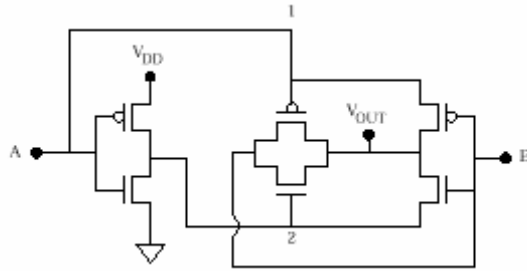


#### 6.3.1. SAU-Exclusiv (XOR).

Poarta XOR are numeroase utilizari in proiectarea circuitelor numerice. Functia indeplinita de acest circuit nu se realizeaza direct, ca in cazul circuitului NAND. De aceea, vor fi prezentate doua versiuni ale circuitului XOR. Prima versiune se caracterizeaza printr-o arie ocupata mai mica, si prin folosirea portilor de transmisie. Intrucat puterea de comanda la iesire deriva din intrari, circuitul mai poarta numele de XOR pasiv. Cel de-a doua configuratie sde bazeaza pe porti statice CMOS. Aceasta solutie asigura un timp de raspuns mai rapid, dar utilizeaza mai multe tranzistoare in proiectare.

In figura de mai jos se prezinta schema pentru poarta XOR pasiva. Se poate observa inversorul de pe intrarea A, structura care seamna cu un inversor pe intrarea B si poarta de transmisie in centrul circuitului. In continuare se va face o analiza a celor patru cazuri posibile, pentru semnalele logice de la intrare.





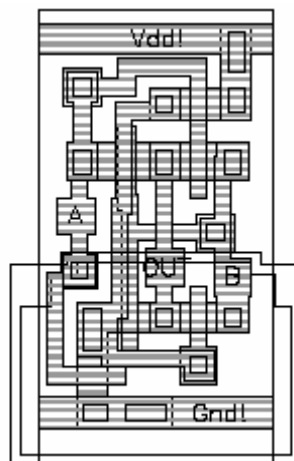
- $A=0, B=0$ . Aceasta face ca punctul 1 sa aibe valoarea logica 0 si punctul 2 – valoarea 1, ceea ce va face ca poarta de transmisie sa fie in conductie. Prin aceasta se creaza o cale de la B la  $V_{OUT}$ , prin poarta de transmisie. Intrucat B este la 0 sau la masa,  $V_{OUT}=0$

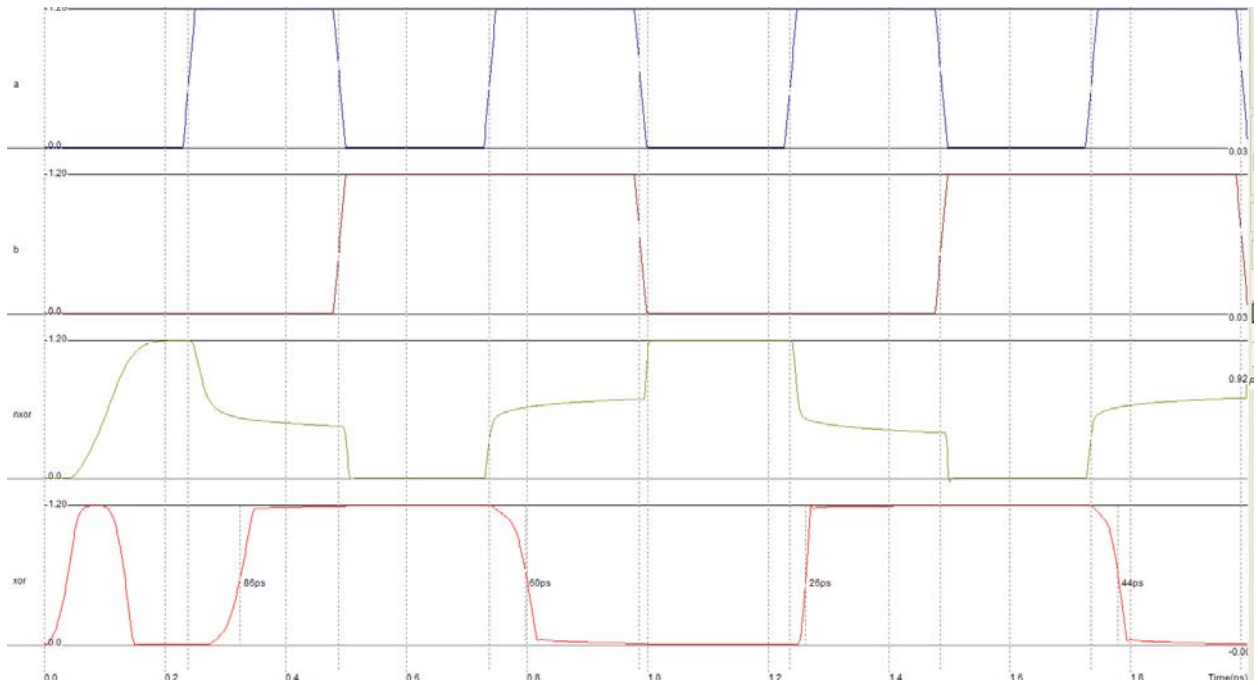
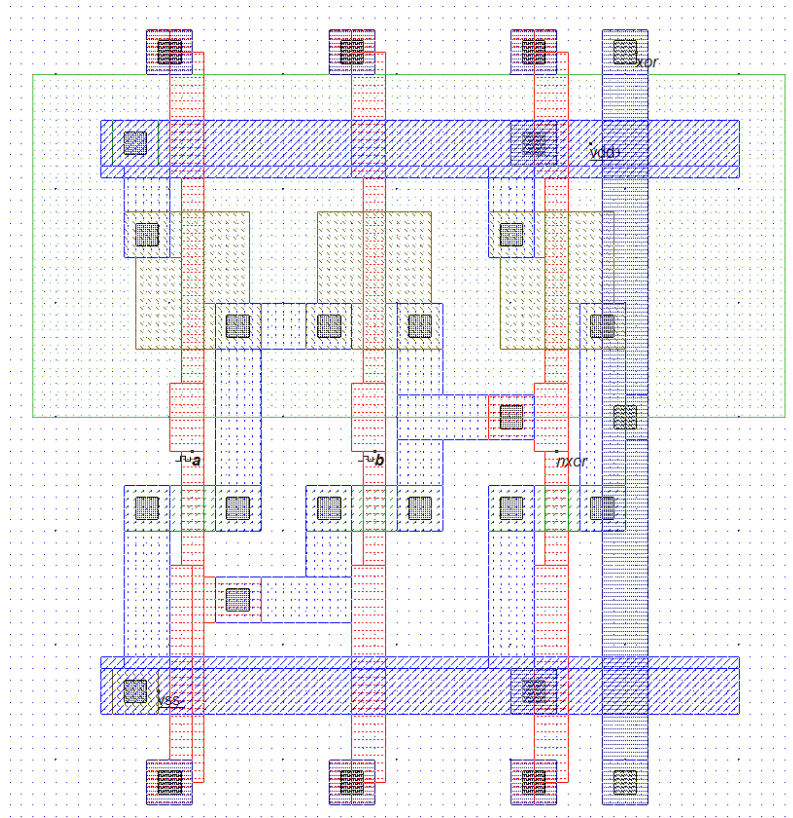
- $A=0, B=1$ . Din nou punctele 1 si 2 au valorile 0 si respectiv 1. Poarta de transmisie conduce ceea ce face ca intrarea 1, de la B, sa se propage catre  $V_{OUT}$ . Astfel,  $V_{OUT}=1$ .

- $A=1, B=0$ . Punctele 1 si 2 au valorile 1 si respectiv 0. Poarta de transmisie este blocata, iar inversorul corespunzator intrarii B va fi operational. Deoarece  $B=0$  si  $A=1$ , iesirea  $V_{OUT}$  va avea valoarea 1.

- $A=1, B=1$ . Acest caz este similar cu cel de mai sus, cu mentiunea ca inversorul corespunzator intrarii B va face ca  $V_{OUT}=0$ .

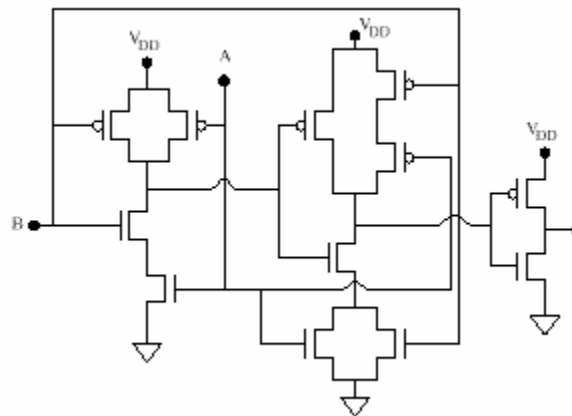
Aceasta poarta utilizeaza numai 6 tranzistoare, dupa cum se poate vedea din figura de mai jos.



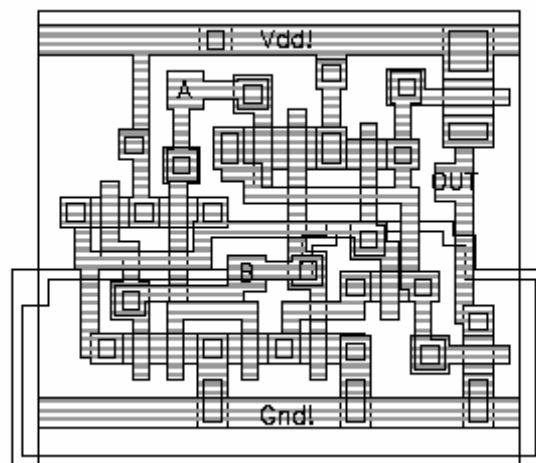


Cealalta implementarea, care utilizeaza 12 tranzistoare, are o performanta mai buna, dar este

mai costisitoare, ca hardware. Prima sectiune a schemei poate fi recunoscuta ca o poarta NAND. Sectiunea din mijloc a schemei implementeaza functia  $\text{NOT}((A \cup B) \cdot F)$  unde  $F = \text{NOT}(A \cdot B)$ . Ultima sectiune reprezinta un inversor. Aceasta structura permite ultimului inversor sa realizeze o comanda mai puternica decat in cazul proiectului anterior, bazat pe poarta de transmisie. In figurile de mai jos se prezinta schema si mastile acestui circuit. In acest caz curentul de comanda de la iesire este furnizat de sursa de alimentare, in timp ce pentru prima solutie acesta era asigurat de intrarile A si B.



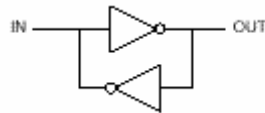
a) schema circuitului XOR activ



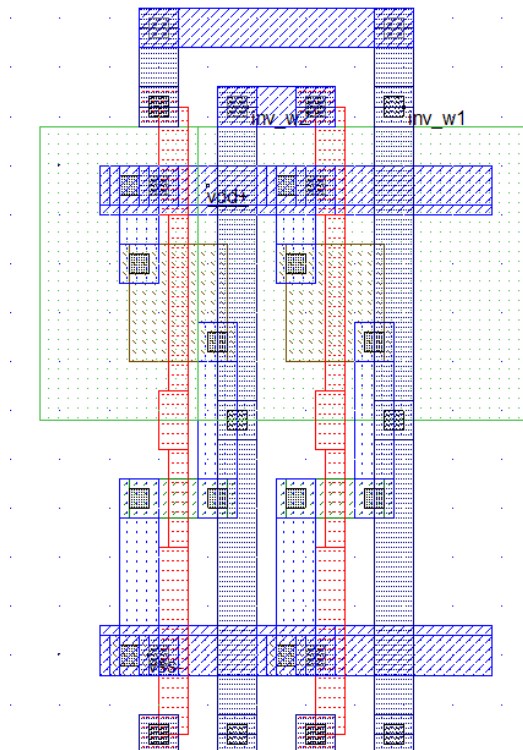
b) planul mastilor circuitului XOR active

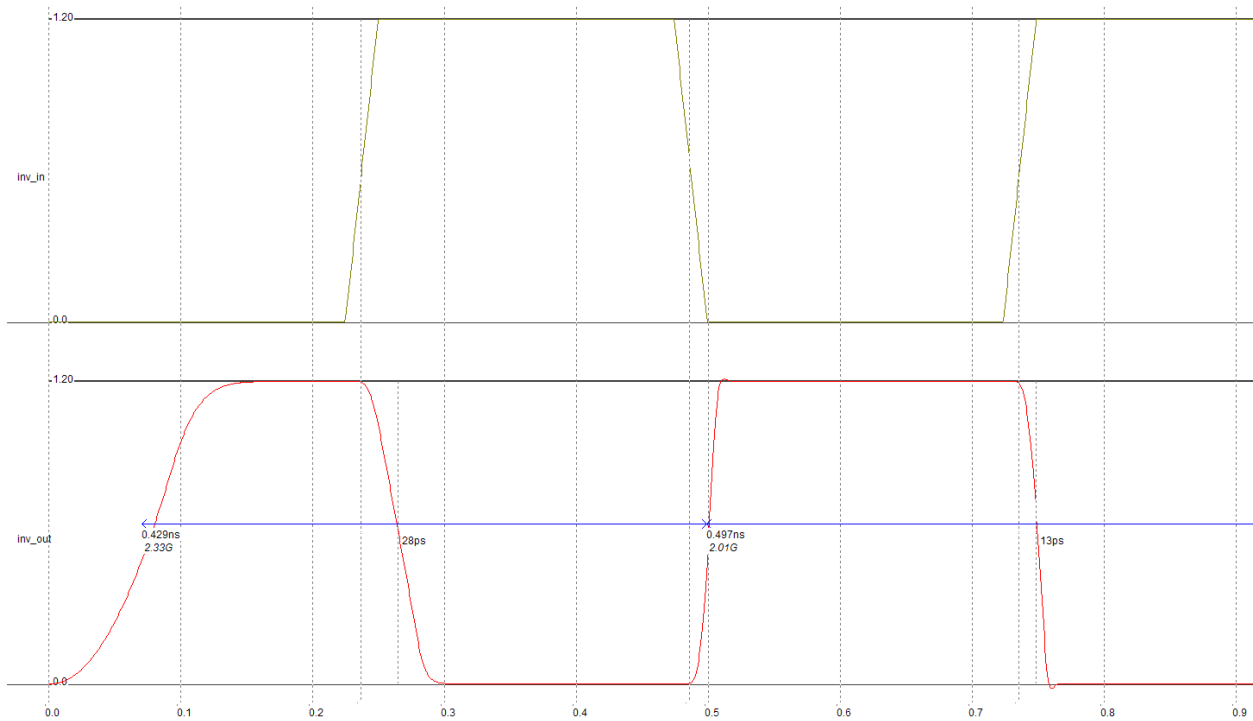
## 6.2. Elemente de memorare, registre de deplasare, bistabile.

La implementarea logicii secventiale sunt necesare elemente de memorare pentru a stoca rezultatele. Aceste elemente stocheaza un bit si pot fi organizate pentru a forma structuri mai mari. Cel mai simplu element de memorare este latch-ul format din doua inversoare, ca in desenul de mai jos, unde iesirea OUT va avea o valoare constanta, fie 1, fie 0. Pentru a forta o noua informatie intrarea trebuie sa depaseasca reactia latch-ului. Semnalul de reactie trebuie sa fie mai slab, in ceea ce priveste comanda, decat semnalul de intrare.

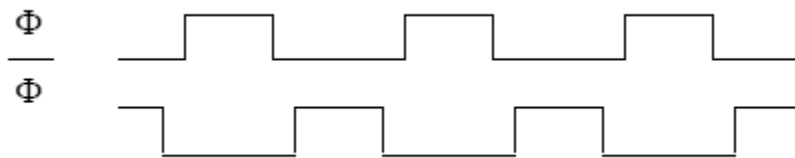


```
module Cel_mem( );  
not #(10) inv(w2,w1);  
not #(10) inv(w1,w2);  
endmodule
```

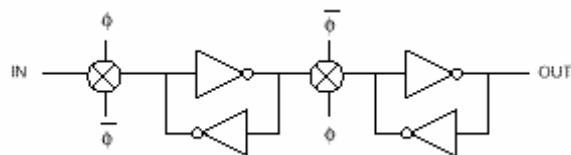




In figura de mai jos se arata modul in care poate fi realizat un registru de deplasare, folosind latch-uri. Un element de memorare se poate realiza cu doua latch-uri si doua porti de transmisie. Portile de transmisie vor fi controlate cu impulsuri de ceas complementare  $\Phi$  si  $\sim\Phi$ . Pentru efectuarea deplasarii cu un rang trebuie aplicat semnalul de ceas.

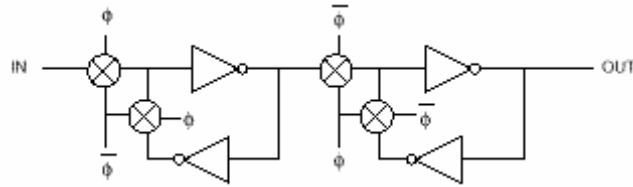


a) semnale de ceas bifazic, fara suprapunere.



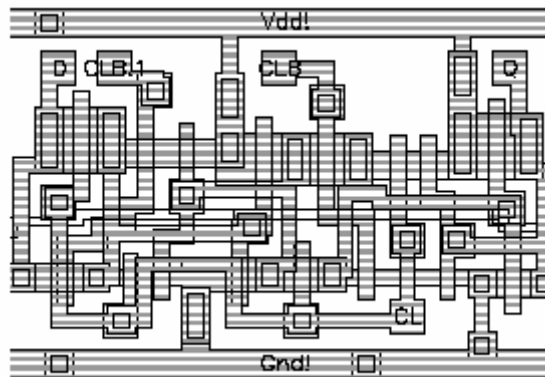
b) element de memorare cu latch-uri si porti de transmisie.

In figura urmatoare se prezinta schema unui bistabil de tip D realizat cu doua latch-uri si doua porti de transmisie controlate cu semnale de ceas bifazic.



Cand semnalul de ceas este pe nivel coborat , poarta de transfer este blocata, calea de reactie e ramane activa, iar latch-ul pastreaza valoarea memorata. Cand semnalul de ceas este pe nivel ridicat, calea de reactie este blocata, iar calea de intrare este activa, astfel ca, o noua valoare a semnalului poate fi stocata. Pentru a realiza un registru de deplasare se pot conecta in cascada astfel de celule.

In figura de mai jos se prezinta planul mastilor pentru un asemenea bistabil, de tip D.



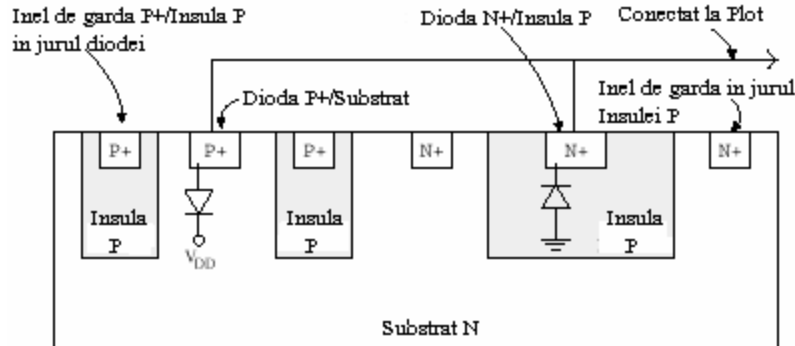
## 6.3 Ploturi de Intrare/Iesire.

### 6.3.1. Intrare.

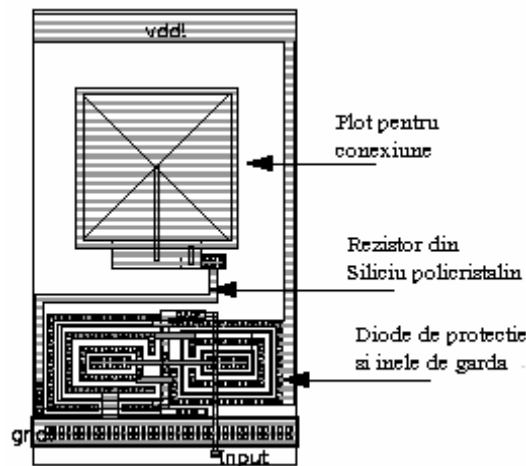
Atunci cand se realizeaza un plot de intrare trebuie sa se aibe in vedere protectia circuitului. Variatiile de tensiune pot conduce la defectarea circuitului. Pentru a preveni asemenea situatii trebuie utilizata o schema de protectie ca in figura de mai jos.

Rezistorul este realizat din siliciu policristalin si are o valoare a rezistentei de 500 – 3000  $\Omega$ . Daca tensiunea de intrare depaseste  $V_{DD}$ , dioda superioara va conduce la limitarea tensiunii de intrare a portii la valoarea  $V_{DD}$ . In mod asemanator, daca tensiunea de intrare scade sub  $V_{SS}$ ,

dioda inferioara va conduce limitand inferior tensiunea de intrare a portii la Vss. In cazul unui proces cu insula P, dioda superioara este creata prin plasarea unei regiuni P+ pe un substrat de tip N . Dioda inferioara este realizata prin formarea unei regiuni N+ pe o insula P. Pentru a realiza protectia fata de curentii din substrat se creaza un inel de protectie in jurul diodelor. In figura de mai jos se prezinta o sectiune transversala prin structura de protectie.



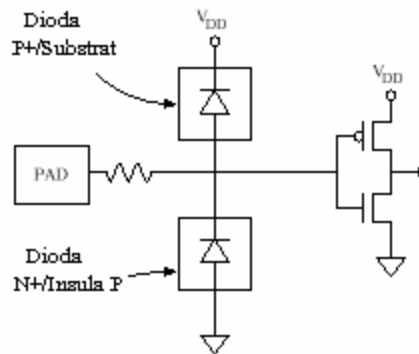
In figura urmatoare se prezinta planul mastilor unui plot de intrare. Dioda polarizata la VDD se afla in stanga jos, iar dioda polarizata de Vss este plasata in dreapta sus.



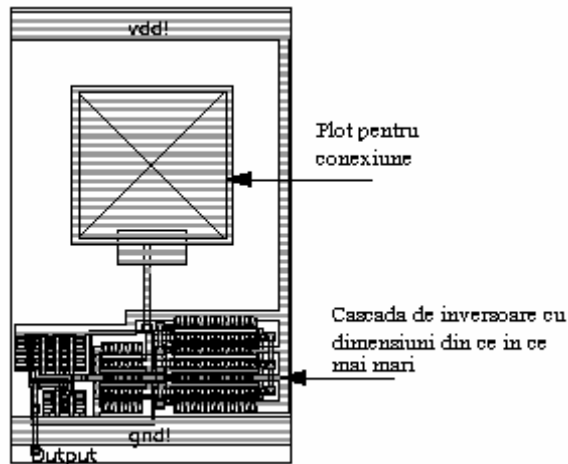
### 6.3.2. Iesire.

Un plot de iesire trebuie sa aibe o capacitate de comanda a unei sarcini externe astfel incat timpii de crestere si de cadere sa nu fie excesiv de mari. Configuratia uzuala se bazeaza pe mai

multe inversoare, cu dimensiuni din ce in ce mai mari, conectate in cascada. Raportul optim pentru dimensiuni este de circa 2,7. Planul mastilor pentru un plot de iesire este dat mai jos.

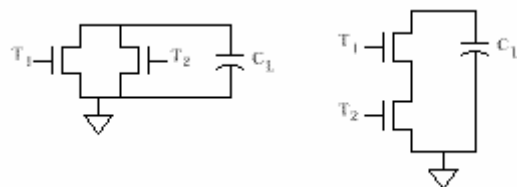


In stanga jos se afla unul dintre cele doua inversoare ale acestui plot de iesire. In dreapta jos este plasat un alt inversor cu dimensiuni mai mari decat cel din stanga.



#### 6.4. Performanta.

Proiectarea portilor logice trebuie sa aibe in vedere si performanta. In exemplele de porti NAND si NOR, tranzistoarele erau conectate in serie si in paralel. In figura de mai jos se prezinta doua tranzistoare NMOS conectate in paralel si in serie, prin care trebuie sa se descarce sarcina capacitiva  $C_L$ .



Cand ambele tranzistoare sunt deschise ele vor opera in regiunea liniara si se vor comporta ca



niste rezistoare. In cazul tranzistoarelor in serie descarcarea va fi mai lenta deoarece rezistentele celor doua tranzistoare se aduna. In cazul legarii in paralel rezistenta va fi mai mica decat cea a unui tranzistor. Astfel, timpul necesar descarcarii unui capacitor va fi dat de

$$T_{fSerie} \sim m.T_f$$

$$T_{fParalel} \sim T_f/m$$

Unde  $m$  este numarul de tranzistoare. Trebuie aratat ca relatiile se pastreaza daca tranzistoarele comuta simultan.

