

Capitolul 3. Inversorul.

In primul capitol au fost prezentate mai multe exemple de porti logice, realizate cu ajutorul tranzistoarelor NMOS si PMOS. Tranzistorul NMOS, in calitate de comutator, conduce bine semnalele de nivel coborat si mai putin bine pe cele de nivel ridicat, in timp ce tranzistorul PMOS are o comportare complementara.

Capitolul de fata urmareste prezentarea functionarii portilor CMOS, avand ca exemplu inversorul, pentru analiza. De asemenea, inversorul va fi utilizat pentru prezentarea proiectarii mastilor necesare in procesul de realizare a diverselor dispozitive pe un substrat de siliciu monocristalin.

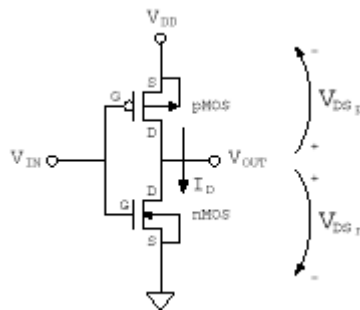
Vor fi examinate regulile de proiectare si scopul acestora. Se vor face exemplificari pentru un proces CMOS caracterizat printr-o rezolutie de $0,8 \mu\text{m}$, ceea ce corespunde unui exemplu didactic.

De asemenea, se vor trece in revista aspectele electronice de baza privitoare la poarta logica elementara.

3.1. Analiza functionarii.

3.3.1. Caracteristicile de curent continuu.

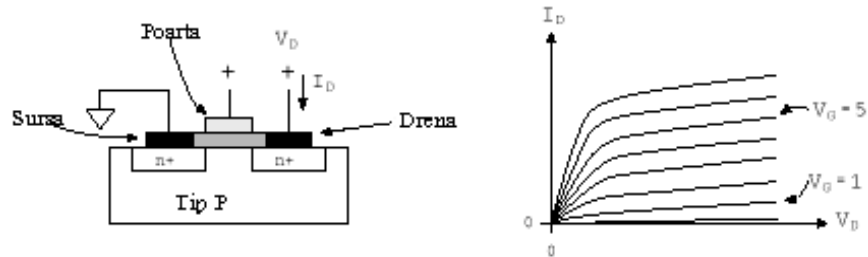
In figura de mai jos se prezinta schema unui inversor CMOS. Acesta este compus din doua tranzistoare cu canal indus PMOS si NMOS, conectate in serie intre V_{DD} si GND. Tranzistorul PMOS are conectatae: sursa la V_{DD} , drena la V_{OUT} si substratul la V_{DD} , in timp ce tranzistorul



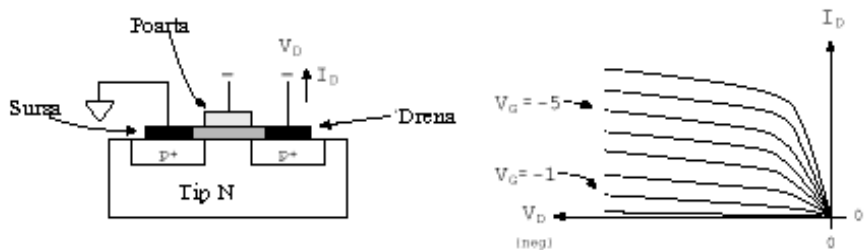
NMOS are conectate sursa si substratul la GND, si drena la V_{OUT} . Portile celor doua tranzistoare sunt conectate la V_{IN} .

Pentru analiza functionarii in curent continuu se vor examina caracteristicile curent-tensiune pentru cele doua tipuri de tranzistoare. Se considera ca la un tranzistor de tip N curentul intra prin dreana, iar la un tranzistor P curentul iese prin dreana.

NMOS



PMOS



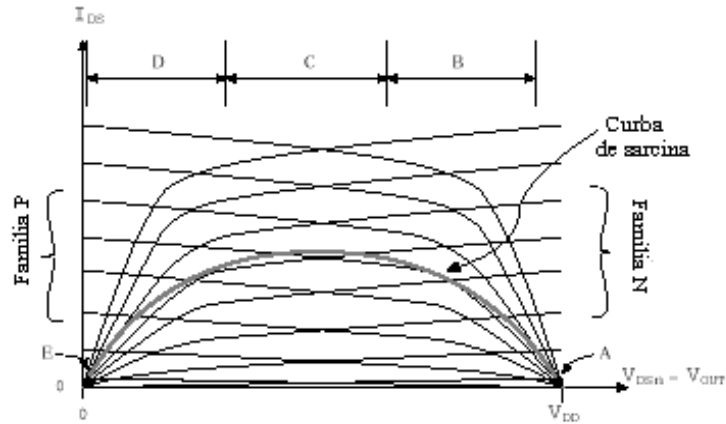
In continuare se vor suprapune caracteristicile I-V ale celor doua tipuri de dispozitive pentru a efectua o analiza a sarcinii. Plecand de la schema inductorului se constata ca acelasi curent ($I_{DSN} = I_{SDP}$) traverseaza, in acelasi sens, cele doua tranzistoare. Din acest motiv caracteristicile I-V ale celor doua tranzistoare pot folosi aceeasi axa pentru curenti. V_{DD} se poate rescrie astfel:

$$V_{DD} = V_{DSN} + (-V_{DSP})$$

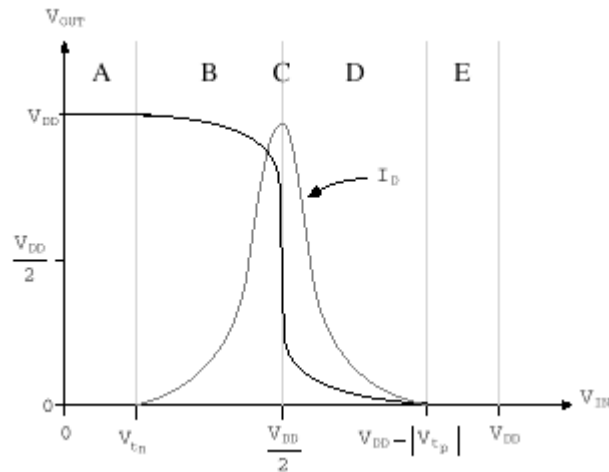
Rescriind ecuatia:

$$V_{DSP} = V_{DSN} - V_{DD}$$

Se observa ca tensiunea drenei tranzistorului PMOS difera de cea a tranzistorului NMOS cu o valoare egala cu V_{DD} , ceea ce permite utilizarea aceleiasi axe pentru tensiuni, insa deplasata cu V_{DD} . Cele doua familii de caracteristici I-V sunt prezentate mai jos:



In continuare se urmareste gasirea caracteristicii de transfer. Pe curba de sarcina vor fi evidentiata doua cazuri. Primul caz apare cand $V_{IN} = V_{DD}$, care este marcat pe figura de mai jos cu E. In acest punct tranzistorul P este taiat, iar tranzistorul N functioneaza in regiunea liniara, ceea ce va plasa inversorul in regiunea E. Al doilea caz apare atunci cand $V_{IN} = GND$, situatie marcata cu A. In acest punct tranzistorul P functioneaza in regiunea liniara, tranzistorul N este taiat, iar inversorul se gaseste in regiunea A. Analiza poate fi continuata pentru toate punctele caracteristicii de transfer. Curba de sarcina va reprezenta solutia pentru familiile de caracteristici I-V ale celor doua tipuri de tranzistoare. In aceasta analiza, in curent continuu, s-a neglijat curentul, care ar iesi sau intra prin terminalul notat cu V_{OUT} .



Caracteristica de transfer de mai sus are cinci regiuni distincte marcate prin A, ..., E, care vor fi analizate in continuare.

Regiunea A: Tranzistorul N este taiat, tranzistorul P este in regiunea liniara:

$$V_{IN} < V_{tn}$$

$$V_{OUT} = V_{DD}$$

Regiunea B: Tranzistorul P ramane in regiunea liniara, iar tranzistorul N trece in saturatie. Astfel, primul tranzistor se comporta ca o rezistenta, iar cel de-al doilea opereaza ca o sursa de curent:

$$V_m \leq V_{IN} < V_{DD}/2$$

$$V_{OUT} = (V_{IN} - V_{tp}) + [(V_{IN} - V_{tp})^2 - 2(V_{IN} - V_{DD}/2 - V_{tp})V_{DD} - \beta_n/\beta_p(V_{IN} - V_m)^2]^{1/2}$$

Regiunea C: Expresia pentru V_{OUT} se poate stabili prin egalarea curentilor de drena pentru cele doua tranzistoare. Tranzistorul N ramane in saturatie, iar tranzistorul P trece in saturatie. Panta mare a caracteristicii face ca iesirea sa varieze foarte mult la o mica modificare a intrarii.

$$V_{IN} = V_{DD}/2$$

$$V_{IN} - V_m < V_{OUT} < V_{IN} - V_{tp}$$

Regiunea D: Tranzistorul PMOS ramane in saturatie, jucand rolul unei surse de curent, iar tranzistorul NMOS trece in regiunea liniara, comportandu-se ca o rezistenta.

$$V_{DD}/2 < V_{IN} \leq V_{DD} - V_{tp}$$

$$V_{OUT} = (V_{IN} - V_m) + [(V_{IN} - V_m)^2 - \beta_p/\beta_n(V_{IN} - V_{DD} - V_{tp})^2]^{1/2}$$

Regiunea E: Tranzistorul NMOS ramane in regiunea liniara, iar tranzistorul PMOS este taiat.

$$V_{IN} > V_{DD} + V_{tp}$$

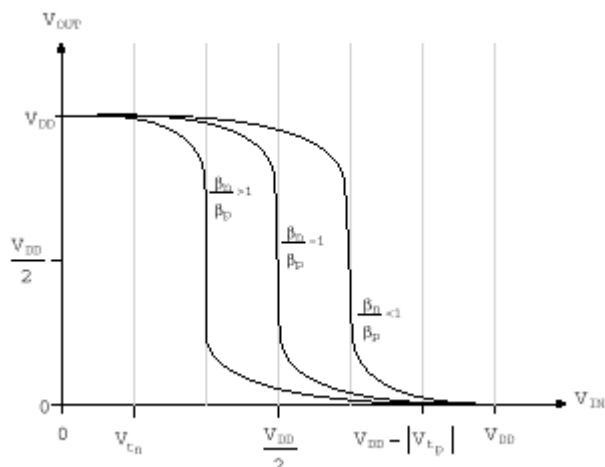
$$V_{OUT} = 0$$

3.1.2 Raportul β_n / β_p .

Atunci cand se proiecteaza un inversor este de dorit ca procesul de comutare sa aibe loc la o valoare egala cu jumatatea tensiunii de alimentare. Astfel, comutarea trebuie sa aibe loc la $V_{IN} = V_{DD} / 2$. Punctul la care inversorul comuta este dependent de valorile amplificariilor tranzistoarelor (β). Valoarea lui β este calculata cu ajutorul expresiei:

$$\beta = (\mu\varepsilon/tox) * W/L$$

unde: μ este mobilitatea, ε permitivitatea oxidului, tox este grosimea stratului de oxid, W este latimea canalului, iar L este lungimea canalului. Daca se considera raportul β_n/β_p , pentru diferite valori ale acestuia, caracteristica de transfer se va modifica conform figurii de mai jos.



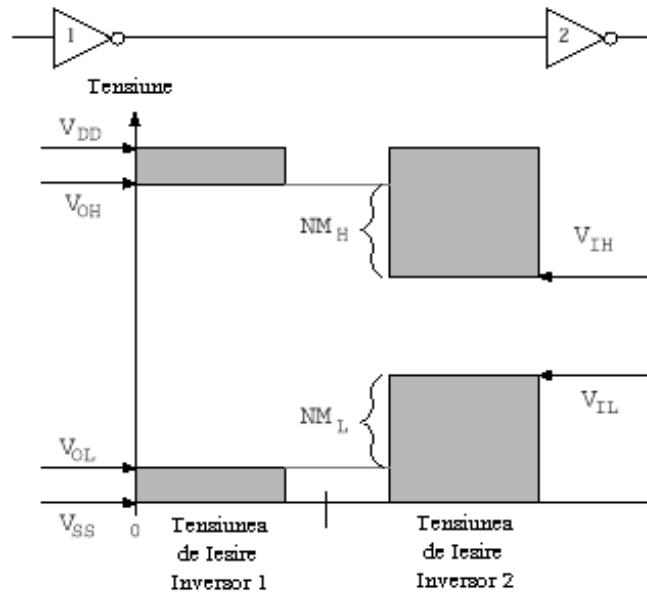
Caracteristica de transfer poate fi influentata de temperatura. Amplificarea β pentru un tranzistor este dependenta de temperatura conform relatiei:

$$\beta \propto T^{-3/2}$$

Aceasta se explica prin dependenta mobilitatii de temperatura. In realitate, variatia de temperatura nu afecteaza raportul β_n/β_p deoarece ambele amplificari sunt influentate cu aceeasi cantitate. O scadere a temperaturii va creste tensiunile de prag V_m si $|V_{tp}|$. In acest mod o crestere a temperaturii va cobora regiunea A si va ridica regiunea E, iar caracteristica de transfer va avea o panta mai mica in regiunea C.

3.1.3 Marginea de zgomot.

Marginea de zgomot a inversorului poate fi stabilita pe baza caracteristicii de transfer. Marginea de zgomot reprezinta abaterea maxima a unui semnal fata de valoarea normala, inainte ca el sa fie recunoscut ca un alt semnal. Pentru calculul marginii de zgomot se folosesc urmatoarele notatii, conform desenului de mai jos:



- V_{IL} – tensiunea cea mai mare, care poate fi considerata ca intrare de nivel coborat,
- V_{IH} – tensiunea cea mai coborata, care poate fi considerata intrare de nivel inalt,
- V_{OL} – tensiunea cea mai coborata, care poate fi generata ca iesire,
- V_{OH} – tensiunea cea mai ridicata, care poate fi generata ca iesire.

Valorile V_{IL} and V_{IH} apar acolo unde caracteristica de transfer are amplificarea egala cu unu. Acestea sunt punctele de pe caracteristica de transfer unde zgomotul are efect critic. Intrucat amplificarea este egala cu unu, in aceste doua puncte iesirea se modifica in aceeasi masura ca si intrarea. Daca tensiunea semnalului de zgomot este mai mica decat V_{IH} , pentru un semnal de nivel ridicat, iesirea va comuta de la nivel coborat la nivel ridicat. Daca tensiunea semnalului de zgomot este mai mare decat V_{IL} , pentru un semnal de nivel coborat, iesirea va comuta de la nivel ridicat la nivel coborat, datorita amplificarii supraunitare.

Marginile de zgomot pot fi definite astfel

- $NM_L = V_{IL} - V_{OL}$ – pentru valoare coborata.
- $NM_H = V_{OH} - V_{IH}$ – pentru valoare ridicata..

Valoarea lui NM_L si NM_H este de aproximativ 2V, pentru $\beta_n / \beta_p = 1$, $V_{tn} = |V_{tp}| = 1$ V si $-V_{DD} = 5V$.

Este interesant de observat ca marginea de zgomot va descreste pe masura ce V_{DD} descreste. Acest fapt poate fi constatat in ecuatia ce descrie cele doua margini de zgomot. De asemenea, tensiunile de prag sunt deja foarte apropiate.

3.2 Proiectarea mastilor/sabloanelor.

3.2.1 Sabloanele de baza.

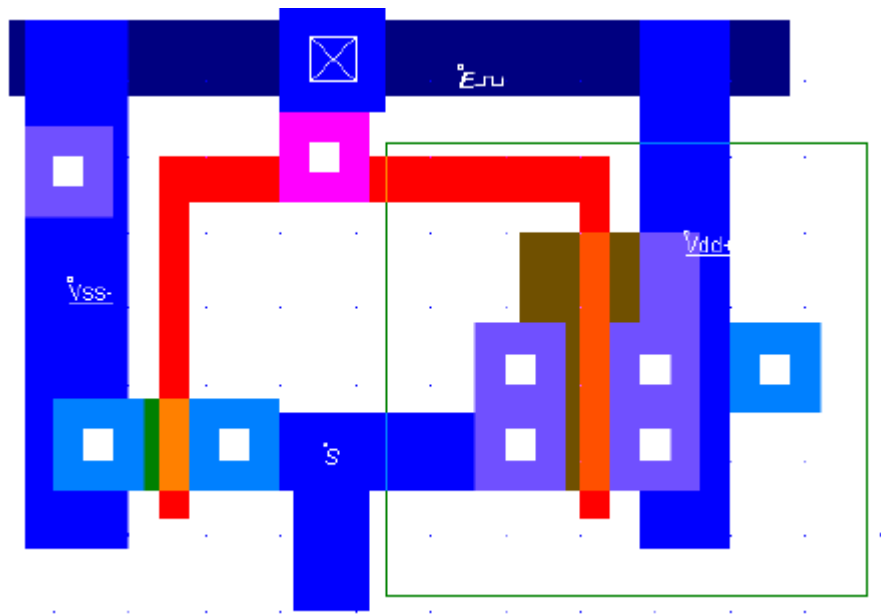
Schema unui inversor CMOS a fost prezentata intr-un paragraf anterior. In continuare se vor examina, din punct de vedere geometric, sabloanele necesare pentru realizarea unui inversor CMOS, cu ajutorul unui proces de fabricatie plecand de la un substrat de tip P. Fabricarea dispozitivelor VLSI implica crearea mai multor straturi din materiale cu diverse proprietati electrice, depuse unul peste celalalt. In figurile de mai jos se prezinta:

- codul culorilor folosit pentru identificarea diverselor straturi,
- geometria simplificata a unui inversor CMOS, la nivelul diverselor straturi,
- sectiuni transversale prin structura inversorului CMOS



Substratul este de tip P. Pentru crearea tranzistorului de tip P se realizeaza, printr-un proces de difuzie, o insula N (Nwell). Zonele in care vor fi plasate tranzistoarele de tip N si P vor fi dopate prin difuzie cu impuritati de tip N (N+ Diffusion) si P (P+ Diffusion). Separarea celor doua straturi de metal1 si metal2 se efectueaza printr-un strat de dioxid de siliciu. Zonele in care cele doua straturi se suprapun poarta numele de Via m1/m2.

In figura de mai jos, tranzistorul din dreapta, de tip PMOS, este realizat pe o insula de tip N, in timp ce tranzistorul din stanga, de tip N, este creat pe substratul de tip P. La extrema dreapta se afla un strat de metal1, care asigura tensiunea de alimentare V_{DD} . Traseul de metal1, de la limita din stanga realizeaza conexiunea la masa, GND. Intrarea V_{IN} este realizata prin traseul din siliciu policristalin, care traverseaza zonele portilor celor doua tranzistoare si care este conectat la stratul de metal1, acesta din urma fiind conectat la stratul metal2.



Geometria inversorului CMOS

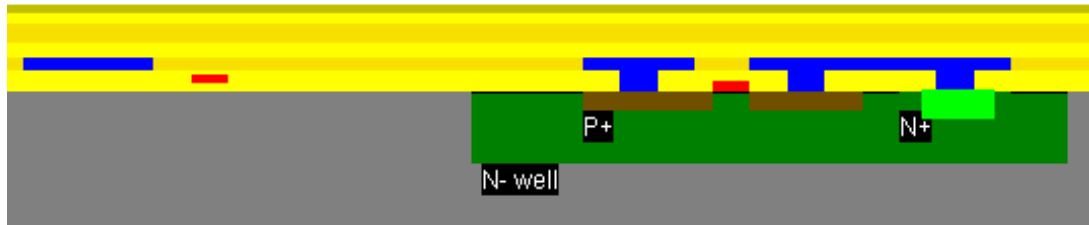


Sectiune transversala prin structura inversorului, la nivelul metal2.



Sectiune transversala prin structura inversorului la nivelul contactului metal1-siliciu policristalin.

Se poate observa in stanga conexiunea substratului la GND prin zona de difuzie P+.



Sectiune transversala prin structura inversorului la nivelul canalului tranzistorului P.

Se poate observa in partea din dreapta conectarea insulei N, la traseul metal1 (V_{DD}) prin zona puternic difuzata N+.



Sectiune transversala prin structura inversorului la nivelul canalelor celor doua tranzistoare N si P.

Pentru realizarea unui inversor trebuie sa se creeze, pe substrat, mai multe straturi din materiale cu proprietati electrice diferite. Modurile in care vor fi depuse aceste materiale pe substrat vor fi discutate intr-un alt capitol. Deoacmdata se pleaca de la premisa ca ele pot fi depuse pe substrat, in zonele specificate de catre proiectant. Crearea unui inversor CMOS presupune urmatoarii pasi:

- se foloseste un substrat de siliciu usor dopat P, pe care se vor depune celelalte straturi;
- se creste un strat de dioxid de siliciu si se creaza taieturile necesare in acesta;
- se creaza o insula N in substrat, prin doparea cu ioni de P sau As, insula N fiind necesara pentru realizarea tranzistorului P;
- se creste un strat subtire de dioxid de siliciu, avand rolul de izolator, in zonele in care se vor crea tranzistoarele P si N;
- se plaseaza un strat de siliciu policristalin peste stratul subtire de dioxid, pentru a forma portile celor doua tranzistoare;
- se implanteaza/difuzeaza o regiune N+ in substratul P, pentru a forma sursa si drena tranzistorului de tip N si, in mod asemanator, se implanteaza/difuzeaza o regiune P+ in insula N, pentru a forma sursa si drena tranzistorului P;

- peste intraga structura se creste un strat de oxid si se deschid in acesta taieturile de contact, pentru ca stratul de metal1, care se va depune, in continuare, sa realizeze conexiunile cu diversele straturi, in vederea: aplicarii tensiunii de alimentare, conectarii la masa, la intrare si iesire;
- in cazul in care procesul de fabricatie permite crearea celui de-al doile strat de metal se va depune un strat de oxid pe intreaga suprafata si se vor crea taieturi de contact in zonele (via) in care metal2 si metal1 trebuie sa vina in contact.

Pentru crearea formelor straturilor mentionate mai sus se utilizeaza procese litografice complexe, care vor fi discutate intr-un alt capitol.

3.2.2 1 Reguli de proiectare.

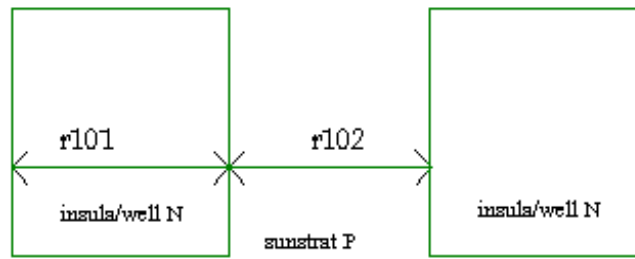
Cand se realizeaza desenele sabloanelor unor circuite integrate se urmareste ca acestea sa ocupe o suprafata cat mai mica. Procesele de fabricatie impun insa o serie de restrictii referitoare la dimensiunile minime ale unor trasee, cat si la distantele intre traseele din acelasi material sau din materiale diferite, chiar daca se afla pe niveluri diferite.

Plecand de la elementele ce caracterizeaza diferite procese de fabricatie in termenii dimensiunilor si distantelor minime au fost generate o reguli de proiectare. Aceste reguli reprezinta un ghid in proiectare, prin care se urmareste reducerea ariei ocupate de un circuit, garantandu-se insa functionarea corecta.

Specialistii au cautat sa lege regulile de proiectare de un factor ce poate caracteriza un procesele tehnologice din acest domeniu. Acest factor, care poarta numele de rezolutie a procesului, este notat cu λ si este influentat de o serie de factori legati de proces: precizia de aliniere a mastilor, precizia controlului de corodare s.a. De exemplu, in cazul procesului ATMEL-ES2 2-metal CMOS, rezolutia este egala cu $0,8\mu\text{m}$.

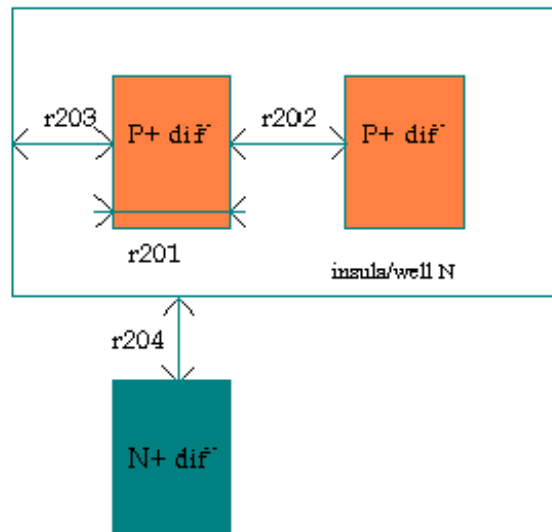
Regulile de proiectare pot fi exprimate in valori absolute (μm) sau sub forma relativa in raport cu rezolutia λ . Astfel, latimea minima a unui traseu de siliciu policristalin este de $1,6\mu\text{m}$, in cazul procesului $0,8\mu\text{m}$ CMOS. In forma relativa, latimea minima a unui traseu de siliciu policristalin va fi egala cu 2λ . In continuare vor fi prezentate regulile de proiectare in forma relativa, pentru procesul ATMEL-ES2 2-metal $0,8\mu\text{m}$ CMOS.

Insula N



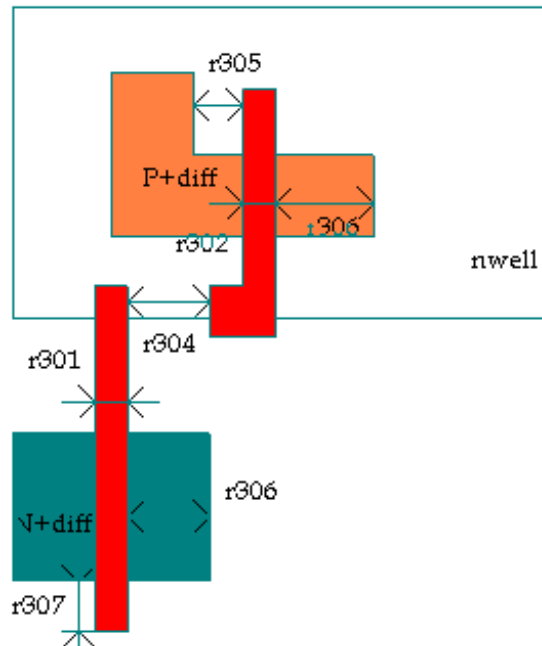
- $r101$ dimensiunea minima a insulei: 12
- $r102$ distanta minima intre insule: 12

Difuzie



- $r201$ dimensiunea minima a zonei de difuzie: 4
- $r202$ distanta minima intre doua zone de difuzie: 4
- $r203$ extensia insulei fata de difuzie: 6
- $r204$ distanta minima intre o zona de difuzie si o insula: 6

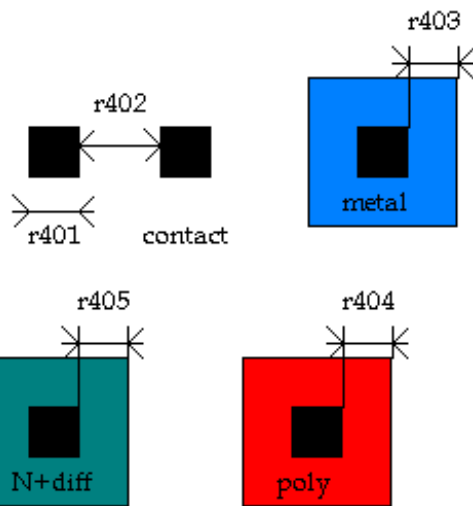
Siliciu policristalin



- $r301$ latimea traseului de siliciu policristalin: 2
- $r302$ latimea portii de siliciu policristalin pe difuzie P+: 2
- $r303$ latimea portii de siliciu policristalin pe difuzie N+: 2
- $r304$ distanta minima intre doua trasee de siliciu policristalin: 3
- $r305$ distanta minima intre un traseu de siliciu policristalin si un strat de difuzie: 2
- $r306$ extensia unui strat de difuzie in raport cu stratul de siliciu policristalin: 4
- $r306$ extensia unui strat de siliciu policristalin in raport cu stratul de difuzie: 2

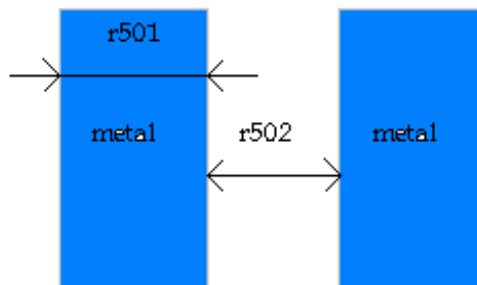
Contact.

- $r401$ latimea contactului: 2
- $r402$ distanta minima intre doua contacte: 3
- $r403$ extensia metalului fata de taietura de contact: 2
- $r404$ extensia siliciului policristalin fata de taietura de contact: 2
- $r405$ extensia difuziei fata de taietura de contact: 2



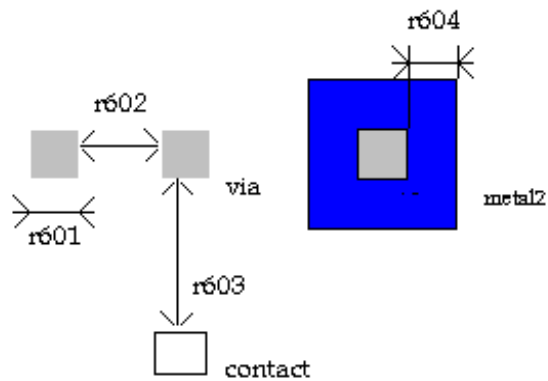
Metal1

- $r501$ dimensiunea minima a metalului1: 3
- $r302$ distanta minima intre doua zone de metal1: 3



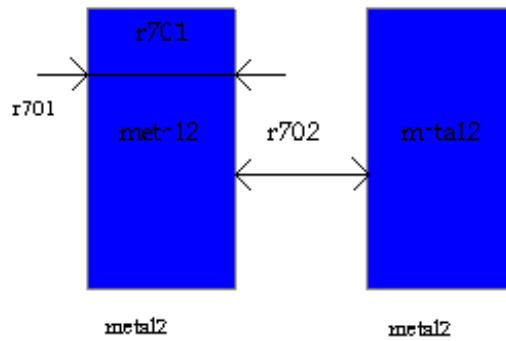
Via.

- $r601$ latimea zonei via: 3
- $r602$ distanta minima intre doua zone via: 3
- $r603$ distanta minima intre via si contact: 3
- $r604$ extensia metal1 peste via: 2
- $r605$ extensia metal2 peste via: 2



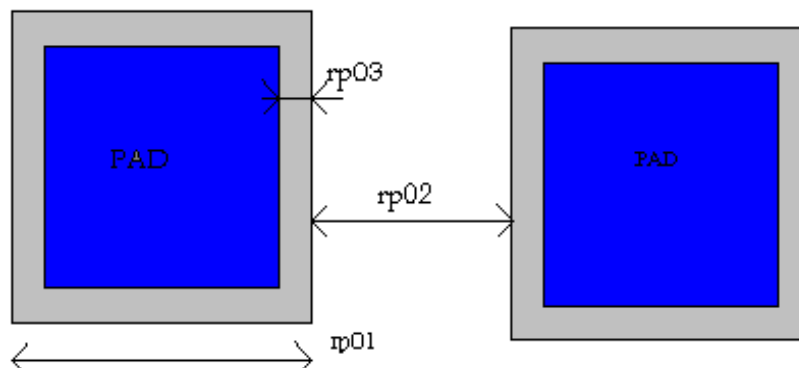
Metal2.

- $r701$ dimensiunea minima a zonei de metal2: 5
- $r702$ distanta minima intre doua zone de metal2: 5



Plotul

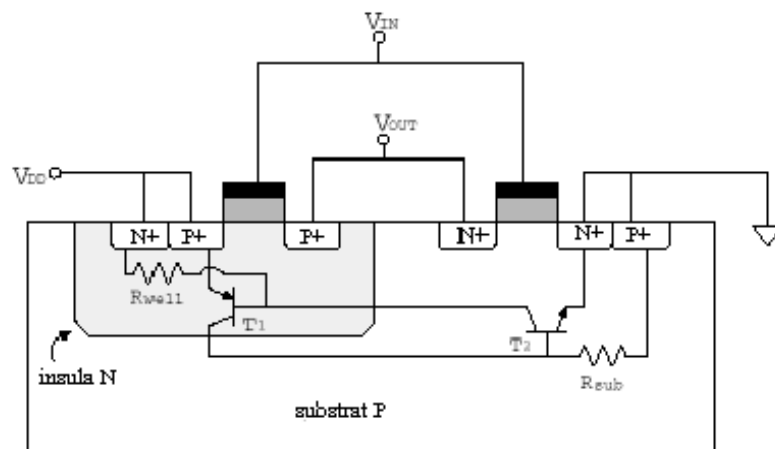
- $rp01$ dimensiunea minima 100 μm
- $rp02$ distanta minima intre doua ploturi: 100 μm



- rp03 deschiderea in pasivizare fata de via: 5 μm
- rp04 deschiderea in pasivizare fata de metale: 5 μm
- rp05 distanta minima intre plot si zone active fara legatura cu plotul: 20 μm

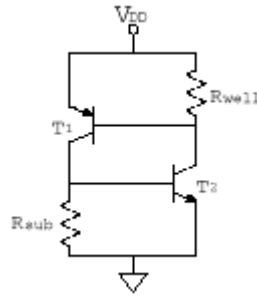
3.2.3 Efectul Latchup.

Primele circuite CMOS prezentau efectul latchup, care putea conduce la deteriorarea lor. Dupa cum se poate observa din desenul de mai jos, in conditiile existentei unei perechi de tranzistoare PMOS si NMOS este inerenta aparitia unor tranzistoare bipolare parazite.



In mod normal circuitul format din aceste doua tranzistoare parazite nu functioneaza. O serie de fenomene cu caracter tranzitoriu pot aduce in conductie acest circuit. Intrucat acest circuit are o reactie pozitiva, dupa aducerea lui in stare de conductie, el va ramane in aceasta stare pana la deconectarea sursei de alimentare. Activarea acestor tranzistoare bipolare impiedica functionarea normala a circuitului CMOS si chiar il poate distruge. Fenomenul de latch-up apare cu precadere in apropierea structurilor de I/E, unde fenomenele tranzitorii sunt mai frecvente.

Dupa cum se poate observa, in figura de mai sus, sursa tranzistorului PMOS, insula N si substratul P formeaza un tranzistor PNP. De asemenea, un tranzistor lateral este format de catre insula N a tranzistorului P, substratul P si sursa tranzistorului NMOS. Analiza poate fi efectuata pe schema echivalenta de mai jos:



Un scenariu posibil este acela care ar conduce la deschiderea celor doua tranzistoare. Un curent de electroni este injectat in substratul P. Acesta va face ca T₂ sa fie polarizat in sensul conductiei de catre R_{sub} , care va deschide T₂. Tranzistorul T₂ fiind deschis va crea o tensiune de polarizare pe R_{well} , care va deschide T₁, ceea ce va duce la injectarea unui curent mai mare in substrat. Astfel, se va stabili o cale intre V_{DD} si GND. Pe masura ce curentul trece prin aceasta cale influenta circuitului parazit va creste.

Exista mai multe metode pentru limitarea sau prevenirea acestui fenomen, care sunt, fie la indemana proiectantului de circuit, fie la indemana proiectantului de proces. Din punctul de vedere al proiectantului de circuit, se poate actiona prin cresterea numarului de contacte intre substrat si insula. Cea de-a doua metoda consta in reducerea valorii produsului amplificarii $\beta_{pnp} \times \beta_{npn}$ la o valoare subunitara. Aceasta metoda nu este la indemana proiectantului de circuit. Cea de-a treia metoda consta in decuplarea perechii PNP – NPN, folosind tehnologia SOI (Silicon On Insulator).