

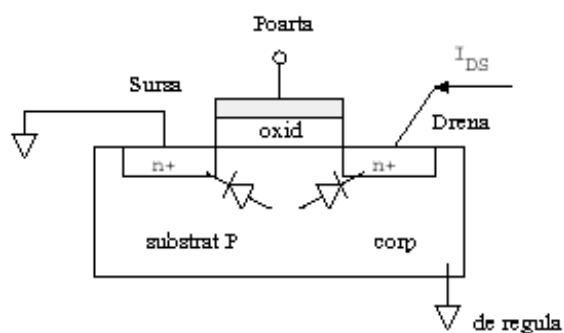
Capitolul 2. Functionarea tranzistorului.

Circuitele integrate MOS au fost realizate la inceput in tehnologia PMOS, datorita predictibilitatii tensiunii de prag pentru tranzistoarele PMOS. Pe masura perfectionarii tehnologiei prin recurgerea la implantare ionica, tranzistorul NMOS a devenit tot mai raspandit. Evolutia tehnologiei a condus, in continuare, la aparitia dispozitivelor CMOS. Acest capitol este consacrat tranzistoarelor NMOS si PMOS din punctul de vedere al structurii si operarii.

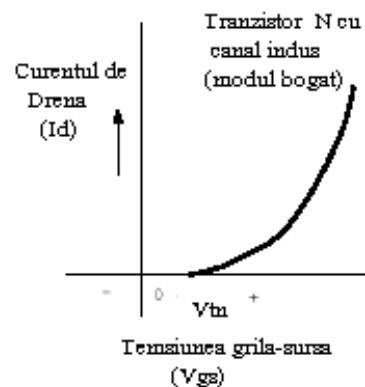
2.1. Tranzistorul NMOS in modul bogat (enhancement mode).

Structura de baza a tranzistorului NMOS in modul bogat este aratata mai jos. Ea consta inre-un substrat de tip p , sursa si drena de tip $n+$. Intre sursa si drena se afla canalul acoperit cu SiO_2 . Acest strat de oxid mai poarta numele de oxid de poarta. Peste stratul de oxid al portii se afla un strat de siliciu policristalin, care reprezinta poarta. Atunci cand $V_{GS} = 0$, sursa si drena tranzistorului sunt separate de o regiune de tip p . Curentul de la drena la sursa, I_{DS} , este foarte mic si limitat de curentul invers de polarizare din diode.

Pe masura ce V_{GS} creste electronii din zonele sursei si drenei vor fi atrasi de regiunea aflata sub poarta. Aceasta va conduce la cresterea conductibilitatii intre drena si sursa. In momentul in care V_{GS} depaseste tensiunea de prag V_{th} , se formeaza/se induce un canal (regiune de tip n) intre sursa si drena permitand curgerea unui curent de la drena la sursa. O sectiune prin structura tranzistorului NMOS, cat si relatia intre V_{GS} si I_{DS} sunt prezentate in figurile (a) si (b), de mai jos.



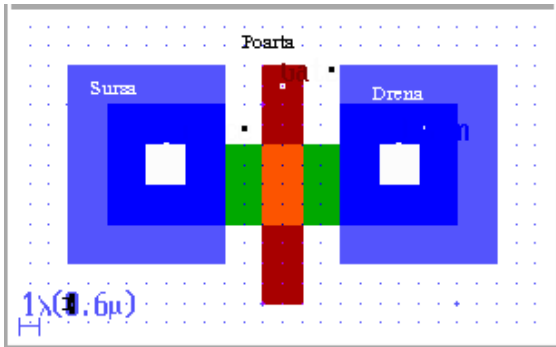
(a)



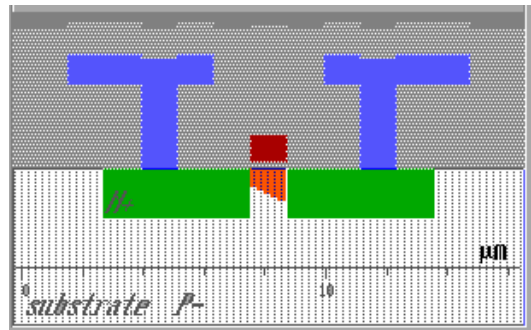
(b)

Intrucat pe poarta tranzistorului NMOS nu se constata prezenta unui curent sau a unei tensiuni, acesta in mod normal este blocat. Se spune ca tranzistorul este in modul bogat deoarece se impune o tensiune pe poarta pentru a imbogati canalul in vederea realizarii acestuia.

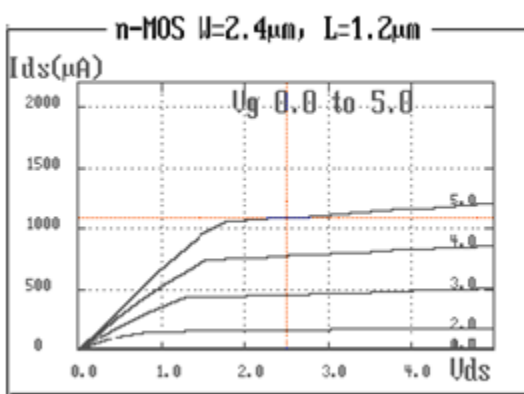
In figura de mai jos se prezinta: (a) mastile pentru un tranzistor NMOS, (b) o sectiune transversala prin structura tranzistorului si familiile de caracteristici (c) $I_{DS} = f(V_{DS}, V_{GS})$, (d) $I_{DS} = f(V_{GS}, V_B)$, pentru $V_{DS} = \text{const}$. Tensiune V_B este tensiunea de polarizare a substratului. Modificarea acestei tensiuni de polarizare conduce la modificarea tensiunii de prag.



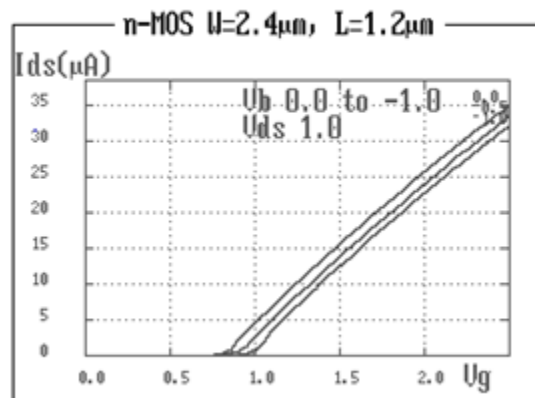
(a)



(b)



(c)



(d)

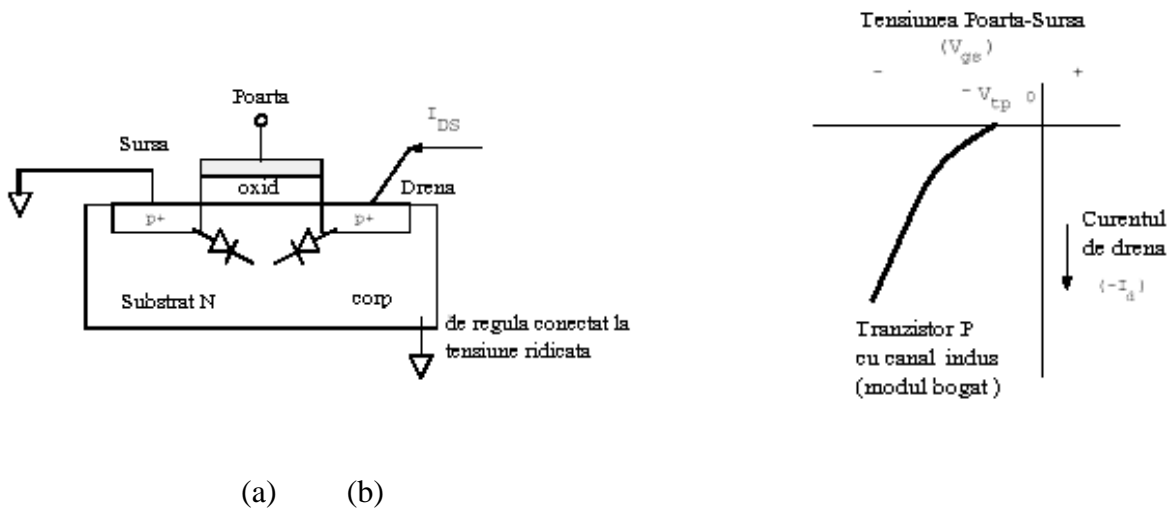
2.2. Tranzistorul NMOS in modul sarac (depletion mode).

La tranzistorul NMOS in modul sarac canalul este prezent in absenta unor surse externe. Canalul este natural, tranzistorul fiind in conductie/deschis, ceea ce se manifesta prin $I_{DS} > 0$ pentru conditia: $V_{GS} = 0$.

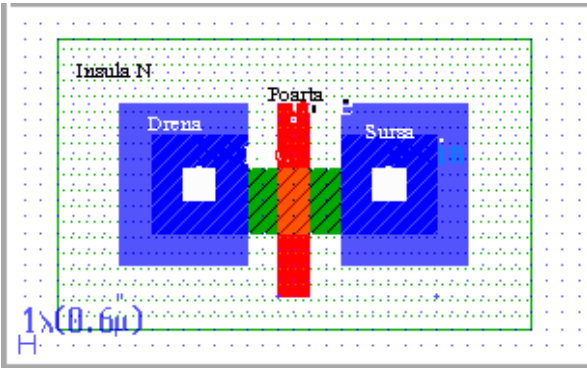
Pentru blocarea canalului trebuie sa se aplice pe poarta o tensiune negativa in raport cu sursa.

2.3. Tranzistorul PMOS in modul bogat.

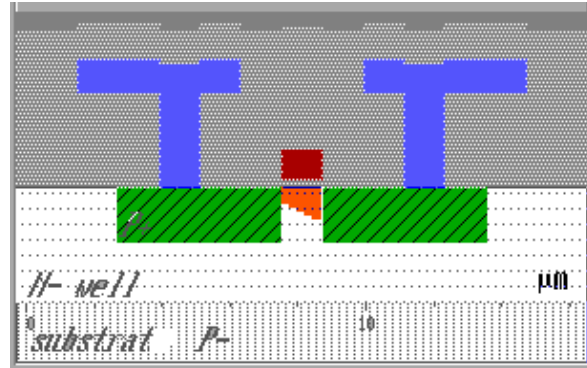
Ca si tranzistorul NMOS in modul bogat, tranzistorul PMOS in modul bogat nu poseda canal natural, canalul fiind indus atunci cand pe poarta se aplica o tensiune. Astfel, in mod normal este blocat. Caracteristica curent-tensiune a tranzistorului PMOS in mod bogat este inversa in eraport cu cea a tranzistorului NMOS in modul bogat. Pentru a aduce tranzistorul in stare de conductie trebuie sa se aplice o tensiune negativa intre poarta si sursa. Mai jos se prezinta o sectiune prin: (a) structura tranzistorului si (b) caracteristicile $I_{DS} = f(V_{DS})$.



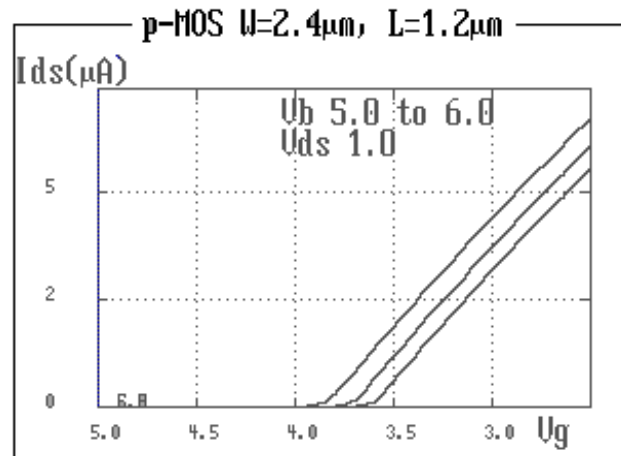
In figura de mai jos se prezinta: (c) mastile pentru un tranzistor PMOS, (d) o sectiune transversala prin structura tranzistorului si (e) familia de caracteristici $I_{DS} = f(V_{GS}, V_B)$, pentru $V_{DS} = \text{const}$. Tensiune V_B este tensiunea de polarizare a substratului. Modificarea acestei tensiuni de polarizare conduce la modificarea tensiunii de prag



(c)



(d)



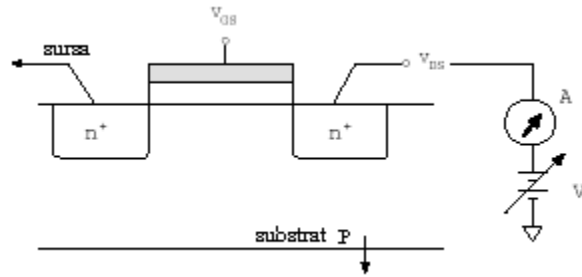
(e)

2.4. Operarea tranzistorului.

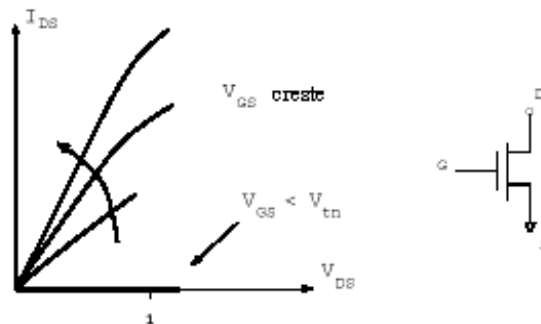
Operarea tranzistorului poate fi examinata in cadrul a doua regiuni: regiunea liniara si regiunea de saturatie (pinch-off). In cele ce urmeaza va fi examinata functionarea tranzistorului in cele doua regiuni.

2.4.1. Regiunea liniara.

Considerand dispozitivul NMOS, cu canal indus, tensiunile de drena si poarta au ca referinta tensiunea sursei. In cazul in care V_{GS} este mai mare decat tensiunea de prag se va forma canalul n .



Pentru valori mici (sub 1V) ale tensiunii V_{DS} , caracteristica $I_{DS} - V_{DS}$ este liniara, ca in figura de mai jos, si ramane liniara pentru valori ale lui V_{DS} mai mici decat V_{GS} . Rezistenta intre sursa si drena este controlata de catre tensiunea pe poarta. Aceasta este regiunea liniara. O tensiune pozitiva mica aplicata intre poarta si sursa va induce o sarcina negativa in zona de sub poarta. Aceasta sarcina indusa este formata din acceptori ionizati, care asigura o regiune saraca, ca urmare a repulsiei golurilor. Cresterea in continuare a tensiunii face ca purtatorii minoritari (electronii) sa fie atrasi catre canal de la sursa si de la drena. La o valoare data a tensiunii pe poarta, concentratia, la suprafata, a purtatorilor minoritari (electronii) sa depaseasca densitatea golurilor in material, ceea ce corespunde unei inversii de suprafata. Pentru valori mici ale lui V_{DS} , stratul de inversie se intinde de la sursa la drena.

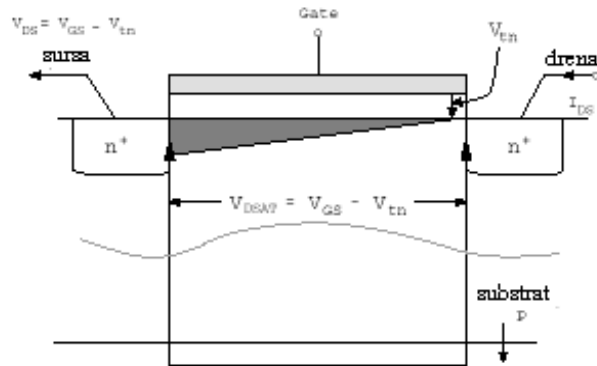


2.4. Regiunea de saturatie.

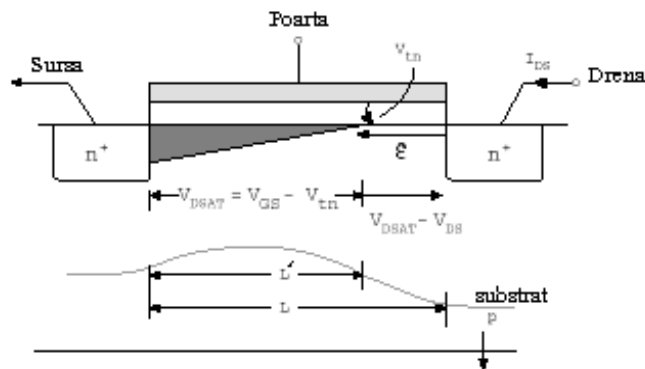
Se considera situatia in care tensiunea de grila depaseste tensiunea de prag, dispozitivul fiind in conductie, cu canalul format. Pentru valori mici ale lui V_{DS} , atunci cand $V_{DS} < V_{GS} - V_{tn}$, stratul de inversie se intinde de la sursa la drena. Dispozitivul lucreaza ca un rezistor variabil controlat de catre o tensiune.

Pe masura ce V_{DS} creste, tensiunea intre poarta si drena scade, dar I_{DS} inca are o crestere.

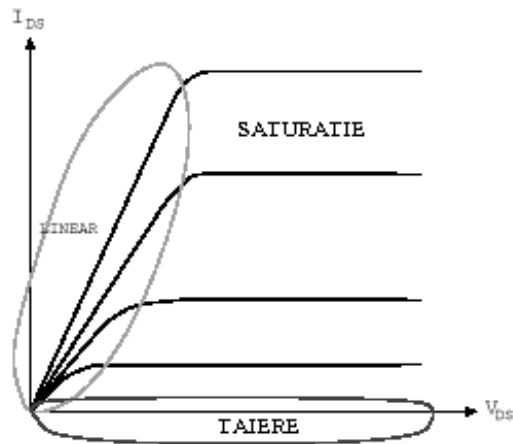
Cand $V_{DS} = V_{GS} - V_{tn}$, campul electric E prezent la capatul dinspre dreapta si dielectricul portii se reduce la o asemenea valoare incat stratul de inversie nu mai este asigurat. In aceasta situatie se spune ca a avut loc taierea (pinche-off) canalului. Aceasta situatie este prezentata in figura de mai jos. Curentul de la dreapta la sursa este saturat si notat cu I_{DSAT} .



O crestere in continuare a tensiunii V_{DS} fata de V_{DSAT} conduce la crearea unei zone fara inversie, ca in figura de mai jos. Datorita proprietatii de continuitate I_{DS} este egal cu I_{DSAT} . Zona formata, dispunand de un camp puternic, accelereaza electronii, care ajung la punctul de taiere, pentru a trece spre dreapta. Curentul ramane constant si egal cu cel de saturatie. Se poate insa constata ca lungimea canalului s-a micșorat de la L la L' . Acest fenomen poarta numele de modulare a canalului si are ca rezultat o usoara crestere a curentului in regiunea de saturatie.



Caracteristica I-V a tranzistorului NMOS, cu canal indus, este data mai jos.



2.5. Ecuația curentului I_{DS} .

În cele ce urmează se vor deduce o serie de ecuații pentru curentul I_{DS} , pe baza modelului simplificat al controlului prin sarcină. Pentru regiunea liniară, unde $V_{GS} > V_m$ și $V_D < V_G - V_m$, se poate presupune o distribuție uniformă a sarcinii, ceea ce face ca următoarea ecuație să fie validă:

$$Q_c \sim -C_{ox}(V_{GS} - V_m)$$

unde Q_c este densitatea de sarcină în canal (coulombi/unitatea de arie) și C_{ox} este capacitatea porții pe unitatea de arie. Se poate observa că semnul este negativ datorită faptului că sarcina este constituită din electroni.

Timul de tranzit al sarcinii prin canal este egal cu lungimea canalului L împărțită la viteză:

$$\tau \sim L/\text{viteza}$$

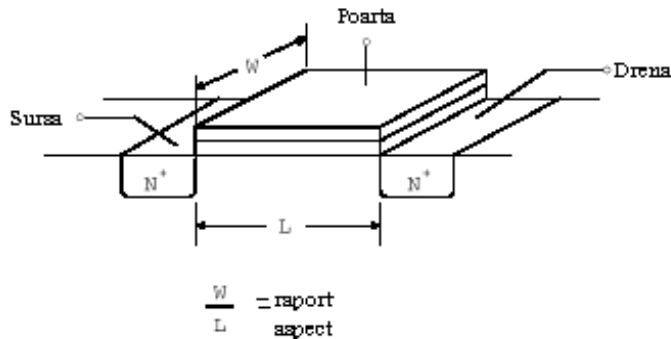
Viteza electronilor este proporțională cu mobilitatea μ_n înmulțită cu intensitatea câmpului electric E , $\text{viteza} = \mu_n \cdot E$, ceea ce face ca:

$$\tau \sim L/(\mu_n \cdot E)$$

Pe de altă parte intensitatea câmpului electric E este egală cu V_{DS}/L ($E = V_{DS}/L$), ceea ce face ca:

$$\tau \sim L^2/(\mu_n \cdot V_{DS})$$

Elementele geometrice ce caracterizează canalul L – lungime, W – lățime sunt prezentate în figura următoare:



Raportul W/L poarta numele de *raport- aspect*.

Pe baza celor de mai sus se poate scrie:

$$I_{SD} \sim Q/\tau, \text{ sarcina totala in canal/timpul de tranzit sau}$$

$$I_{SD} \sim - Cox (V_{GS} - V_{th}).W.L/(L^2/(\mu_n.V_{DS}))$$

Dar, $I_{DS} = - I_{SD}$, astfel, ecuatia curentului I_{DS} devine:

$$I_{DS} \sim \mu_n.Cox. (W/L). (V_{GS} - V_{th}).V_{DS}$$

Parametrul W/L poate fi controlat de catre proiectant.

Observatii:

- $\mu_n.Cox. (W/L)$ reprezinta *factorul de amplificare al tranzistorului* (β);
- $\mu_n.Cox$ este tipic $(20-30) \times 10^{-6} A/V^2$
- μ_n este tipic $(6-9) \times 10^{-2} m^2/V.s$
- $Cox.$ este tipic $(3-4) \times 10^{-4} F/m^2$

In continuare se face o comparatie intre ecuatia simplificata si o ecuatie mai exacta pentru I_{DS} , in regiunea liniara:

- ecuatia simplificata: $I_{DS} \sim \mu_n.Cox. (W/L). (V_{GS} - V_{th}).V_{DS}$

- ecuatia mai exacta: $I_{DS} \sim \mu_n.Cox. (W/L). [(V_{GS} - V_{th}).V_{DS} - V_{DS}^2/2]$

Cand V_{DS} este mic, modelul bazat pe controlul prin sarcina asigura o precizie rezonabila. In cazul reducerii dimensiunilor dispozitivului, aceste ecuatii de proiectare devin mai putin precise.

Chiar fara termenul la patrat I_{DSAT} poate fi calculat pe baza modelului controlat prin sarcina prin inlocuirea $V_{DS} = V_{DSAT} = V_{GS} - V_m$, ceea ce va conduce la:

$$I_{DSAT} \sim \mu_n \cdot C_{ox} \cdot (W/L) \cdot (V_{GS} - V_m)^2$$

Acestei estimari ii lipseste termenul $V_{DS}^2/2$

Intr-o maniera similara se poate examina tranzistorul PMOS.

2.6. Tensiunea de prag (V_m sau V_{th}).

Tensiunea de prag poate fi definita ca tensiunea intre poarta si sursa unui dispozitiv MOS sub valoarea careia curentul I_{DS} devine zero.

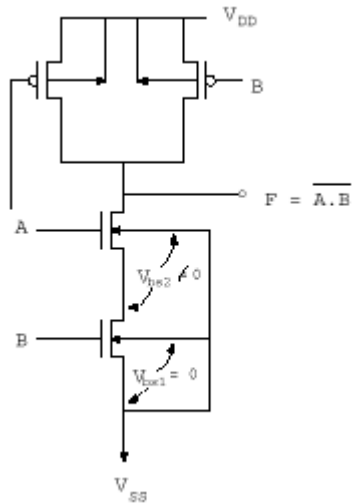
Considerand o valoare mica pentru V_{GS} se pot face urmatoarele constatari:

- sarcina initiala in canal se datoreaza numai acceptorilor ionizat din regiunea saraca
- concentratia de purtatori minoritari de la suprafata devina egala cu concentratia purtatorilor majoritari din substrat;
- cresterea in continuare a lui V_{GS} induce un puternic strat de inversie;
- tensiunea de prag V_m/ V_{tp} poate fi controlata prin modificarea grosimii stratului de dioxid de siliciu t_{ox} , care nu constituie un parametru de proiectare, fiind controlat de specialistul in procesul de fabricatie.

2.7. Efectul de corp

Sursa unui dispozitiv de tip N este de regula conectata la o tensiune coborata, ca si structura de baza/corpul, astfel incat tensiunea intre ele $V_{BS} = 0$. In aceste conditii tensiunea de polarizare a substratului/corpului va afecta tensiunea de prag in mod direct.

Dispozitivele MOS sunt construite pe un substrat comun, ceea ce face ca tensiunea de polarizare a substratului sa fie aceeasi. Exista unele combinatii, dupa cum se vede in figura de mai jos, in care tensiunea intre sursa si substrat sa nu fie egala cu zero ($V_{BS1} = 0, V_{BS2} \neq 0$).



Cand creste tensiunea între sursa si substrat creste, de asemenea, si latimea stratului sarac canal-substrat.

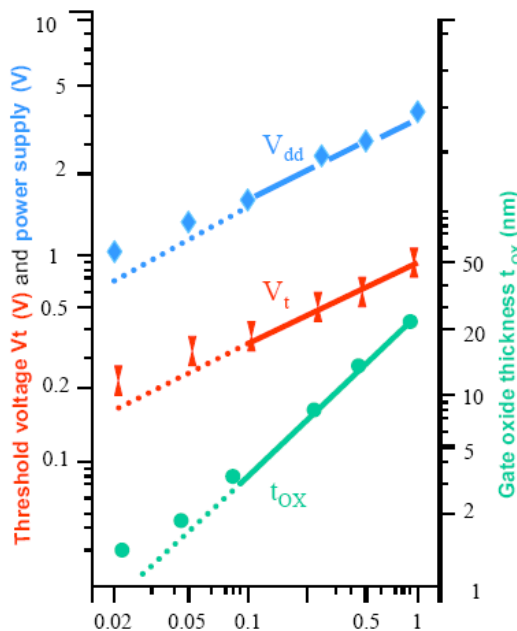
Ca rezultat, creste numarul acceptorilor ionizati din stratul sarac. Acesta trebuie compensat cu o sarcina egala si de semn opus pe poarta inainte de formarea stratului de inversie, ceea ce conduce la cresterea tensiunii de prag. O aproximatie de ordinul 0, pentru tensiunea de prag, este urmatoarea:

$$V_{th} = V_{th(0)} + \gamma \cdot V_{BS}^{1/2}$$

unde $V_{th(0)}$ este tensiune de prag atunci cand $V_{BS1}=0$, iar γ poate lua valori de la $0.1 \text{ V}^{1/2}$ la $1 \text{ V}^{1/2}$.

In relatia de mai sus semnul este pozitiv pentru dispozitivele NMOS.

Status of Microelectronics Technology



Fast Evolution of IC Technologies

Future VLSI chip	2005	2011
CMOS feature size	0.1 μm	0.05 μm
Core voltage (V)	0.9-1.2 V	0.5-0.6 V
Chip size	520 mm^2	750 mm^2
Transistors/ cm^2	40 M	100 M
DRAM bits/chip	17.2 G	275 G
Number of wiring levels	7 - 8	9

(Source: International Technology Roadmap for Semiconductors 1998 update)

Productivity Gap: Technology vs. CAD

Need to increase Designers Productivity in order to make use of new Technologies

SIA Roadmap for the Design Technology Requirements (near term)

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
MPU new design cycle (months)	36	36	36	32	32	32	30
MPU transistors per designer-month (300-person team) (thousand)	2	3	4	7	10	15	20
ASIC new design cycle (months)	12	12	12	12	12	12	12
ASIC transistors per designer-month (50-person team) (million)	0.3	0.4	0.5	0.7	1.0	1.3	1.8
Portion of verification by formal methods	15%	15%	15%	20%	20%	20%	30%
Portion of test covered by BIST	20%	20%	20%	30%	30%	30%	40%

BIST= Built In Self Test