



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculă e-content pentru învățământul superior tehnic

Testarea Sistemelor

19. Boundary Scan Design

BOUNDARY SCAN DESIGN

Titlul acestui capitol desemnează:

1. un stil de proiectare al circuitelor integrate (CI), al celor din generațiile cu complexitate tot mai mare (abrevierile clasice LSI, VLSI, ULSI etc.),
2. un stil de proiectare al plăcilor cu CI, plăci care devin la rândul lor tot mai cuprinzătoare. Nu mai surprinde pe nimeni faptul că o singură placă (mai mare) ori plachetă (ceva mai mică) poate găzdui un întreg sistem de calcul, în toată complexitatea sa – procesoare, memorii, interfețe video, interfețe de înaltă dar și de joasă viteză etc.
3. un standard al organizației IEEE destinat proiectării dar și testării atât la nivel de CI cât și la nivel de placă.

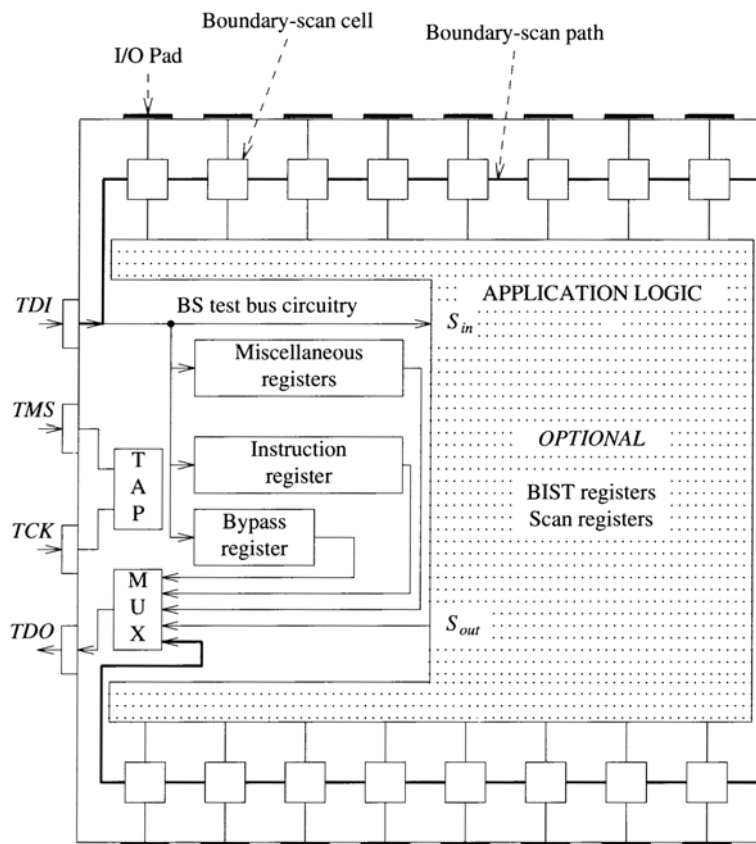


Figura 1. Structura generică a unui CI proiectat BSD.

Rațiunile grupării atâtor scopuri rezidă într-un considerent extrem de simplu. Un CI cu cât este mai complex cu atât este mai dificil de:

- proiectat (o singură dată, în genere),
- de testat (atât proiectarea cât și realizarea fizică a fiecărui CI în parte) dar și
- de verificat în funcționarea sa indiferent că respectivul CI face parte dintr-un calculator PC (varietatea cea mai larg produsă și comercializată) sau dintr-un supercalculator instalat la bordul unei aeronave ori din aparatura sofisticată a unui vehicul spațial.

Este evident că la producerea unui CI laborios sunt proiectate atât facilități de testare, circuite dedicate circuitului respectiv, cât și capacități specifice de testare, cum ar fi vectorii de test adecvați etc. *Boundary Scan Design* (BSD) este disciplina de proiectare care face posibilă utilizarea acestor facilități de testare oriunde se include într-un proiect respectivul CI. Așa cum se poate vedea din figura 1 structura unui CI proiectat BSD are două secțiuni funcționale:

- Logica aplicației respectivului CI și
- Logica BSD de interfațare a CI cu celelalte CI din sub-sistem (plachetă, placă, etc.)

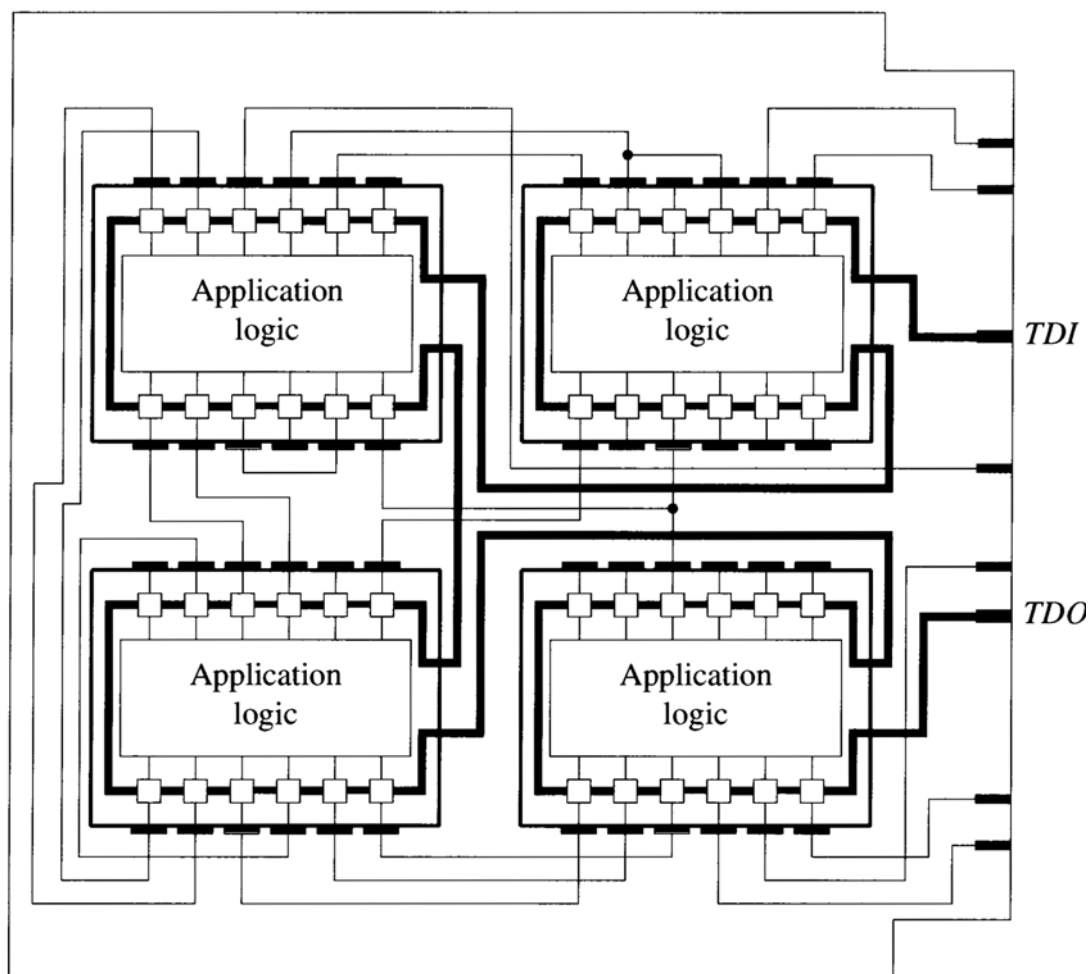


Figura 2. Structura unei plăci cu CI proiectată după standardul BSD.

În figura 2 este prezentat printr-un exemplu simplu modul în care disciplina de proiectare BSD structurează o plachetă cu circuite compatibile acestei discipline. Sunt marcate în mod special semnalele *TDO* (*Test Data Out*) și respectiv *TDI* (*Test Data In*).

În timp, au fost dezvoltate câteva standarde de proiectare pentru testabilitate. (în original *DFT* abrevierea sintagmei *Design For Testability*).

Scopul principal al acestor standarde a fost să asigure circuitelor integrate LSI și VLSI complexe, un numitor comun dedicat unei proiectări testabile. Astfel încât, să fie

posibil prin aceste standarde să se dezvolte teste și metode de testare, într-o manieră semnificativ mai eficientă și mai puțin costisitoare, pentru aceste foarte complexe circuite.

O parte dintre aceste inițiative, cele mai larg cunoscute și cu impact în timp, sunt:

- Joint Test Action Group (JTAG) Boundary Scan standard (JTAG 1988),
- The VHSIC Element-Test and Maintenance (ETM) - Bus standard (IBM 1986),
- The VHSIC Test and Maintenance (TM) - Bus standard (IBM 1986),
- The IEEE 1149.1 Testability Bus Standard (IEEE 1989).

Aceste standarde definesc în primul rând utilizarea unei magistrale de test care să se afle pe placă, protocolul asociat acestei magistrale, dispozitivele magistralei care să controleze magistrala, porturile de I/E care să lege circuitele testate la magistrală și anumite elemente de logică de control care să rezide în circuite pentru interfațarea porturilor magistralei de test cu partea de aplicație pentru testabilitate.

Celulele de memorie BSD

Celulele de memorie dedicate interfeței BSD, nominalizate generic prin *Boundary-Scan Cell* în figura 1, sunt reprezentative pentru standardul BSD (figura 3).

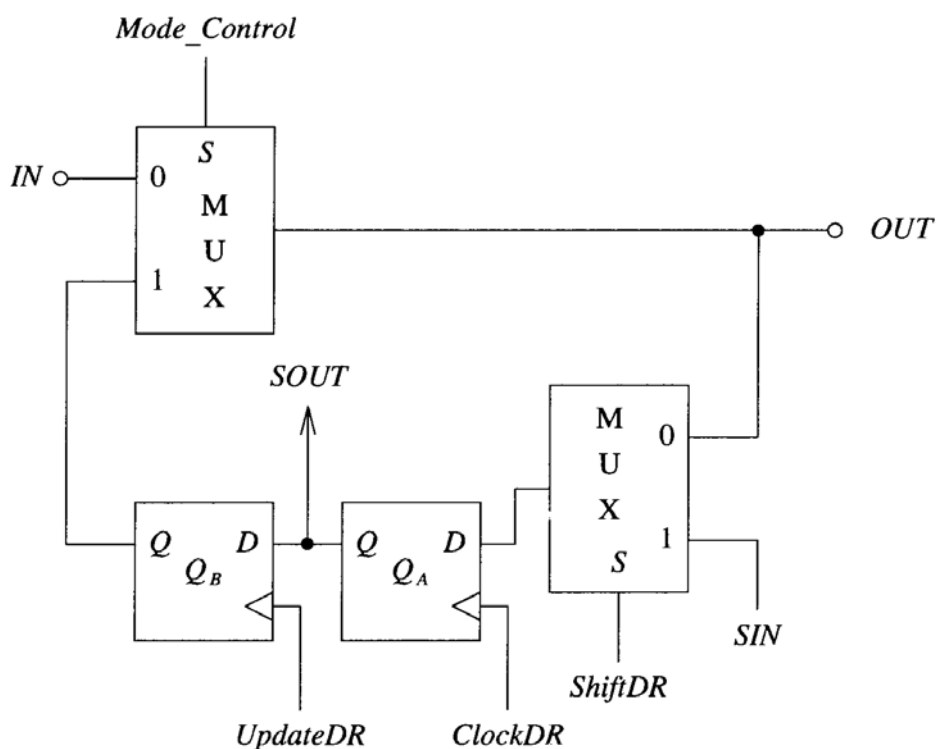


Figura 3. Celulă de memorie Boundary-Scan.

Aceste celule de memorie ale interfeței BSD pot prezenta două structuri tipice, venind din inițiative diferite dar complet compatibile, așa cum se poate vedea în figura 3 și respectiv figura 4.

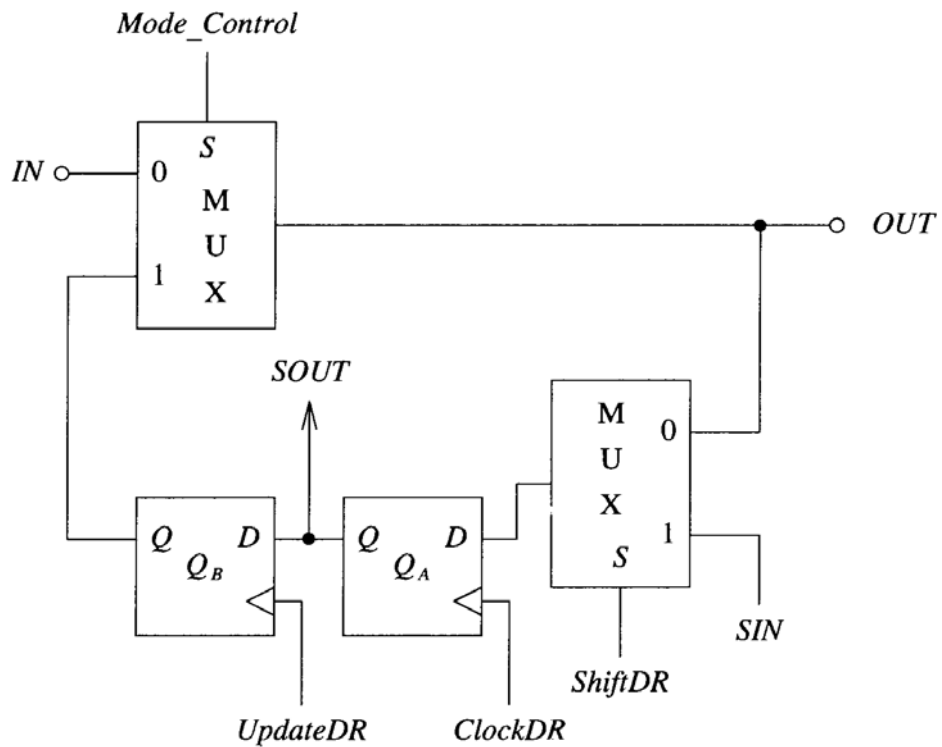


Figura 4. A doua structură posibilă a unei celule de memorie BSD.

Aceste celule pot fi utilizate atât pentru intrări cât și pentru ieșiri în cadrul standardului BSD. Există și alte structuri posibile de celule de memorie BSD, respectiv pentru porturi de intrare-ieșire bidirecționale și cu ieșiri având trei stări, tipice pentru magistrale.

În partea de funcționare ca o celulă BSD de intrare, semnalul *IN* corespunde unui pin de intrare conectat unei intrări normale a logicii de aplicație. Pe de altă parte în zona de funcționare ca o celulă BSD de ieșire linia *IN* corespunde ieșirii logicii aplicației iar linia *OUT* este conectată la un pin de ieșire.

Modul Normal de funcționare al unei celule de memorie BSD corespunde semnalului $Mode_Control = 0$. În acest mod datele trec din portul *IN* în portul *OUT* iar celula este complet transparentă pentru logica de aplicație.

În *Modul Scan* de funcționare celulele *boundary-scan* sunt interconectate într-un lanț de scan, în care terminalul *SOUT* al unei celule este conectat la terminalul *SIN* al următoarei celule din calea de scan. Prima celulă din calea de scan este condusă prin *TDI* iar ultima prin *TDO*. În *Modul Scan*, semnalul *ShiftDR* ia valoarea 1 iar impulsurile de ceas sunt aplicate pe linia *ClockDR*. Abrevierea *DR* semnifică un *registru de date* iar abrevierea *IR* semnifică un *registru al instrucțiunii*.

În *Modul Captură* de funcționare datele aflate pe linia *IN* pot fi încărcate în scan prin poziționarea semnalului *ShiftDR* = 0 și aplicând un impuls de ceas pe linia *ClockDR*.

În *Modul Update*, de îndată ce s-a încărcat celula de memorie *QA* fie prin captură, fie prin operația de scan, valoarea acesteia poate fi trimisă portului *OUT* prin poziționarea semnalului *Mode_Control* = 1 și aplicând un impuls de ceas liniei *UpdateDR*.

Dacă o celulă de boundary-scan (*B-S*) conduce un pin de ieșire, atunci linia *Select* a multiplexorului care conduce linia de ieșire este acționată printr-un semnal notat *Output_ModeControl*; iar dacă celula este condusă printr-un pin de intrare linia de selecție este condusă de semnalul etichetat *Input_Mode_Control*.

Aceste concepte ale proiectării BSD se extind firesc atunci când acestea trebuie să utilizeze atât pini cu trei stări cât și pini de intrare-ieșire bidirecționali.

În figura 2 este prezentată schematic o placă de circuit compatibilă cu standardul IEEE 1149.1.

Celulele *B-S* sunt interconectate într-o singură cale de scan, în care pinul *TDO* al unui circuit este conectat la pinul *TDI* al altui circuit, exceptând porturile *TDI* și *TDO* inițiale care sunt conectate la terminale distincte ale plăcii.

Alte câteva interconectări normale, după standardul IEEE 1149.1, între circuitele unei plăci sunt prezente în figura 2.

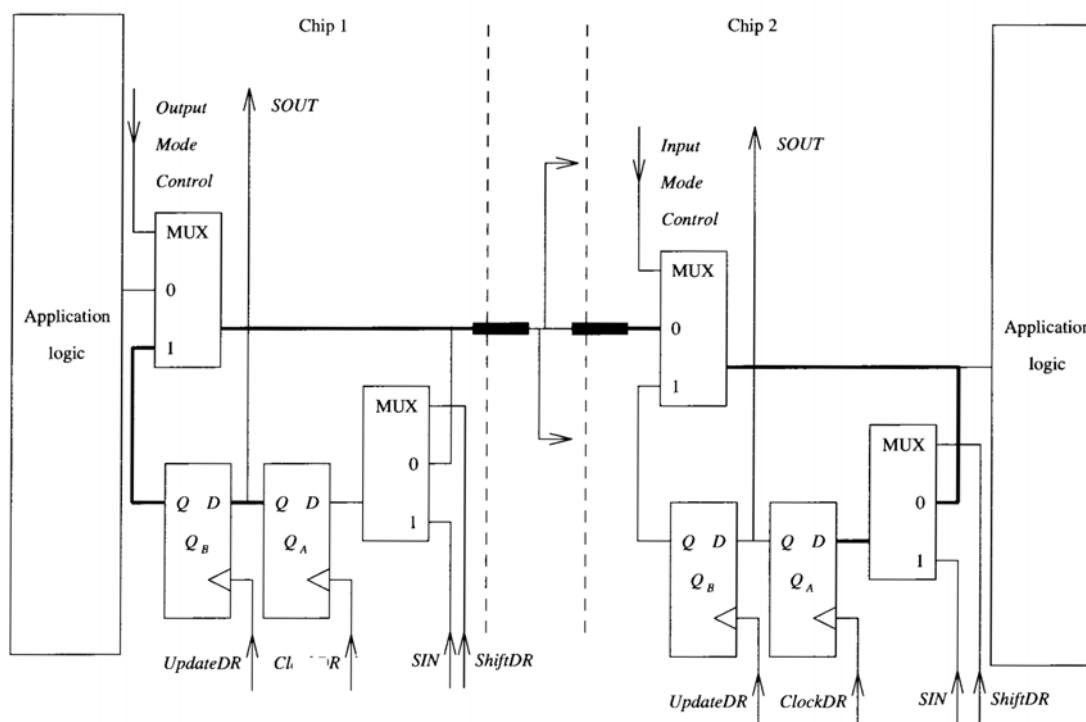


Figura 5. Configurația testului extern pentru circuitele compatibile IEEE 1149.1.

Utilizând această configurație se pot implementa o seamă de teste cuprinzând:

- Test de interconectare,
- Observarea imediată a stării sistemului și
- Testarea fiecărui circuit de pe placă.

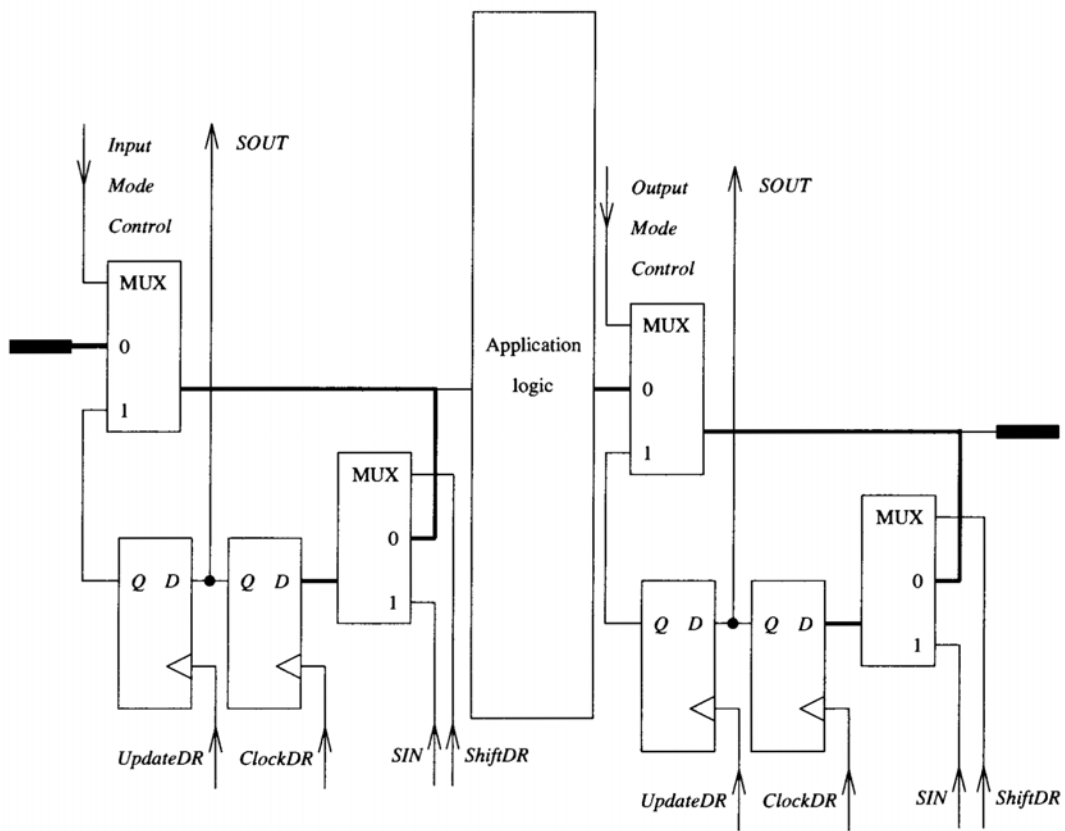


Figura 6. Configurația testului de eșantionare.

Pentru implementarea acestor teste există trei moduri de test:

- testul extern (figura 5),
- testul cu eșantionare (figura 6) și
- testul intern (figura 7).

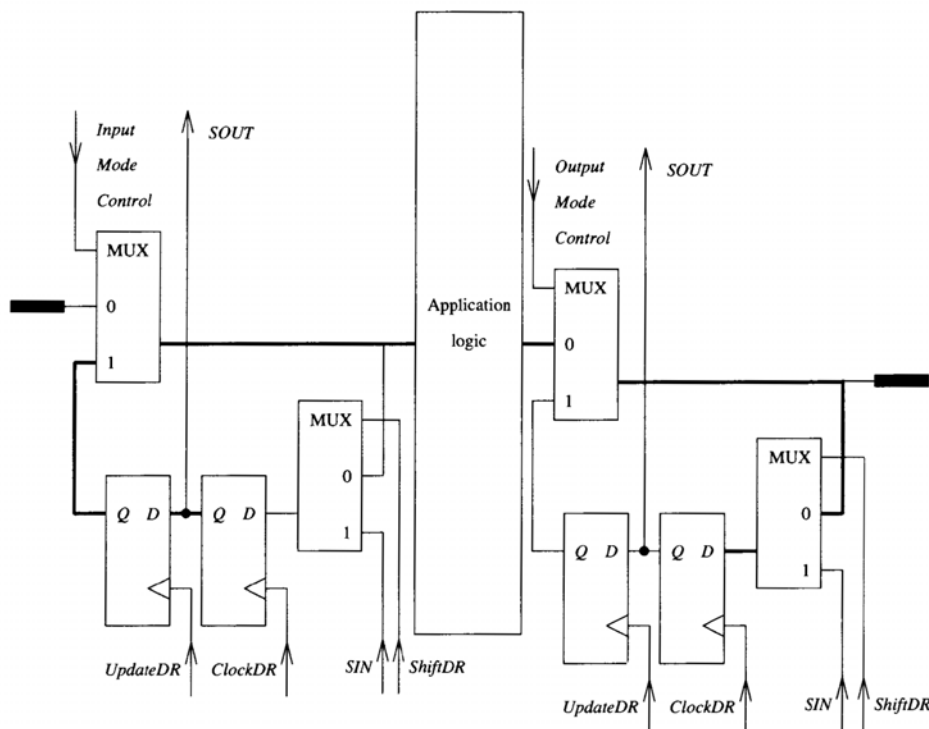


Figura 7. Configurația testului intern, BSD.

Modul de test extern

Pentru testarea interconectărilor și / sau a logicii eterne cipurilor suportate de standardul IEEE 1149.1 se utilizează configurația circuitului prezentată în figura 5. În această configurație se poate încărca un vector de test în celulele QA ale *chip*-urilor 1 și 2, spre exemplu, $QA(\text{chip } 1) = 1$ și $QA(\text{chip } 2) = 0$. Primul circuit efectuează o operație de *Actualizare* în care datele aflate $QA(\text{chip } 1)$ vor conduce pinul de ieșire. Al doilea circuit efectuează o operație de *Captură* în care datele aflate pe liniile sale de intrare sunt încărcate. Datele din calea de scan pot fi deplasate afară pentru a putea verifica corectitudinea răspunsurilor culese. Printr-o alegere corespunzătoare a datelor se pot detecta defecte scurtcircuite, întreruperi și blocaje. Printr-o utilizare corespunzătoare a celulelor de scan și a datelor de test se pot face testări de interconexiuni pentru logică cu trei stări și conexiuni bidireționale.

Modul de test cu eșantionare

Datele de intrare-ieșire asociate unui CI pot fi eșantionate, culese, pe durata operării normale a sistemului, așa cum se poate observa în figura 6.

Aceste date eșantionate pot fi scanate în exterior în timp ce placa cu CI continuă să funcționeze normal.

Circuitele BSD sunt astfel proiectate încât celulele BSD din calea de semnal dintre pinii de intrare-ieșire ai aplicației logice să nu intre în interferență cu operarea plăcii logice.

Modul de test intern

Pentru modul de test intern configurația celulelor de scan este prezentată în figura 7. În această configurație liniile de intrare ale aplicației logice sunt conduse prin liniile de intrare ale celulelor BS iar răspunsul este capturat în celulele BS de ieșire.

Deoarece aceste celule sunt parte a căii de scanare, modul acesta de operare oferă completă controlabilitate și observabilitate a pinilor de intrare-ieșire a CI.

Anumite circuite pot avea căi interne de scan și să fie, în fapt, proiectate cu facilități de auto-testare încorporată (*built-in self-test* BIST).

Pe durata acestui mod de test intern, căile interne de scan și operațiile BIST ale circuitului pot fi activate pentru testarea respectivului circuit.

Această configurație înlocuiește anumite forme de testare efectuate, spre exemplu, prin echipamente de teste specializate cum ar fi *paturile-cu -cuie*.

Magistrala de teste

O placă care suportă standardul IEEE 1149.1 conține o magistrală de teste cu cel puțin patru linii de semnal (o a cincea linie de semnal poate fi utilizată pentru resetarea circuitelor magistralei de teste). Aceste semnale sunt conectate la un CI prin porturile acestuia cu magistrala de teste.

Fiecare CI este considerat ca fiind un *sclav* al magistralei de teste iar magistrala de teste se presupune să fie condusă printr-un circuit master (stăpân) al acesteia.

Configurația minimă a magistralei constă din două semnale transmise (*TMS* și *TCK*) conduse de master și o cale serială formată prin conexiunea înlănțuită a pinilor de scan serial al datelor (*TDI* și *TDO*) ale dispozitivelor *stăpân* și *sclav*.

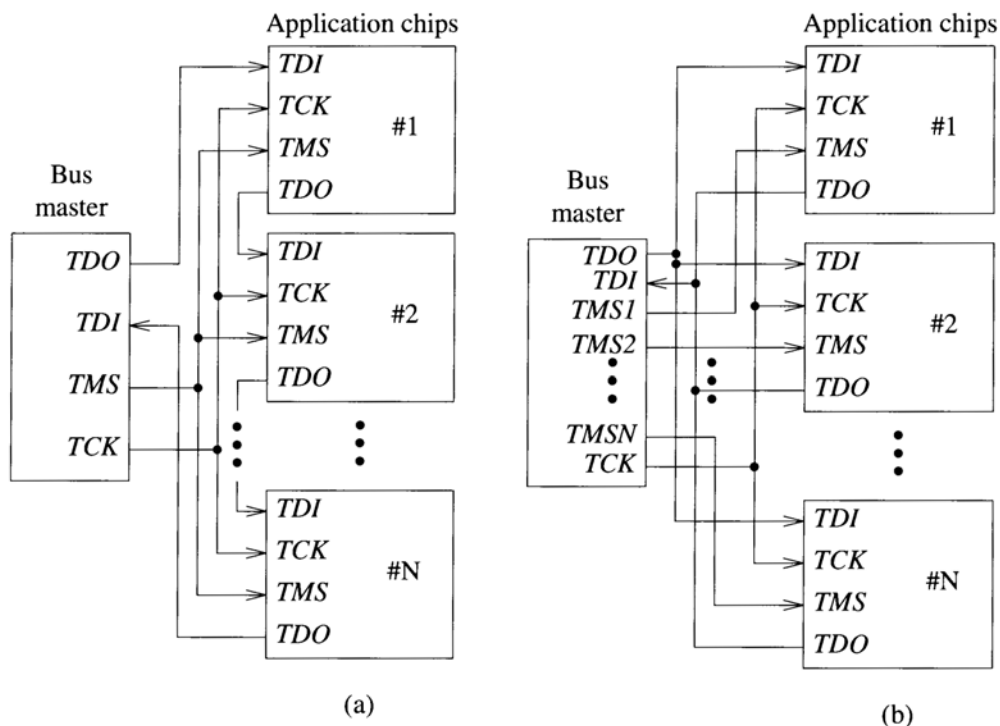


Figura 8. Configurații ale magistralei de test.

Figura 8.a prezintă o configurație inelară a magistralei iar figura 8.b înfățișează o configurație radială.

Registrele BSD

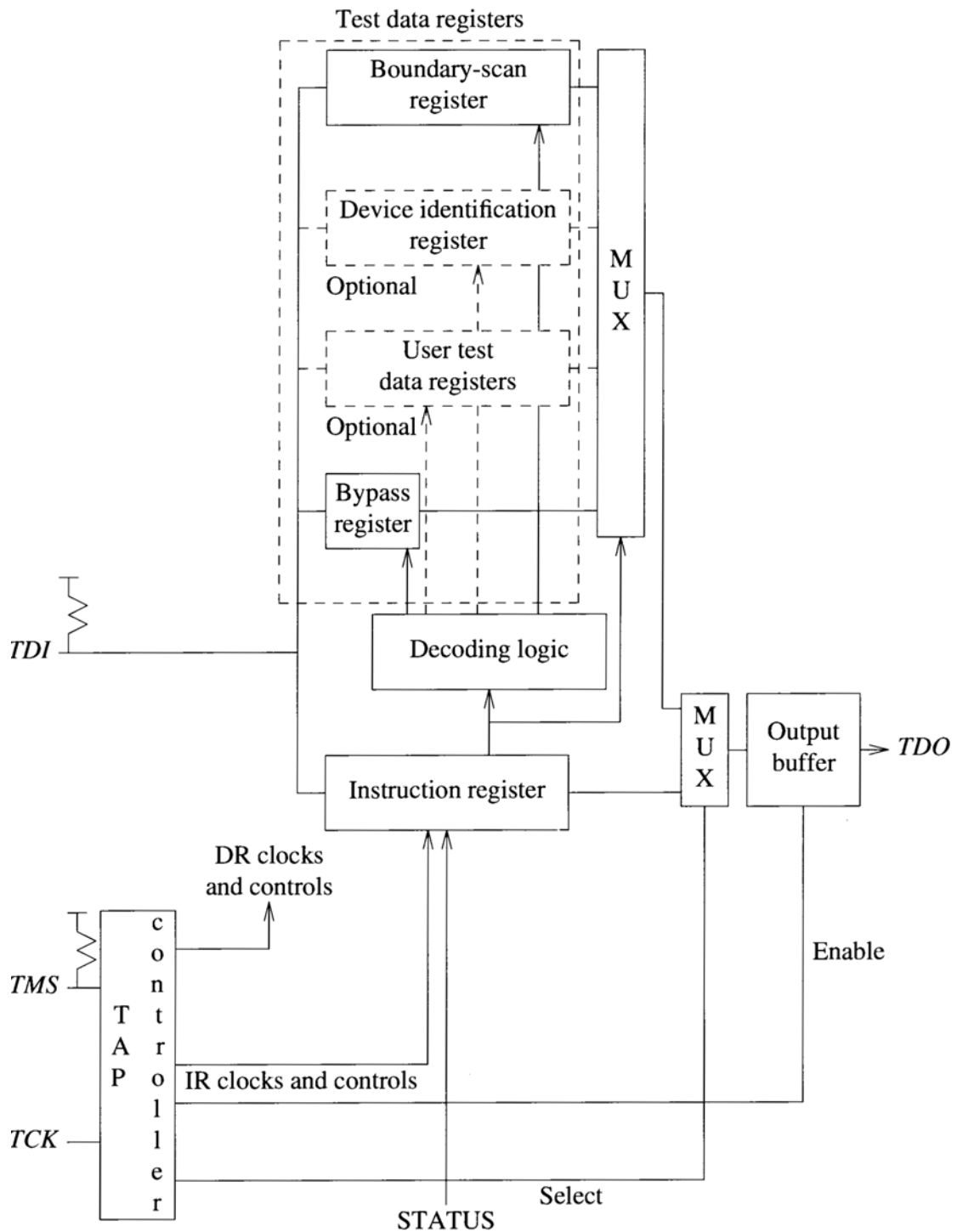


Figura 9. Structura funcțională a logicii pentru BSD după standardul IEEE 1149.1.

Controlerul TAP

Acest controler este o mașină cu stări finite sincronă a cărei diagramă de stări este prezentată în figura 10.

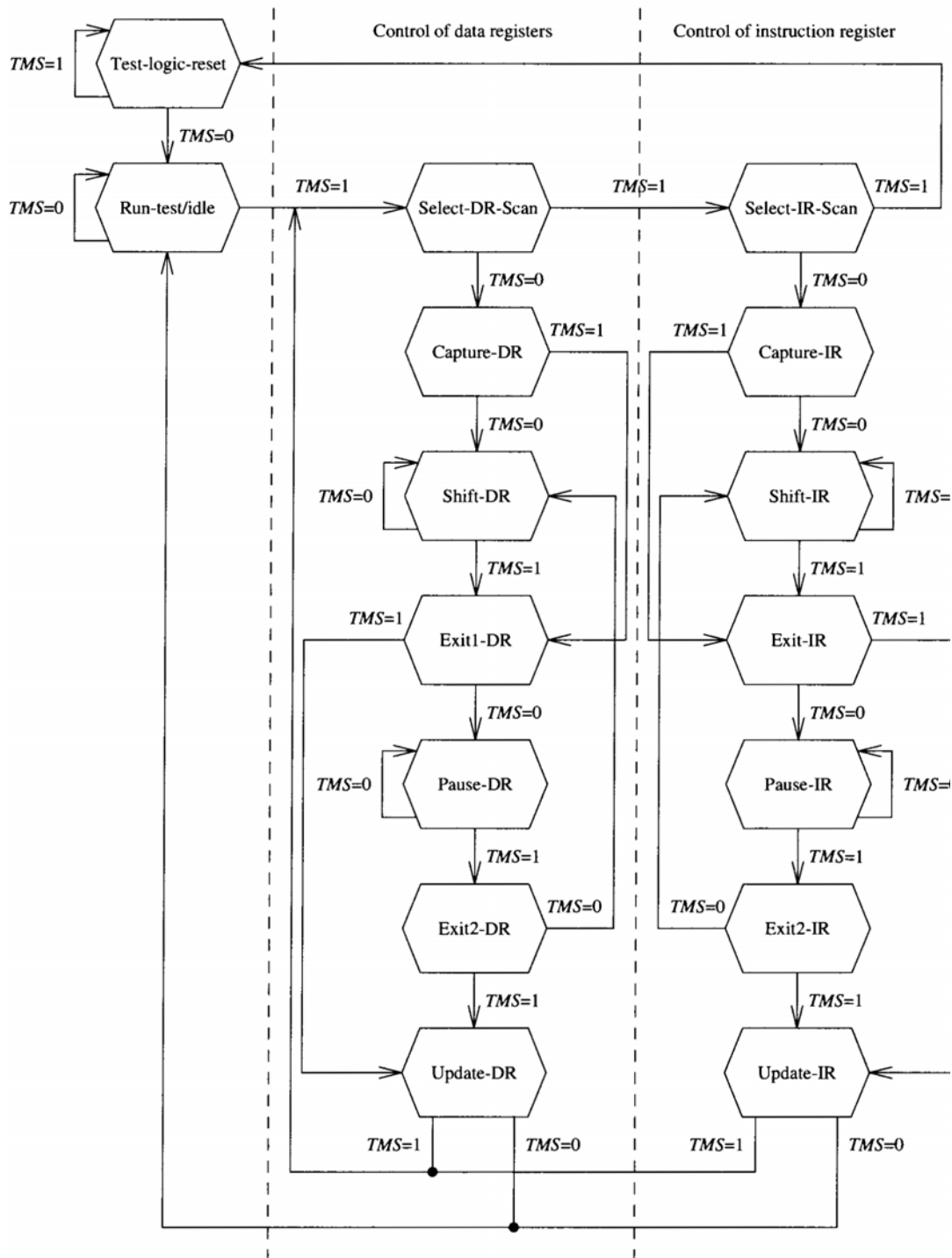


Figura 10. Diagrama de stări a mașinii sincronă cu stări finite corespunzătoare TAP.

Are o singură linie de ieșire etichetată TMS iar liniile sale de ieșire sunt semnalele corespunzătoare unui subset al etichetelor asociate diferitelor stări, cum ar fi *Capture-IR*, spre exemplu. Diagrama de stări arată că sunt două sub-diagrame paralele și

aproape identice, una corespunzătoare operațiilor de control ale registrului instrucțiunii, iar cealaltă controlează operațiile registrului de date. Controlerul poate să-și schimbe starea numai atunci când apare un impuls pe linia *TCK*. Starea următoare este determinată prin nivelul logic al liniei *TMS*.