



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale  
2007-2013



# Platformă de e-learning și curriculum e-content pentru învățământul superior tehnic

## Testarea Sistemelor

### 4. Detecția defectelor și redundanța

## DETECȚIA DEFECTELOR ȘI REDUNDAȚA

### 1 Circuitele combinaționale

Fie  $Z(x)$  funcția logică a unui circuit combinațional  $N$ , unde  $x$  reprezintă un vector arbitrar de intrare iar  $Z(x)$  reprezintă funcția realizată de  $N$ . Se va nota prin  $t$  un vector de intrare specificat, și prin  $Z(t)$  răspunsul circuitului  $N$  în raport cu vectorul de intrare  $t$ . Pentru un circuit cu mai multe ieșiri,  $Z(t)$  este deasemenea un vector. Prezența unui defect  $d$  transformă  $N$  în noul circuit  $N_d$ . Aici se va presupune că  $N_d$  este deasemenea un circuit *combinațional* care realizează funcția  $Z_d(x)$ . Circuitul este testat prin aplicarea unei secvențe  $T$  de vectori de test  $t_1, t_2, \dots, t_m$ , și prin compararea răspunsului obținut la ieșire cu răspunsul ieșirii, sau estimarea răspunsului ieșirii, circuitului  $N$ ,  $Z(t_1), Z(t_2), \dots, Z(t_m)$ .

**Definiția 1:** Un (vector de) test  $t$  *detectează* un defect  $d$  dacă și numai dacă  $Z_d(t) \neq Z(t)$ .

De notat că testele din secvența  $T$  pot fi aplicate în orice ordine; de aceea pentru un circuit combinațional, asupra secvenței  $T$  se vor face referiri ca asupra unui set de teste, sau ca asupra unei mulțimi de teste. De subliniat, deasemenea, că această definiție presupune testarea la nivelul bornelor, pinilor terminali, cu o completă comparație a tuturor rezultatelor.

Exemplul 1: În circuitul din figura 1 fie  $d$  scurtcircuitul care induce o poartă SAU între liniile primare de intrare  $x_1$  și  $x_2$ . Acest defect schimbă funcțiile realizate de cele două ieșiri în  $Z_{1d} = x_1 + x_2$  ( în loc de  $Z_1 = x_1x_2$ ) și în  $Z_{2d} = (x_1 + x_2)x_3$  ( în loc de  $Z_2 = x_2x_3$ ). Testul 011 detectează defectul  $d$  deoarece  $Z(011) = 01$  în timp ce  $Z_d(011) = 11$ .  $\square$

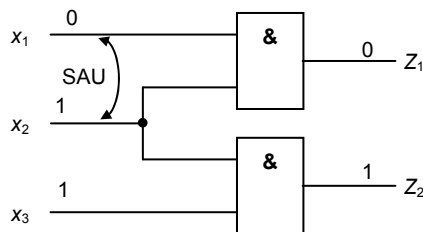


Figura 1.

Pentru un circuit cu ieșire unică, un test  $t$  ce detectează un defect  $d$  face ca ieșirea circuitului fără defecte să fie diferită (opusă) ieșirii circuitului afectat de respectivul defect:

$$Z(x) \oplus Z_d(x) = 1. \quad (1)$$

În relația (1) simbolul  $\oplus$  reprezintă operația suma *modulo-2* sau *exclusiv-OR*.

Exemplul 2: Funcția realizată de circuitul din figura 2(a) este  $Z = (x_2+x_3)x_1 + x_1'x_4$ . Fie  $f$   $x_4$  b-l-0. În prezenta lui  $f$  funcția devine  $Z_f = (x_2+x_3)x_1$ , iar relația (1) se reduce la:  

$$x_1'x_4 = 1.$$

Astfel, orice test în care  $x_1 = 0$  și  $x_4 = 1$  este un set de test pentru  $d$ .

Expresia  $x_1'x_4$  reprezintă într-o formă compactă, oricare dintre cele patru teste:

(0001, 0011, 0101, 0111) care detectează defectul  $d$ .  $\square$

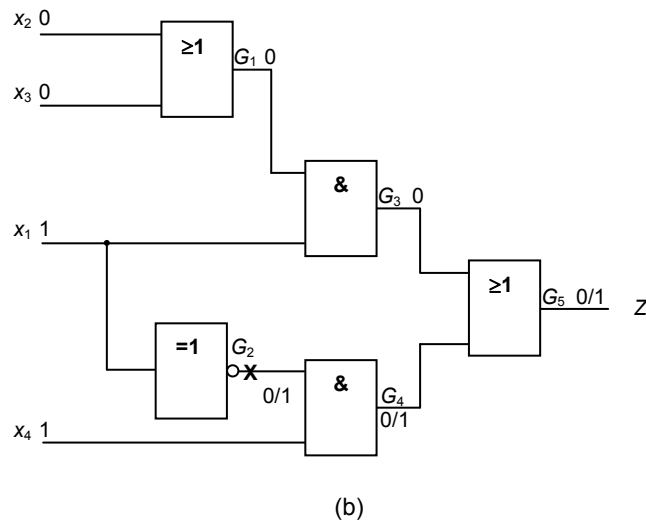
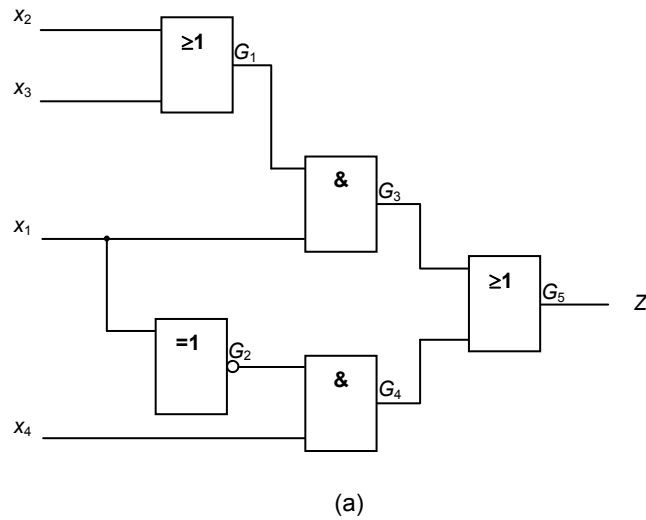


Figura 2

### Senzitivizarea

Se va simula circuitul din figura 2 pentru testul  $t = 1001$ , atât în cazul circuitului afectat de defectul  $G_2$   $b-l-1$ , cât și pentru circuitul fără defecte. Rezultatele acestor două simulări sunt prezentate în figura 2(b). Rezultatele sunt diferite în două cazuri și au forma  $v/v_d$ , unde  $v$  și  $v_d$  sunt valorile semnalelor în circuitul fără defecte respectiv în circuitul defect. Defectul este detectat deoarece valorile ieșirilor în cele două cazuri sunt diferite. Figura 2(b) ilustrează cele două concepte de bază din detecția defectelor. Primul concept, arată că un test  $t$  care detectează un defect  $d$  activează defectul  $d$ , adică generează o eroare (sau un efect al defectului) prin crearea valorilor diferite  $v$  și  $v_d$  în punctul de implantare al defectului. Al doilea concept,  $t$  propagă eroarea la o ieșire primară  $w$ , adică face toate liniile de-alungul a cel puțin o cale dintre locul de implantare al defectului și  $Z$  (una dintre liniile de ieșire ale circuitului), să aibă valori diferite pentru  $v$  și  $v_d$ . În figura 2(b) eroarea se propagă de-alungul căii ( $G_2, G_4, G_5$ ). (Uneori se folosește termenul "propagarea defectului" în locul "propagării erorii" sau

"propagării efectului defectului".) O linie a cărei valoare în testul  $t$  se schimbă în prezența unui defect  $d$  se spune că este *senzitivizată de defectul  $d$  prin testul  $t$* . O cale compusă din linii senzitivizate se numește o *cale senzitivizată*.

O poartă a cărei ieșire este senzitivizată la un defect  $d$  are cel puțin una dintre intrările sale senzitivizată la defectul  $d$  (prin testul  $t$ ). Următoarea leamnă concentrează proprietățile unei astfel de porți.

Lema 1: Fie  $G$  o poartă cu inversiunea  $i$  și valoarea de control  $c$ , a cărei ieșire este senzitivizată la defectul  $d$  (prin testul  $t$ ).

1. Toate liniile intrare ale porții  $G$  senzitivizate la  $d$  au aceeași valoare (se presupune  $a$ );
2. Toate liniile intrare ale porții  $G$  ne-senzitivizate la  $d$  (dacă există vreuna) au valoarea  $c'$ ;
3. Valoarea ieșirii porții  $G$  este  $a \oplus i$ .

Demonstrație:

1. Se presupune, prin absurd, ca există două intrări ale porții  $G$ , senzitivizate, anume  $k$  și  $l$ , care au valori diferite. Atunci una dintre acestea ( să zicem,  $k$ ) are valoarea de control a porții. În prezența defectului  $d$ , atât  $k$  cât și  $l$  își schimbă valoarea și atunci  $l$  are valoarea de control. Dar aceasta înseamnă că  $G$  are aceeași valoare a ieșirii independent de  $d$ , ceea ce contrazice ipoteza că ieșirea porții este senzitivizată la defectul  $d$ . Deci, toate intrările senzitivizate ale porții  $G$  au aceeași valoare (fie aceasta  $a$ ).
2. Ieșirea porții  $G$  nu poate să se schimbe în prezența defectului  $f$ , dacă una dintre intrările sale ce nu este senzitivizată la defectul  $d$  are valoarea  $c$ . Deci, toate intrările porții  $G$  nu sunt senzitivizate la defectul  $f$  (dacă există vreuna ) trebuie sa aibă valoarea  $c'$ .
3. Dacă  $a = c$ , atunci ieșirea porții are valoarea  $c \oplus i$ . Dacă  $a = c'$ , atunci toate intrările porții  $G$  au valoarea  $c'$ , iar ieșirea porții are valoarea  $c' \oplus i$ . Deci, în ambele cazuri poarta are valoarea ieșirii egală cu  $a \oplus i$ .  $\square$

Valoarea  $c'$  este referită ca fiind *valoarea de trecere*, deoarece aceasta permite propagarea erorii. Astfel o poarta ȘINU care satisface Lema 1 are fie toate intrările (senzitivizate sau nu) aduse la valoarea 1 sau unele intrări senzitivizate aduse la 0 iar restul de intrări (daca mai exista vreuna) aduse la valoarea de trecere 1 (așa cum se poate vedea figura 3).

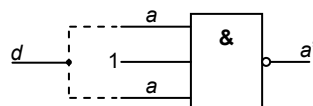


Figura 3. Poarta ȘINU care satisface Lema 1 ( $c = 0, i = 1$ ).

Aplicând iterativ partea a treia a lemei 1, se pot deduce următoarele proprietăți ale căilor senzitivizate.

Corolarul 1: Fie  $j$  o linie senzitivizată la defectul  $w$   $b-l-v$  (prin testul  $t$ ), și fie  $p$  paritatea inversiunii unei căi senzitivizate între  $w$  și  $j$ . Atunci:

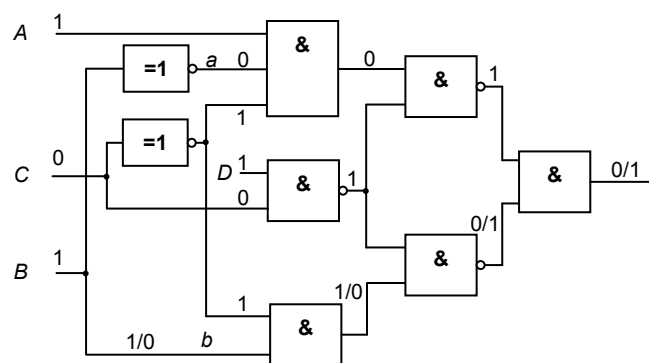
1. Valoarea lui  $j$  în  $t$  este  $v' \oplus p$ .
2. Dacă sunt mai multe căi între  $w$  și  $j$ , atunci toate aceste căi au aceeași paritate a inversiunii.

### Detectabilitate

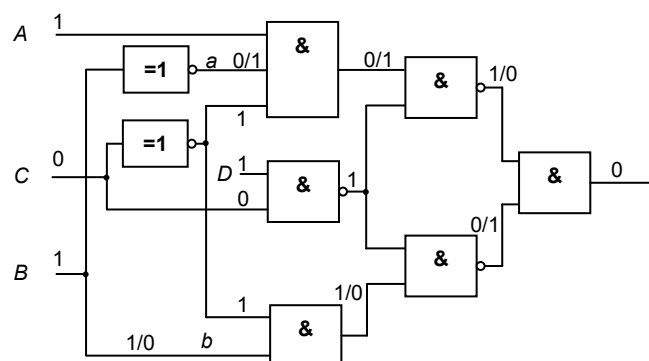
Un defect  $d$  se spune că este *detectabil* dacă există un test  $t$  care detectează  $d$ ; în caz contrar se spune că  $d$  este un defect *nedetectabil*.

Pentru un defect nedetectabil  $d$ ,  $Z_d(x) = Z(x)$  și nici un test nu poate simultan activa  $d$  și senzitiviza o cale către o linie primară de ieșire (LPE).

În circuitul din figura 4(a) defectul  $a$   $b$ -1 este nedetectabil.



(a)



(b)

Figura 4.

Deoarece defectele nedetectabile nu schimbă funcția unui circuit, poate să apară că aceste defecte nedetectabile sunt fără importanță și, în consecință, pot fi ignorate. Totuși, un circuit cu un defect nedetectabil poate invalida ipoteza defectului unic. Este de reconsiderat că în baza strategiei de testare frecventă, se presupune că se detectează un defect înainte ca să apară un al doilea. Dar acest lucru poate să devină imposibil dacă primul defect este nedetectabil.

Atunci când se generează un set de teste pentru un circuit, un scop tipic este producerea unui *set de teste de detecție complet*, adică, un set de teste care detectează

orice defect detectabil. Totuși, un set de teste complet poate să nu fie suficient pentru a detecta orice defect detectabil dacă un defect nedetectabil este prezent în circuit.

**Exemplul 3:** În figura 5(a) este prezentat modul în care defectul  $b$   $b-l-0$  este detectat de  $t = 1101$ . În figura 5(b) se arată că defectul  $b$   $b-l-0$  nu mai este detectat de testul  $t$  dacă este prezent și defectul nedetectabil  $a$   $b-l-1$ . Astfel dacă  $t$  este unicul test ce detectează  $b$   $b-l-0$  într-un set complet de teste de detecție  $T$ , atunci  $T$  nu mai este complet în prezența defectului  $a$   $b-l-1$ . □

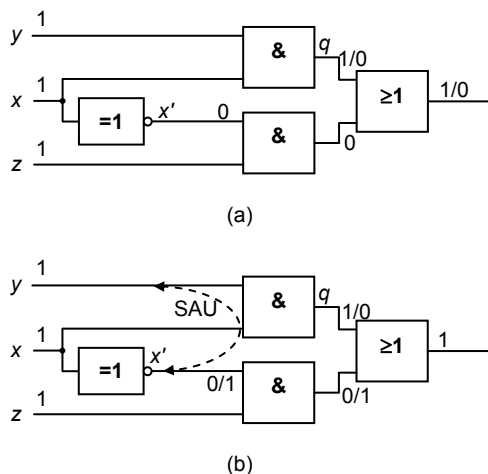


Figura 5.

Situația în care prezența unui defect nedetectabil anulează detecția unui alt defect printr-un anumit test nu se limitează la defecte din aceeași categorie; un defect scurtcircuit nedetectabil poate invalida, similar, un set de teste complet pentru blocaje, spre exemplu.

**Exemplul 4:** Se consideră circuitul din figura 6(a) care realizează funcția  $xy + x'z$ . Defectul scurtcircuit care induce un circuit SAU între liniile  $y$  și  $x'$  este nedetectabil, deoarece funcția realizată în prezența defectului este  $xy + yz + zx' = xy + zx'$ . În figura 6 se arată modul în care testul 111 detectează defectul  $q$   $b-l-0$  dar nu mai face același lucru în prezența defectului scurtcircuit. Setul de teste  $T = \{111, 010, 001, 101\}$  este un set de teste de detecție complet pentru defectele blocaj singulare, iar 111 este singurul test din  $T$  care detectează  $q$   $b-l-0$ . În consecință,  $T$  nu mai este complet în prezența defectului scurtcircuit nedetectabil. □

### Redundanța

Un circuit combinațional care conține un defect blocaj nedetectabil se spune că este *redundant*, deoarece un astfel de circuit poate fi întotdeauna simplificat prin îndepărtarea cel puțin a unei porți sau a unei linii de intrare într-o poartă din respectivul circuit.

Se presupune, spre exemplu, că un defect  $b-l-1$  nedetectabil are loc pe intrarea unei porți  $G$  având funcția ȘI. Deoarece funcția circuitului nu se schimbă în prezența defectului, atunci se poate plasa în permanență valoarea 1 pe acea linie de intrare. Dar un circuit ȘI cu  $n$  intrări cu valoarea constantă 1 pe o intrare este logic echivalent cu o poartă de tip AND cu  $n-1$  intrări, care se obține din prima poartă prin înlăturarea

intrării cu valoarea constantă 1. Similar dacă un defect  $b-l-0$  pe intrarea unei porți ȘI nu este detectabil, atunci poarta poate fi înlocuită printr-0 linie cu valoarea 0. Regulile de simplificare sunt rezumate în următorul tabel:

Defectul nedetectabil	Regula de simplificare
ȘI(ȘINU) intrare $b-l-1$	Șterge intrarea
ȘI(ȘINU) intrare $b-l-0$	Înlocuiește poarta prin 0(1)
SAU(SAUNU) intrare $b-l-1$	Șterge intrarea
SAU(SAUNU) intrare $b-l-0$	Înlocuiește poarta prin 1(0)

Conceptul de redundanță este mai larg decât cel particular legat de existența unor defecte blocaj nedetectabile, și denotă faptul că un circuit poate fi simplificat. O posibilă simplificare, necuprinsă în regulile enumerate anterior, este înlocuirea unui șir de doua inversoare printr-o simplă linie. Un tip generalizat de redundanță există într-un circuit atunci când este posibilă tăierea unui set de  $r$  linii și conectarea a  $q \leq r$  dintre acestea la alte linii de semnal din circuit fără a se afecta funcția circuitului.

În cele ce urmează se va recurge la definiția redundanței legate de defectele blocaj nedetectabile. Termenul "*redundant*" este în egală măsură aplicat defectelor blocaj nedetectabile dar și liniilor care pot fi eliminate din circuit fără să se afecteze funcționarea circuitului. În general, circuitele combinaționale în care toate defectele blocaj sunt detectabile sunt numite circuite combinaționale *iredundante*.

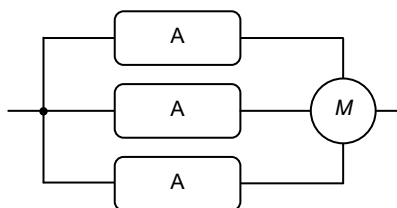


Figura 6. Configurație RMT.

Redundanța nu denotă în mod necesar o implementare inefficientă sau nedorită a unei funcții. Redundanța modulară triplă (RMT) este o tehnică fundamentală folosită în proiectarea tolerantă la defecte, spre exemplu.

Pentru configurația RMT arătată în figura 6, orice defect care apare într-unul dintre modulele identice  $A$  va fi mascat de celelalte două module corect funcționale prin intervenția circuitului de vot majoritar  $M$ .

Este adevărat că o astfel de tehnică face imposibilă testarea "off-line" a circuitului RMT. Soluția este eliminarea redundanței pe perioada testării.

Redundanța poate fi uneori voluntar introdusă pentru evitarea hazardurilor, spre exemplu. Aceasta tehnică de proiectare este ilustrată de circuitul din figura 7, care implementează funcția  $z = ab + bc + a'c = ab + a'c$ . Astfel, poarta  $Y$  care introduce termenul  $bc$  este inutilă din punct de vedere logic.

Fără această poartă, totuși, circuitul ar prezenta un hazard static, deoarece un 0 impuls (un zgomot) poate apărea la ieșirea circuitului atunci când vectorul de intrare se schimbă din 111 în 011. Rolul porții  $Y$  este să țină ieșirea constantă la valoarea 1 pe durata acestei tranziții. Dar, pe de altă parte defectul  $Y b-l-0$  este nedetectabil.

Este de reținut, totuși, modul în care un defect redundant poate invalida un set complet de teste. Alte probleme ce pot apărea în circuitele redundante includ următoarele aspecte:

1. Dacă  $d$  este un defect detectabil iar  $e$  este un defect nedetectabil, atunci  $d$  poate deveni nedetectabil în prezența defectului  $e$ . Un astfel de defect  $d$  este numit *defect redundant de a doua generație*.
2. Două defecte singulare nedetectabile,  $d$  și  $e$ , pot deveni detectabile dacă sunt prezente simultan în circuit. Cu alte cuvinte, defectul multiplu  $\{d,e\}$  poate fi detectabil chiar dacă componentele sale singulare nu sunt detectabile.

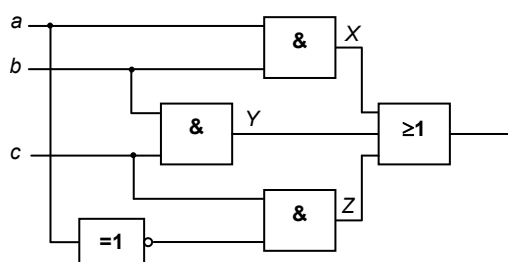


Figura 7.

De remarcat că, în practică, atunci când sunt considerate circuite combinaționale mari, chiar circuitele iredundante pot să nu fie testate prin seturile de teste de detecție complete. Rațiunea este aceea că generarea testelor pentru anumite defecte poate consuma prea mult timp, iar toate programele generatoare de teste sunt reglate să oprească procesul de generare al testelor pentru un defect atunci când acest proces devine prea costisitor. *Practic vorbind, nu există nici o diferență între un defect nedetectabil  $d$ , și unul detectabil  $e$  dar care nu este detectat de un set de teste ce a fost aplicat.* În mod evident  $e$  ar putea fi prezent în circuit și implicit să invalideze ipoteza defectului singular.

Identificarea redundanței este strâns legată de problema generării testelor. Demonstrarea faptului că o linie este redundantă înseamnă să se demonstreze că nu există nici un test pentru defectul corespunzător. Generarea testelor, ca problemă, aparține unei clase dificile de calculabilitate, numită *NP-complete*. Problema comis-voiajorului este o altă problemă faimoasă ce aparține acestei clase. Fie  $n$  "mărimea" problemei. Pentru problema comis-voiajorului  $n$  este numărul de orașe care trebuie să le viziteze; pentru generarea testelor  $n$  este numărul de porți din circuit. O întrebare importantă este dacă există un algoritm care să soluționeze orice instanțiere a problemei de mărime  $n$  folosind un număr de operații proporțional cu  $n^r$  unde  $r$  este o constantă finită. În prezent, nu se cunoaște nici un algoritm polinomial în timp, pentru nici una dintre problemele *NP-complete*. Aceste probleme sunt cumva legate, în sensul că oricare dintre acestea sau nici una dintre acestea, pot fi rezolvate prin algoritmi polinomiali în timp.

Chiar dacă generarea testelor (și identificarea redundanței) sunt probleme cu calculabilitate dificilă, algoritmi practic folosiți de generare a testelor rulează, de regula, în timp polinomial. Faptul că generarea testelor este o problemă *NP-completă* înseamnă că nu poate fi atins întotdeauna timpul polinomial, cu alte cuvinte orice algoritm de generare a testelor poate întâlni un circuit cu un defect anumit care nu poate fi rezolvat în timp polinomial. Experiența a demonstrat că defectele redundante



sunt în mod uzual cauzele care conduc algoritmi de generare a testelor la comportamentul cel mai defavorabil posibil.

## 2 Circuitele secvențiale

Testarea circuitelor secvențiale este considerabil mai dificilă decât testarea circuitelor combinaționale. Detectarea unui defect într-un circuit secvențial necesită o secvență de vectori de test, în locul unui singur vector de test, iar răspunsul circuitului secvențial este o funcție care depinde de starea sa inițială.

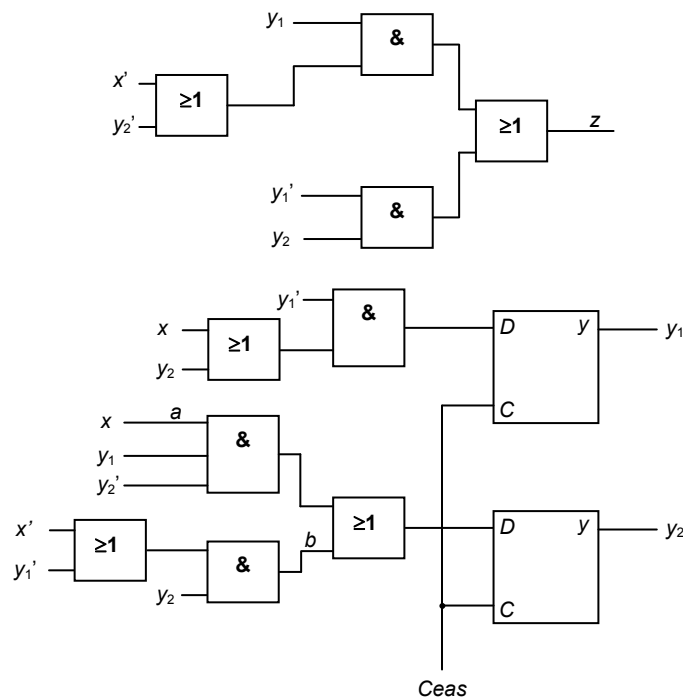


Figura 8(a).

Pentru început se va enunța forma generală de detecție a unui defect dintr-un circuit secvențial.

Fie  $T$  o secvență de test și  $R(q, T)$  răspunsul circuitului secvențial  $N$  la secvența  $T$ , atunci când se începe din starea inițială  $q$ .

	$x$		$y_1$	$y_2$
	0	1		
$A$	$A, 0$	$D, 0$	0	0
$B$	$C, 1$	$C, 1$	0	1
$C$	$B, 1$	$A, 0$	1	1
$D$	$A, 1$	$B, 1$	1	0

Starea Inițială	Secvența de ieșiri		
	Fără defecte	$\alpha$ ( $a$ $b$ -1-1)	$\beta$ ( $b$ $b$ -1-0)
$A$	01011	01010	01101
$B$	11100	11100	11101
$C$	00011	00010	01010
$D$	11001	10010	11010

Figura 8 (b). Secvențele de ieșiri ca funcții de starea inițială și defecte.

În continuare se consideră circuitul secvențial  $N_d$  obținut în prezența defectului  $d$ . În mod similar, se va nota prin  $R_d(q_d, T)$  răspunsul circuitului secvențial  $N_d$  la secvența  $T$  atunci când se pleacă din starea inițială  $q_d$ .

Definiția 2: O secvență de test  $T$  detectează tare defectul  $d$  dacă secvențele de ieșire  $R(q, T)$  și  $R_d(q_d, T)$  sunt diferite pentru orice pereche de stări inițiale  $q$  și  $q_d$ .

Exemplul 5: În figura 8(a) este reprezentat un circuit secvențial sincron, tabelul său de stări și secvențele de ieșire 8(b) obținute la secvența de intrare  $T = 10111$ , pentru circuitul fără defecte și pentru circuitul cu defectul singular  $\alpha$  (linia  $a$   $b-l-1$ ) și respectiv cu defectul  $\beta$  (linia  $b$   $b-l-0$ ).

Deoarece toate secvențele generate în prezența defectului  $\beta$  sunt diferite de cele ale circuitului fără defecte, secvența  $T$  detectează tare defectul  $\beta$ . Deoarece secvența de ieșire a circuitului fără defecte plecând din starea inițială  $B$  și secvența de ieșire a circuitului cu defectul  $\alpha$  plecând tot din starea  $B$  sunt identice,  $T$  nu detectează tare defectul  $\alpha$ .

□

În exemplul 5 chiar dacă  $T$  detectează tare  $\beta$ , simptomul erorii nu poate fi specificat simplu. Adică, nu se poate spune că într-un anumit punct din secvența de ieșire circuitul normal va avea un 1 la ieșire în timp ce circuitul defect va avea un 0 la ieșire, sau vice-versa.

În schimb, se pot lista toate răspunsurile posibile ale mașinii normale și ale mașinilor defecte. Evident acest lucru nu este deloc practic, deoarece un circuit cu  $n$  elemente cu memorie (bistabile) poate avea până la  $2^n$  stări interne posibile.

Mai mult trebuie să fie considerat modul în care operează un testor. Un testor care realizează o testare la nivelul bornelor (pinilor) circuitului cu comparație completă a rezultatelor, compară secvențele de ieșire așteptată și obținută vector cu vector. Deci, secvența de ieșire așteptată trebuie cunoscută dinainte.

Deciziile aplicabile practic în localizarea defectelor și pentru algoritmi de generare a testelor nu pot folosi ambiguități de tipul "*detecție fie în vectorul  $i$ , fie în vectorul  $j$* ". Astfel, răspunsul  $R_d$  trebuie să fie deasemenea predictibil.

De aceea se va folosi următorul concept de detecție, cu un grad mai mic de generalitate.

Definiția 3: O secvență de test  $T$  detectează defectul  $d$  dacă și numai dacă, pentru fiecare pereche de stări inițiale posibile  $q$  și  $q_d$ , secvențele de ieșire  $R(q, T)$  și  $R_d(q_d, T)$  sunt diferite pentru un vector specificat  $t_i \in T$ .

Pentru a determina vectorul  $t_i$  când o eroare cauzată de  $f$  poate fi observată la o LPE (linie primară de ieșire), independent de stările inițiale  $q$  și  $q_d$ , experimentul de testare este divizat, de regulă, în două faze distincte.

În prima fază se aplică o secvență de inițializare  $T_1$ , astfel încât la sfârșitul secvenței  $T_1$  atât  $N$  cât și  $N_d$  sunt aduse în stările cunoscute  $q_1$  și  $q_{1d}$ .

Răspunsurile ieșirilor sunt ignorate pe durata secvenței  $T_1$  deoarece nu sunt predictibile. În faza a doua se aplică o secvență  $T'$ .

Acum, atât răspunsul așteptat  $R(q_i, T')$  cât și răspunsul defectului  $R_d(q_{id}, T')$  sunt predictibile. De obicei  $t_i$  este luat primul vector al secvenței  $T'$  pentru care se observă o eroare.

Acest tip de testare se bazează pe ipoteza fundamentală că există o astfel de secvență de inițializare  $T_I$ .

Majoritatea circuitelor folosite în practică au o secvență de inițializare, secvență care este folosită pentru pornirea operării circuitelor dintr-o stare cunoscută. De obicei, circuitele sunt proiectate astfel încât să fie ușor de inițializat.

O tehnică folosită adesea este implementarea unei linii comune de *reset* (sau *preset*) pentru toate bistabilele. În acest caz, un singur vector este necesar pentru ca să se inițializeze circuitul.

Totuși, o secvență de inițializare a circuitului liber fără defecte  $N$  poate fi inefficientă în anumite circuite defecte  $N_d$ . Un astfel de defect se spune că *împiedică inițializarea*.

Exemplul 6: Se consideră bistabilul de tip  $D$  din figura 9 (o configurație tipică de numărător cu un bit) și defectul  $R$   $b-l-1$ .

În timp ce circuitul fără defecte poate fi inițializat prin  $R = 0$ , este imposibil să se inițializeze circuitul defect într-o stare cunoscută.  $\square$

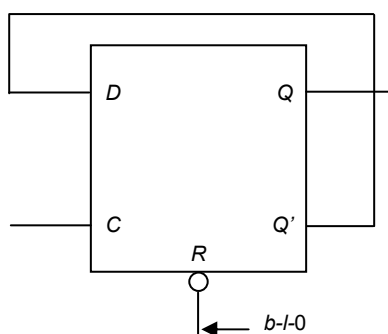


Figura 9. Exemplul unui defect care împiedică inițializarea.

Se poate deduce o secvență de test pentru un defect care împiedică inițializarea prin analizarea separată a fiecărei stări posibile inițiale în prezenta aceluși defect. Dar, în general, o astfel de abordare este nepractică.

De aceea defectele care împiedică inițializarea vor fi considerate ca fiind nedetectabile în testarea aplicată la bornele, sau pinii terminali, ai circuitelor cu comparația completă a ieșirilor. Totuși, spre deosebire de circuitele combinaționale, aceasta nu înseamnă că respectivele circuite sunt redundante.

Deasemenea trebuie subliniat faptul că un defect care împiedică inițializarea poate fi detectat prin alte tipuri de testare, cum ar fi testarea compactă etc.