



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculum e-content pentru învățământul superior tehnic

Proiectarea cu Microprocesoare

9. Ciclul mașină

CICLII DE MAGISTRALĂ AI MICROPROCESORULUI 8086. PREZENTARE GENERALĂ

8086 comunică cu exteriorul prin intermediul unei magistrale de comenzi și a unei magistrale multiplexate în timp de adrese, stări și date. Așa cum am menționat, tehnica multiplexării în timp a permis, atunci când a fost dezvoltat circuitul, utilizarea cea mai eficientă a celor 40 de conexiuni exterioare ale capsulei în care s-a împachetat microprocesorul. Această magistrală multiplexată, denumită și magistrală locală, poate fi amplificată direct și condusă în sistem, *latch*-area, memorarea adresei făcându-se distribuit în modulele de memorie sau de I/O. O altă abordare este cea a demultiplexării unice a adreselor și datelor lângă procesor, cu ajutorul unui singur grup de *latch*-uri pentru adrese și a *transceiver*¹-elor pentru date. Microprocesorul extrage cod sau transferă date executând așa numiții *cicli de magistrală*. Un ciclu de magistrală poate fi definit ca un eveniment asincron în care întâi se validează o adresă, a unei locații de memorie sau a unui dispozitiv periferic, apoi se generează fie un semnal de comandă a citirii, pentru capturarea datelor de la dispozitivul adresat, fie un semnal de comandă a scrierii asociat cu emiterea datelor ce trebuie transmise dispozitivului adresat. Observăm întrebuintarea termenului ciclu de magistrală în locul mai vechiului termen *ciclu mașină* folosit în descrierea funcționării unor procesoare pe 8 biți ca 8080 sau Z80. Ciclii de magistrală trebuie înțeleși ca grupuri de perioade de ceas reprezentând activitatea externă a microprocesorului fără a avea o legătură explicită și ordonată cu execuția curentă a unei instrucțiuni așa cum aveau ciclii mașină (vezi de exemplu ciclii M_1 , M_2 , M_3 ai unui ciclu-instrucțiune Z80 [9]). În figura 1.9 este înfățișată diagrama de bază reprezentând ciclii de citire și scriere pe care îi execută microprocesorul pe magistrala sa de comunicație cu exteriorul. Această diagramă va fi detaliată în capitolele următoare pentru modurile de lucru minim și maxim.

Orice ciclu de magistrală, TCY, are cel puțin patru perioade de ceas, numite *stări T*. În timpul primei stări T, T1, procesorul validează adresa A19÷A0 pe magistrala multiplexată. Tot acum se generează semnalul ALE, de către 8086 sau de controlorul de magistrală 8288, în funcție de modul de lucru. Acest semnal servește memorării adresei în circuite de tip *latch*, de exemplu 74LS373 sau 8282, pe frontul negativ al acestui impuls garantându-se validitatea adresei. A doua stare, T2, este destinată schimbării direcției magistralei, microprocesorul invalidând adresa și, pentru un ciclu de citire, trecând magistrala, cei mai puțin semnificativi 16 biți, în starea a treia, iar pentru un ciclu de scriere validând datele. *Transceiver*-ele de date sunt validate, cu ajutorul semnalului DEN, în T1 sau T2, în funcție de configurația sistemului și direcția transferului. Tot în T2 sunt generate și comenzile de citire, \overline{RD} , scriere, \overline{WR} sau achitare întrerupere, \overline{INTA} , precum și starea S7÷S3 în locul biților de adresă A19÷A16 și a semnalului \overline{BHE} .

În T3, pentru un ciclu de scriere, microprocesorul menține biții de stare și datele ce trebuie transmise, iar în cazul unui ciclu de citire 8086 eșantionează datele păstrând $\overline{RD} = 0$. Dacă memoria sau dispozitivul de I/O selectat nu sunt capabile să asigure transferul datelor până în T4 ele trebuie să avertizeze de acest lucru procesorul poziționând, înainte de T3, semnalul READY pe "0". În acest fel ciclul de magistrală se prelungește prin introducerea de către microprocesor, între T3 și T4, a unor stări de așteptare TW al căror număr depinde de timpul necesar dispozitivului adresat pentru a asigura transferul. Activitatea procesorului pe magistrală în timpul unei stări TW este aceeași ca în T3. Ieșirea din stările

¹ Circuite amplificatoare bidirecționale cum sunt, de exemplu, 8286 sau 74LS245

TW se face la inițiativa dispozitivului, după trecerea timpului necesar asigurării corectitudinii transferului de date, prin trecerea semnalului READY pe "1".

Un ciclu de magistrală se termină cu starea T4 prin dezactivarea comenzilor și eliberarea magistralei locale.

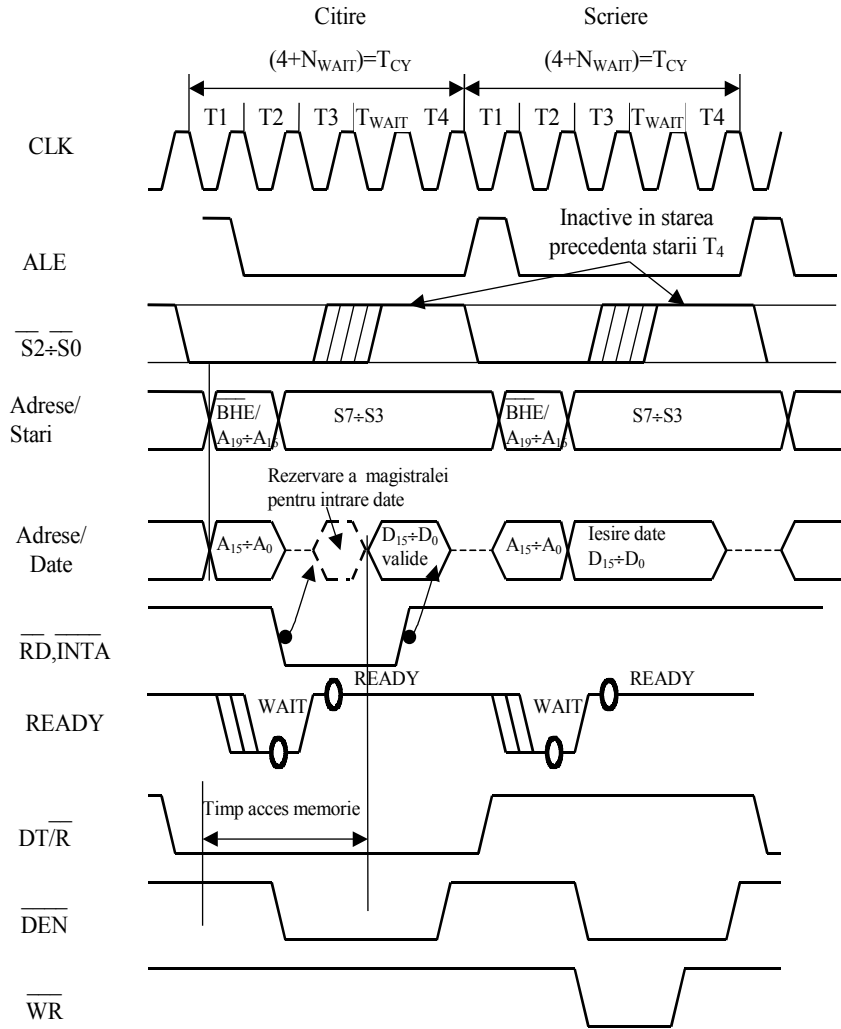


Figura 1.9. Ciclii de magistrală ai microprocesorului 8086. Diagrama de bază

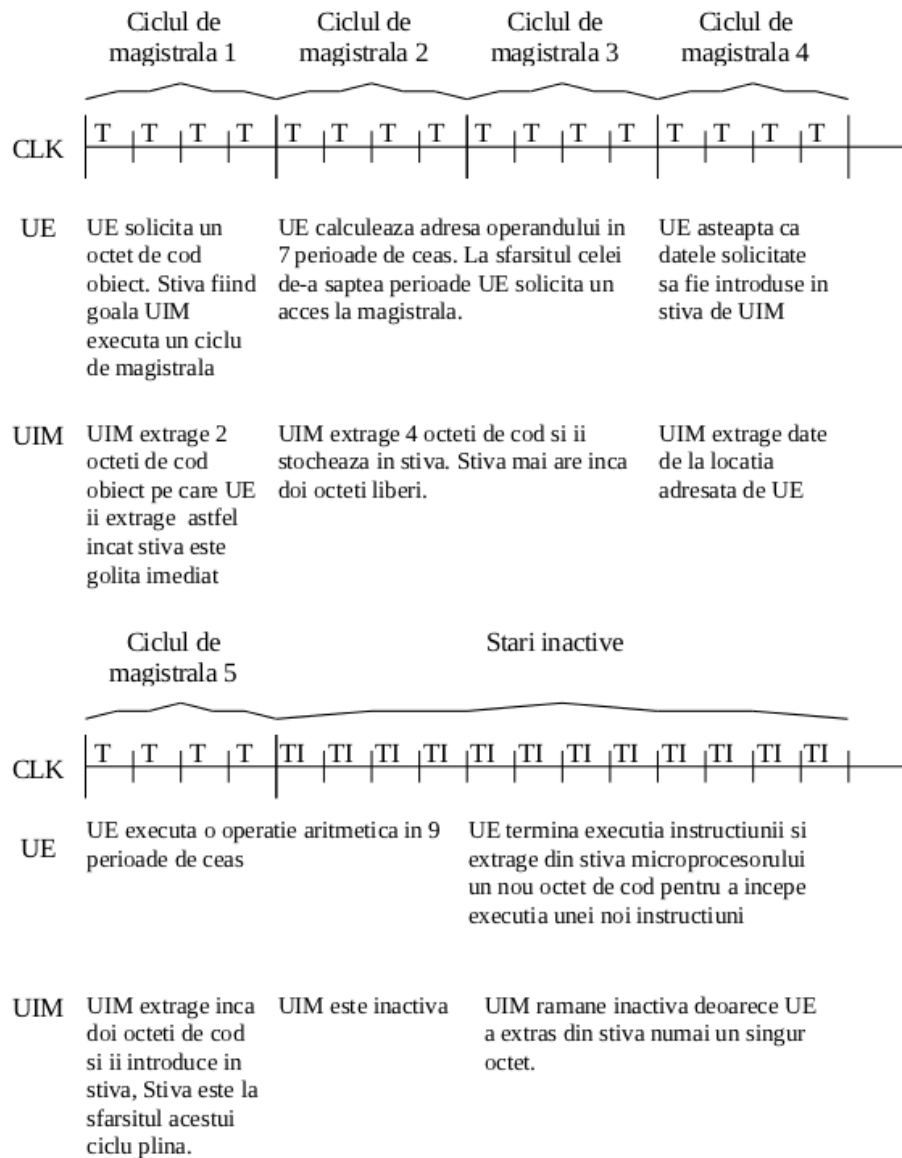


Figura 1.10. Un exemplu de funcționare suprapusă a celor două blocuri funcționale ale microprocesorului 8086

Între ciclul de magistrală, execuția de unitatea centrală numai atunci când trebuie transferate instrucțiuni sau operanzi la memorie sau dispozitivele de I/O, pot apărea așa numitele stări inactive, TI, în timpul cărora procesorul execută operații interne. Dacă ciclul precedent a fost o scriere, 8086 va menține în timpul stării TI informația de stare S7÷S3 din ciclul de magistrală precedent și datele anterior emise pe

magistrala multiplexată. Atunci când operația precedentă a fost o citire, în afara menținerii stării S7+S3, microprocesorul va lăsa în TI magistrala de date în starea de impedanță înaltă.

Datorită modului de lucru suprapus al celor două blocuri funcționale, UE și UIM, activitatea exterioară a microprocesorului nu va apărea, ca în cazul mașinilor din generațiile anterioare, de exemplu Z80, ca o succesiune de operații de extragere a codului, de *fetch*-uri, și de transferuri corespunzătoare de date cu memoria sau dispozitivele de I/O. La 8086 extragerea codului și transferurile de operanzi asociate unei instrucțiuni pot fi separate prin ciclul de magistrală executați de UIM în scopul umplerii stivei interne de 6 octeți. De asemenea, pot apărea desincronizări, întâzieri, între citirea și începutul execuției unei instrucțiuni. În figura 1.10, [4], se exemplifică modul de lucru suprapus al celor două blocuri funcționale ale microprocesorului. Observăm că UE este activă în timpul execuției instrucțiunilor și inactivă atunci când așteaptă codul obiect sau date pe care nu le poate obține decât prin intermediul unor cicluri de magistrală executați de UIM. Activitatea UE se desfășoară în secvențe cu un număr variabil de perioade de ceas, negrupate, așa cum am spus mai sus, în ciclul mașină de lungime fixă. Pe de altă parte, UIM grupează perioadele de ceas în cicluri de magistrală, dar numai când microprocesorul execută un transfer de cod sau date cu exteriorul. În restul timpului UIM rămâne inactivă.