



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale  
2007-2013



# Platformă de e-learning și curriculum e-content pentru învățământul superior tehnic

## Proiectarea cu Microprocesoare

### **8. Ciclul instrucțiune**

## Ciclul de citire

Operația de citire propriu-zisă constă din: (1) trecerea magistralei locale AD15+AD0 în starea a treia pentru a permite preluarea de către microprocesor a datelor, (2) activarea comenzii de citire  $\overline{RD}$ , (3) validarea *transceiver*-elor de date, dacă sunt prevăzute, cu ajutorul comenzii  $\overline{DEN}$  și (4) stabilirea direcției acestora prin intermediul semnalului  $DT/\overline{R}$ . Precizarea direcției de circulație a datelor în *transceiver* se face prin poziționarea  $DT/\overline{R} = 0$ , recepție-date, la începutul ciclului de magistrală astfel încât acest semnal nu ridică probleme de timp. Problema cea mai importantă, ca relație de timp, la citirea datelor de către microprocesor este ca acestea să fie validate, plasate, pe magistrala locală respectându-se timpii de stabilizare, *set-up*, și menținere, *hold*, impuși de 8086, TDVCL respectiv TCLDX. Corectitudinea datelor depinde, pe de-o parte, de selecția și întârzierea în răspuns ale dispozitivului de memorie sau de I/O adresat, iar pe de altă parte de validarea și întârzierea *transceiver*-elor folosite în sistem.

Activarea comenzii  $\overline{DEN}$  asigură un timp suficient pentru ca *transceiver*-ele să fie deschise circulației datelor spre magistrala locală a microprocesorului asigurându-se timpul minim de stabilizare a datelor. Valoarea minimă a acestui timp pentru frecvența de 5MHz a ceasului e dată de relația  $TCLCL + TCHCL_{\min} - TCVCTV_{\max} - TDVCL_{\min} = 200\text{ns} + 69\text{ns} - 110\text{ns} - 30\text{ns} = 129\text{ns}$ . Invalidarea datelor prin invalidarea *transceiver*-ului asigură timpul minim de menținere al datelor,  $TCLDX_{\min} = 10\text{ns}$ , deoarece întârzierea minimă la dezactivarea comenzii  $\overline{DEN}$ , față de aceeași referință ca și TCLDX, este  $TCVCTX_{\min} = 10\text{ns}$  și întârzierea trecerii în starea a treia a *transceiver*-elor este cel puțin 0ns. De asemenea, importantă aici este și durata între momentul invalidării *transceiver*-elor, implicând eliberarea magistralei locale a microprocesorului, și momentul emiterii de către 8086 pe această magistrală a unei noi adrese. Această durată este pentru frecvența de 5MHz a ceasului de minimum  $TCLCL - TCVCTX_{\max} + TCLAV_{\min} = 200\text{ns} - 110\text{ns} + 10\text{ns} = 100\text{ns}$ .

Întârzierea plasării datelor pe magistrală de către dispozitivul citit se datorează întâi selecției circuitului, apoi comenzii efective de citire. De obicei, selecția se face pe baza adreselor, ceea ce nu pune probleme de timp, adresarea făcându-se, așa cum am văzut, la începutul ciclului de magistrală. Rămâne întârzierea datorată comenzii efective de citire

$\overline{RD}$ . Timpul minim "oferit" de microprocesor dispozitivului citit pentru a plasa datele pe magistrala locală, cu ajutorul comenzii  $\overline{RD}$ , fără introducerea unor stări de așteptare TW, la frecvența ceasului de 5MHz și asigurându-se timpul minim de stabilizare este dat de formula  $2 \cdot TCLCL - TCLRL_{\max} - TDVCL_{\min} = 2 \cdot 200\text{ns} - 165\text{ns} - 30\text{ns} = 205\text{ns}$ . Acesta este timpul pe care îl au la dispoziție datele pentru a fi "extrase", "accesate", cu ajutorul comenzii  $\overline{RD}$  din dispozitivul adresat și a parcurge magistralele și circuitele interpușe până la microprocesor. Introducerea stărilor de așteptare adaugă la acest timp câte o perioadă TCLCL pentru fiecare stare TW introdusă. Durata minimă a impulsului de citire, parametru important pentru dispozitivele de memorie sau I/O ce urmează a fi utilizate în sistem, este garantată de relația  $TRLRH = 2 \cdot TCLCL - 75\text{ns} = 325\text{ns}$  prioritară față de formula

2·TCLCL–TCLRL+TCLR<sub>H</sub> care ar conduce în cazul cel mai defavorabil la 2·200ns–165ns+10ns= 245ns. Timpul de menținere minim al datelor, TCLDX<sub>min</sub>=10ns, este asigurat și pe această cale datorită faptului că întârzierea minimă a dezactivării comenzii  $\overline{RD}$ , față de aceeași referință ca și TCLDX, este TCLRH<sub>min</sub>=10ns.

În sisteme configurate minimal, fără *transceiver*-e, dispozitivele de memorie și/sau I/O sunt plasate direct pe magistrala locală multiplexată a microprocesorului. În această situație nu mai este necesară folosirea semnalelor  $\overline{DEN}$  și  $DT/\overline{R}$ , adresele și comanda efectivă de citire,  $\overline{RD}$ , fiind suficiente. Utilizarea corectă în timp a magistralei locale este asigurată de garantarea activării semnalului  $\overline{RD}$  cel puțin odată cu trecerea magistralei locale în starea a treia, TAZRL<sub>min</sub>=0ns, și de asigurarea unui timp minim între dezactivarea lui  $\overline{RD}$ , și validarea unei adrese noi de către 8086, TRHAV<sub>min</sub>= TCLCL–45ns= 155ns.

## Ciclul de scriere

Scrierea efectivă presupune generarea datelor, activarea comenzii de scriere și comanda *transceiver*-elor. După cum se vede în figura 1.12, pe timpul operației de scriere  $DT/\overline{R}$  este menținut pe "1" ceea ce se asigură prin trecerea pe "1" a acestui semnal la sfârșitul oricărui ciclu de magistrală care implică citire de date, așa cum am arătat deja în §1.4.2.2. Deci comanda direcției *transceiver*-elor,  $DT/\overline{R}$ , vine în ciclul de scriere poziționată pe "1" din ciclul sau ciclul precedent, ea rămânând nemodificată, pe transmisie, în timpul operației de scriere. Astfel microprocesorul poate să activeze comanda de

validare a *transceiver*-elor,  $\overline{DEN}$ , încă din starea T1, pe timpul operației de adresare, fără să perturbe adresa emisă pe magistrala locală. Această validare avansată este necesară pentru minimizarea întârzierii datelor, momentul emiterii efective a lor găsind *transceiver*-ele deschise. Comanda de scriere,

$\overline{WR}$ , și datele sunt activate cu același front negativ al ceasului CLK de la începutul stării T2. La începutul scrierii apare o zonă de incertitudine datorată întârzierilor diferite TCVCTV=10÷110ns pentru

$\overline{WR}$  și TCLDV=10÷110ns pentru date, ea fiind de maximum 100ns între cele două evenimente, de exemplu dacă TCVCTV=10ns și TCLDV=110ns. Această incertitudine a relației între date și comanda

$\overline{WR}$  la începutul comenzii de scriere impune proiectantului să utilizeze în sistem dispozitive de memorie sau I/O care să captureze datele pe frontul pozitiv al semnalului  $\overline{WR}$  sau să imagineze diverse adaptări, circuite, care să asigure preluarea de către dispozitive a datelor de scriere după trecerea perioadei de incertitudine. Microprocesorul 8086 garantează validitatea datelor față de frontul pozitiv al comenzii de scriere  $\overline{WR}$ , fără introducerea unor stări de așteptare, o durată dată de formula 2·TCLCL–TCLDV+TCVCTX. Introducerea stărilor TW adaugă un timp TCLCL pentru fiecare stare de

așteptare. În situația cea mai defavorabilă, pentru frecvența de 5MHz a ceasului, obținem un timp garantat de minimum  $2 \cdot 200\text{ns} - 110\text{ns} + 10\text{ns} = 300\text{ns}$ . Timpul de menținere al datelor după dezactivarea comenzii de scriere este garantat de  $TWHDX = TCLCH - 30\text{ns}$  fiind de minimum  $118\text{ns} - 30\text{ns} = 80\text{ns}$ .  $TWHDX$  este prioritar față de timpul obținut prin referiri la ceasul microprocesorului cu formula  $TCLCH + TCHDX - TCVCTX$  care ar conduce la o valoare minimă de  $118\text{ns} + 10\text{ns} - 110\text{ns} = 18\text{ns}$ .

La sfârșitul scrierii microprocesorul comută datele în adrese, dacă urmează imediat un nou ciclu de magistrală, T1 după T4, sau se trece în starea a treia, în cazul în care magistrala va fi cedată datorită achitării unei cereri HOLD sau  $\overline{RQ}$ . Așa cum am spus și în §1.4.1, dacă nu urmează imediat un nou ciclu de magistrală procesorul va menține datele emise anterior în timpul operației de scriere. Asigurarea timpului de menținere a datelor la sfârșitul scrierii, după *transceiver*-e, la dispozitivul receptor, se face și prin invalidarea comenzii  $\overline{DEN}$  cu o întârziere de minimum  $TCLCH_{\min} + TCVCTX_{\min} - TCVCTX_{\max} = 118\text{ns} + 10\text{ns} - 110\text{ns} = 18\text{ns}$ . Menționăm acum că acest rezultat este abstract el presupunând în formula de mai sus că o întârziere de același tip, aici  $TCVCTX$ , poate fi simultan minimă și maximă. În realitate acest lucru nu este posibil, o componentă electronică nefiind capabilă să demonstreze în același timp, pentru același parametru, întârziere maximă și minimă. Argumentul conduce la concluzia că rezultatele obținute în analize de timp cum este și cea de mai sus reprezintă într-adevăr cazurile cele mai defavorabile, nemai fiind necesare amendări suplimentare pentru a da garanții proiectantului. În situația de față întârzierea reală între momentul inactivării comenzilor  $\overline{WR}$  și  $\overline{DEN}$  este de aproximativ 60ns [10].

### Ciclul de achitare a întreruperii

Vom descrie aici numai ciclul de magistrală specific achitării întreruperii mascabile, urmând ca într-un alt capitol să prezentăm pe larg structura mecanismului de întreruperi al microprocesorului 8086 și întreaga lui activitate de pe magistrală la achitarea unei întreruperi.

Întreruperile mascabile generate de sistem sunt sesizate de procesor la intrarea INTR și sunt mascate de bitul I, – indicatorul de condiții pentru Validare/Invalidare Întreruperi –, din registrul de stare. În timpul ultimului ciclu de ceas al fiecărei instrucțiuni, cu unele excepții ce vor fi precizate ulterior, microprocesorul eșantionează linia INTR. Dacă INTR este găsit pe "1" și I poziționat pe Validare-întreruperi 8086 va executa o secvență de achitare a întreruperii. Pentru a garanta achitarea de către microprocesor a întreruperii INTR va trebui menținut pe "1" până când procesorul intră în ciclul de achitare și activează semnalul de răspuns  $\overline{INTA}$ . Semnalul de cerere de întrerupere este de tip activ pe nivel el fiind sincronizat intern de către procesor cu frontul pozitiv al ceasului CLK și testat apoi, cum am mai spus, în ultimul ciclu de ceas al instrucțiunii în curs. Dacă detectarea întreruperii, la sfârșitul execuției instrucțiunii în curs, se produce în timp ce UIM execută un ciclu de magistrală, extrăgând o nouă instrucțiune în vederea umplerii cozii de așteptare, INTR trebuie să satisfacă și un timp de stabilizare de cel puțin două perioade de ceas înainte de ultima stare, T4, a ciclului executat de UIM, pentru ca întreruperea să fie achitată imediat după terminarea acestuia. În cazul în care timpul de *set-up* față de sfârșitul acestui eventual ciclu de magistrală executat de UIM nu este asigurat, achitarea

întreruperii se mai poate amâna până după derularea a încă unui ciclu de magistrală, dacă există vreunul în așteptare.

Secvența hardware, specifică, de achitare a întreruperii mascabile, INTR, de către microprocesorul 8086 este compusă din cicli  $\overline{INTA}$  separați prin două stări inactive TI, figura 1.13. Cei doi cicli de magistrală  $\overline{INTA}$  sunt, așa cum se poate vedea și în figura 1.12, asemănători logic cu ciclul de citire, comanda  $\overline{RD}$  înlocuindu-se cu semnalul de achitare  $\overline{INTA}$ . Diferă doar relațiile de timp referitoare la  $\overline{INTA}$  și magistrala AD15÷AD0.

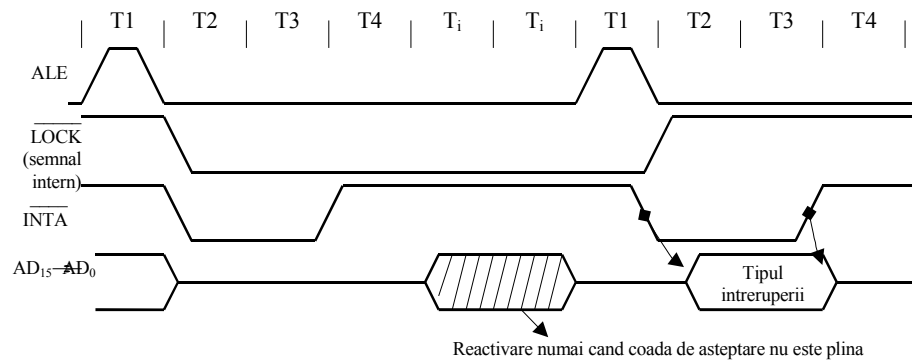


Figura 1.13. Secvența de achitare a unei întreruperi în modul minim

În timpul ciclilor  $\overline{INTA}$  faza de adresare nu este efectivă, în sensul că ALE poate încărca în *latch*-uri o adresă nedeterminată, magistrala multiplexată fiind trecută în starea a 3-a în T1. Această situație impune ca dispozitivele de memorie sau I/O să nu fie selectate și/sau validate pe magistrala sistemului în operațiile de citire cu semnale care să reprezinte numai decodificări ale adreselor specifice și cu semnale care să înglobeze și comanda efectivă de citire,  $\overline{RD}$ , pentru modul de lucru minim. Semnalul ALE este generat în timpul ciclilor de achitare cu scopul de a fi utilizat, cum se va arăta mai târziu, în sisteme complexe cu mai multe controloare de întreruperi, 8086 lucrând în modul maxim.

Primul ciclu  $\overline{INTA}$  este destinat semnalizării începutului achitării întreruperii atenționând sistemul să-și pregătească răspunsul pentru al doilea ciclu  $\overline{INTA}$ . În timpul acestui prim ciclu microprocesorul nu va citi magistrala de date, el efectuând anumite operații interne necesare achitării întreruperii. Răspunsul dispozitivului care întrerupe este un octet reprezentând așa-numitul *tip al întreruperii* ce urmează a fi citit și prelucrat apoi de procesor pentru a se obține adresa efectivă a subrutinei de tratare a întreruperii. Tipul întreruperii este citit de microprocesor, în al doilea ciclu  $\overline{INTA}$ , pe jumătatea mai puțin semnificativă AD7÷AD0 a magistralei locale. Aceasta impune ca dispozitivele specifice, controloarele de întreruperi, care, în cadrul secvențelor de achitare, răspund prin generarea tipului de întrerupere să fie plasate pe jumătatea mai puțin semnificativă a magistralei de date, la adrese pare.

Pe durata secvenței de achitare, magistrala multiplexată de adrese/date este trecută în starea a 3-a, de impedanță mare, în T1, la începutul fiecărui ciclu  $\overline{INTA}$ , cu o întârziere dată de parametrul TCLAZ față de frontul negativ de la începutul stării T1. Liniile superioare de adrese/stări, A19/S6÷A16/S3 nu sunt trecute în starea a 3-a dar adresa, A19÷A16, are o valoare nedeterminată ca și primii 16 biți A15÷A0. Starea însă, S7÷S3, comutată în T2, este validă și are valoarea: S7=S6=0, S5=IF, S4=S3=0. Magistrala AD15÷AD0 rămâne în starea a 3-a până în ciclul de ceas următor stării T4 a fiecăruia din cei doi cicli de magistrală  $\overline{INTA}$ . În cazul în care, pe timpul achitării întreruperii, coada de așteptare a microprocesorului nu este plină, pe magistrala AD pot fi plasate, în timpul stărilor inactive TI, date în condițiile discutate anterior în §1.4.1. Datele reprezentând tipul întreruperii trebuie să satisfacă aceleași cerințe pentru timpii de stabilizare și menținere, TCLDV și TCLDX, față de frontul negativ al ceasului de la începutul stării T4 din al doilea ciclu  $\overline{INTA}$ , ca și datele dintr-un ciclu de citire.

Ieșirea  $M/\overline{IO}$  va fi poziționată pe "0" indicând sistemului, în timpul ciclilor  $\overline{INTA}$ , o operație de intrare/ieșire. Semnalul  $\overline{LOCK}$ , intern în cazul funcționării microprocesorului 8086 în modul minim, va fi și el activat între stările T2 ale celor doi cicli de achitare pentru a preveni achitarea de către UIM a unei cereri de magistrală între cei doi cicli  $\overline{INTA}$ . Asupra priorității între cererea de întrerupere și cererea de magistrală vom reveni în §1.4.5.4. Comenzile de validare și sens pentru *transceiver-e*,  $\overline{DEN}$  și  $DT/\overline{R}$ , sunt activate în fiecare ciclu  $\overline{INTA}$  având aceleași relații de timp ca și în cazul ciclilor de citire. Între cei doi cicli  $\overline{INTA}$ ,  $\overline{DEN}$  și  $DT/\overline{R}$  sunt dezactivate.

Relațiile de timp pentru semnalul de achitare  $\overline{INTA}$  sunt identice cu cele ale comenzii de scriere  $\overline{WR}$ . Astfel, pe baza acestor relații obținem un timp de acces, de la validarea comenzii  $\overline{INTA}$  până la stabilizarea pe magistrala microprocesorului a datelor reprezentând timpul întreruperii, dat de formula  $2 \cdot TCLCL - TCVCTV - TDVCL$  care, pentru cazul cel mai defavorabil conduce la valoarea  $2 \cdot TCLCL - TCVCTV_{\max} - TDVCL_{\min} = 2 \cdot 200\text{ns} - 110\text{ns} - 30\text{ns} = 260\text{ns}$ . Mărirea timpului de acces se poate face prin introducerea de stări TW care, pentru fiecare stare introdusă, adaugă la acest timp o perioadă TCLCL. Garantarea timpului de menținere TCLDX necesar procesorului pentru capturarea datelor pe frontul negativ de la începutul stării T4 se asigură prin condiționarea menținerii datelor pe magistrală cu  $\overline{INTA} = 0$  și  $\overline{DEN} = 0$  și invalidarea acestor comenzi cu cel puțin  $TCVCTX_{\min} = 10\text{ns}$  după frontul CLK menționat. Durata minimă a impulsului  $\overline{INTA}$  rezultă din relația  $2 \cdot TCLCL - TCVCTV + TCVCTX$ , conducând, pentru un ceas de 5MHz, la o valoare teoretică minimă de  $2 \cdot 200\text{ns} - 110\text{ns} + 10\text{ns} = 300\text{ns}$ . Având în vedere că în realitate microprocesorul nu poate să manifeste simultan, pentru același semnal, atât întârzieri maxime cât și minime, rezultă o valoare practică minimă de 340ns [10]. Pentru eliberarea magistralei la sfârșitul celor doi cicli  $\overline{INTA}$  trebuie ținut

cont, pe de-o parte, de întârzierea maximă a comenzii  $\overline{INTA}$ ,  $TCVCTX_{max}=110ns$ , iar pe de altă parte de momentul când microprocesorul activează magistrala în starea T1 imediat următoare stării T4 din al doilea ciclu  $\overline{INTA}$ . Rezultă un timp minim de  $TCLCL-TCVCTX_{max}+TCLAV_{min}=200ns-110ns+10ns=100ns$  în care dispozitivul care a plasat pe magistrală tipul întreruperii trebuie să-și invalideze ieșirile. Același timp rezultă și luând în considerare invalidarea datelor datorită comenzii  $\overline{DEN}$ , pentru sisteme în care se folosesc *transceiver-e*.