



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale  
2007-2013



# Platformă de e-learning și curriculum e-content pentru învățământul superior tehnic

## Proiectarea cu Microprocesoare

### **7. Comunicația cu exteriorul**

## CONEXIUNILE EXTERNE

Microprocesoarele 8086 și 8088 sunt fabricate în capsule DIL cu 40 de conexiuni externe. Aceste conexiuni sunt indicate în figurile 1.7 și 1.8. Vom descrie în continuare semnificațiile lor.

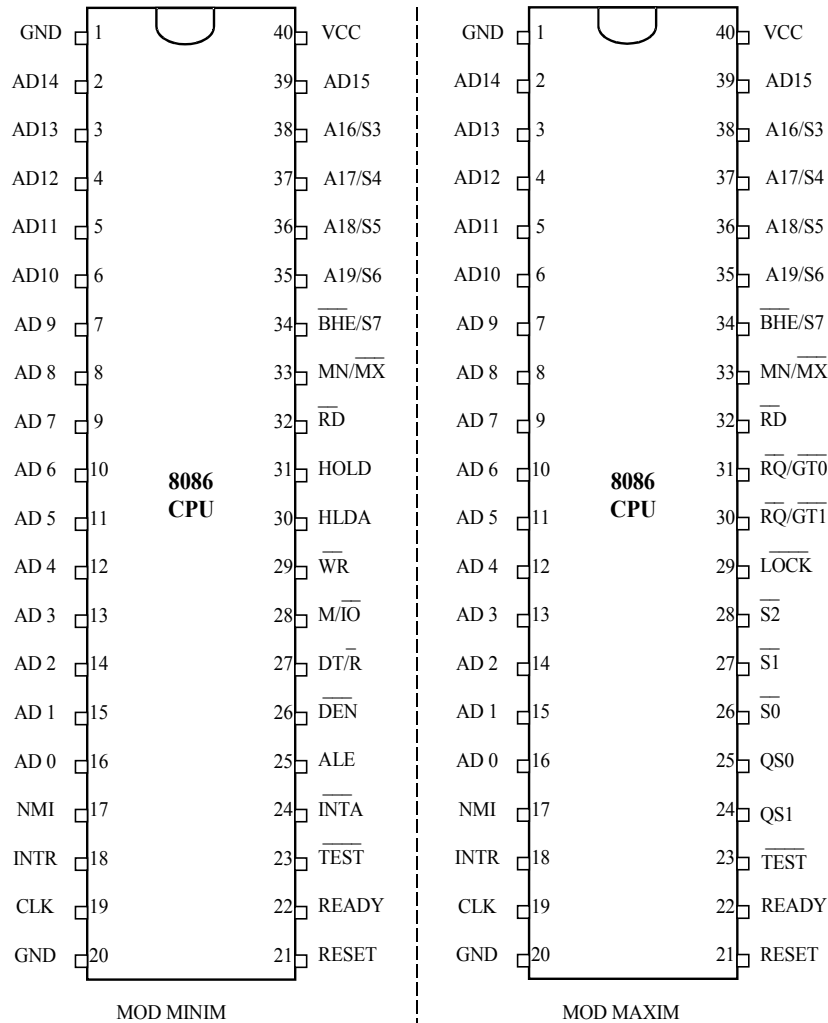


Figura 1.7. Conexiunile externe ale microprocesorului 8086

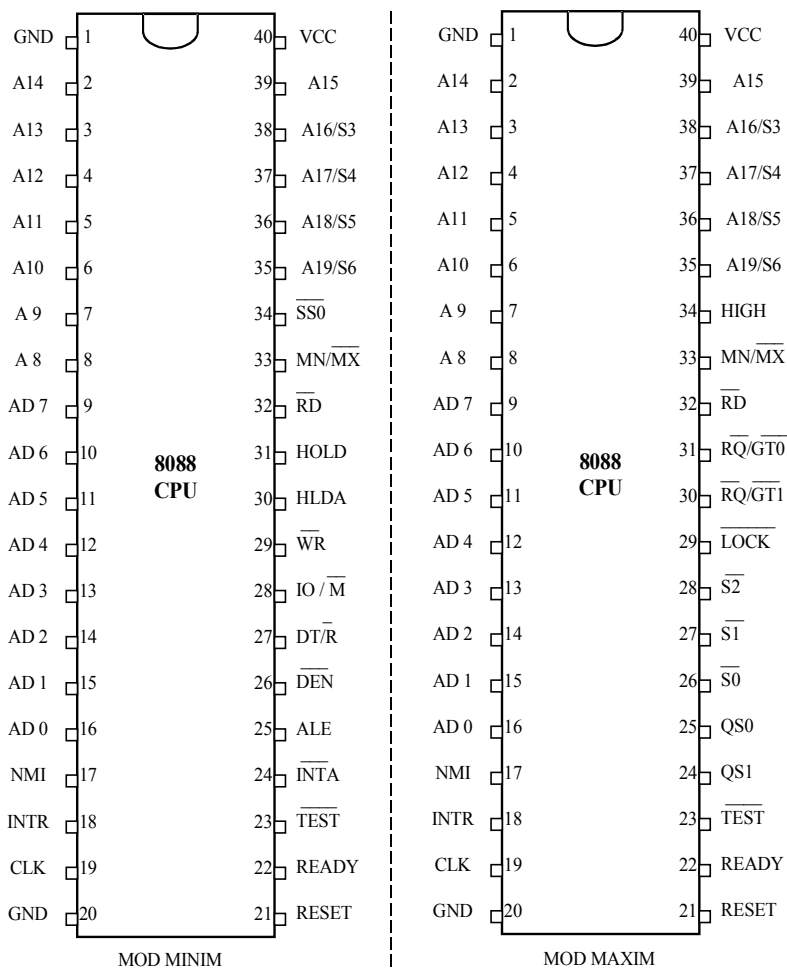


Figura 1.8. Conexiunile externe ale microprocesorului 8088

## CONEXIUNILE EXTERNE ALE MICROPROCERORULUI 8086

### Semnalele comune modurilor de lucru minim și maxim

AD15÷AD0, *Address/Data Bus*, magistrala de adrese/date, intrări/ieșiri 3-stări active pe "1". Pe aceste linii sunt multiplexate în timp adresele de memorie (cei mai puțin semnificativi 16 biți) sau de I/O, în starea T1, și magistrala de date, în stările T2, T3, TW, T4<sup>1</sup>. Multiplexarea magistralelor a fost impusă de necesitatea de a împacheta microprocesorul într-o capsulă de 40 de conexiuni. AD0, ca adresă A0, are pentru selecția octetului de date mai puțin semnificativ, D7÷D0, aceeași funcție ca și semnalul  $\overline{\text{BHE}}$ , descris mai jos; pentru octetul mai semnificativ, D15÷D8, A0 este "0" în timpul stării T1, la transferarea unui octet de date pe porțiunea mai puțin semnificativă a magistralei, în operații cu memoria sau cu dispozitivele de

<sup>1</sup> Descrierea stărilor T este dată în §1.4.1

I/O. AD15÷AD0 sunt trecute în starea a treia, de impedanță înaltă, în timpul operațiilor de achitare a întreruperii și a cererii de preluare a magistralei.

A19/S6÷A16/S3, *Address/Status*, adrese/stări, ieșiri 3-stări. În timpul stării T1 reprezintă cei mai semnificativi biți de adresă în operațiile cu memoria; în operațiile de I/O aceste semnale sunt "0". Pentru ambele tipuri de operații, pe timpul stărilor T2, T3, TW și T4, la aceste ieșiri se găsește o parte din starea microprocesorului: S6=0, indicând că 8086 accesează magistrala, S5=1, *Validare/Invalidare Întrerupere*, actualizat la începutul fiecărei perioade a ceasului CLK, iar S4 și S3 precizând ce registru de relocare, DS, CS, SS sau ES, va fi utilizat în acel moment pentru accesarea datelor. Semnificația biților de stare S4 și S3 este următoarea:

A17/S4	A16/S3	Semnificație
0	0	Date externe (relativ la segmentul din ES)
0	1	Stivă (relativ la segmentul din SS)
1	0	Cod sau nimic (relativ la segmentul din CS sau o valoare în lipsă "0")
1	1	Date (relativ la segmentul din DS)

Informația de stare este necesară în acțiunile de diagnosticare a structurilor realizate în jurul procesorului 8086. S4 și S3 mai pot fi utilizați pentru selecția bancurilor de memorie asociate fiecare câte unui registru de segment. Această tehnică permite partajarea memoriei în funcție de segment în vederea expandării ei peste spațiul de adresare directă de 1 Moctet. De asemenea, în acest fel, se asigură o posibilitate de protecție în cazul operațiilor eronate de scriere prin suprapunere în două segmente și distrugerea informației în unul dintre segmente. Conexiunile A19/S6÷A16/S3 sunt trecute în starea a treia în timpul operației de achitare a unei cereri de preluare a magistralei microprocesorului.

$\overline{BHE}$  /S7, *Bus High Enable/Status*, validare octet mai semnificativ/stare. Ieșire 3-stări. În timpul stării T1 ieșirea  $\overline{BHE}$  are funcția de a selecta transferul datelor pe porțiunea mai semnificativă a magistralei de date, biții D15÷D8, fiind "0" în T1 timpul ciclilor de citire, scriere și întrerupere.  $\overline{BHE}$  poate fi utilizat la selecția dispozitivelor de I/O pe 8 biți conectate pe porțiunea mai semnificativă a magistralei de date. Bitul de stare S7 este validat în timpul stărilor T2, T3 și T4. Conexiunea este trecută în starea a treia în timpul unei operații de preluare a magistralei.

$MN/\overline{MX}$  , *Minimum/Maximum*, comanda modului de lucru minim/maxim. Intrare. Dacă  $MN/\overline{MX}$  este conectat la "0" microprocesorul tratează conexiunile 24÷31 în modul maxim, pentru care un circuit specializat pentru comanda magistralei, 8288, interpretează biții de stare  $\overline{S2}$  ,  $\overline{S1}$  și  $\overline{S0}$  pentru a genera semnale de comandă compatibile cu standardul de interfață Multibus. Pentru  $MN/\overline{MX}$  conectat la +5V, modul minim, 8086 generează singur, la conexiunile 24÷31, semnalele de comandă. În §1.4.2 și §1.4.3 se dau două exemple de utilizare a procesorului 8086 în modurile minim și maxim.

$\overline{RD}$  , *Read*, citire. Ieșire 3-stări activă pe "0". Comandă de citire indicând că procesorul efectuează un ciclu de citire memorie sau I/O, funcție de starea conexiunii  $\overline{S2}$  (  $M/\overline{IO}$  ).

$\overline{RD}$  este activat pe "0" în timpul stărilor T2, T3 și TW ale oricărui ciclu de citire, după trecerea în starea a treia a magistralei locale a microprocesorului. Conexiunea este trecută în starea de impedanță înaltă în timpul unei operații de preluare a magistralei.

READY, gata. Intrare activă pe "1". Reprezintă, în timpul unei operații de scriere sau citire, un semnal de achitare din partea memoriei sau dispozitivului de I/O adresat, certificând validitatea transferului de date cu microprocesorul. Semnalul de achitare emis de memorie sau de I/O trebuie să fie sincronizat pentru a putea fi utilizat în mod corect de procesor prin satisfacerea timpilor de *set-up* și *hold*. Această sincronizare se face cu ajutorul unui alt circuit specializat necesar în sistemele cu 8086: generatorul de ceas 8284.

INTR, *Interrupt Request*, cerere întrerupere. Intrare activă pe nivel "1". Procesorul eșantionează această intrare sincronizată intern în ultimul ciclu de ceas al fiecărei instrucțiuni, pentru a intra, dacă INTR=1, într-o operație de achitare a întreruperii. La achitarea întreruperii se va apela o subrutină pe baza unei tabele de vectori localizate în memoria sistemului. Întreruperea poate fi mascată intern prin program punând pe "0" bitul de validare a întreruperii.

$\overline{TEST}$  , intrare activă pe "0". Această intrare, sincronizată intern cu frontul pozitiv al fiecărui impuls de ceas CLK, este examinată de instrucțiunea WAIT: dacă intrarea este "0", microprocesorul își continuă execuția, dacă este "1", va aștepta intrând în așa-numita stare inactivă, TI, executată în general de UIM atunci când nu poate să execute un ciclu de magistrală (vezi §1.4.1).

NMI, *Non-Maskable Interrupt*, întrerupere nemascabilă. Intrare activă pe front pozitiv producând la sfârșitul instrucțiunii în curs o întrerupere de tipul 2 (vezi §1.4.5.1). Achitarea acestui tip de întrerupere conduce la apelarea unei subrutine pornind de la o tabelă de vectori aflată în memorie. Intrarea este sincronizată intern și nu poate fi mascată prin program.

RESET, inițializare. Intrare activă pe "1". Semnalul aplicat la această conexiune este sincronizat intern și, dacă este activ cel puțin patru perioade de ceas, conduce la terminarea activității curente a microprocesorului și inițializarea execuției după revenirea lui pe "0".

CLK, *Clock*, ceas. Intrare ce asigură funcționarea sincronă a microprocesorului și a controlorului de magistrală. Factorul de umplere al ceasului este 33%.

### **Semnalele specifice modului de lucru minim**

Așa cum am menționat în §1.1, una dintre caracteristicile cele mai interesante ale microprocesoarelor 8086/8088 este și posibilitatea de a selecta configurația de bază a mașinii, modul de lucru cel mai potrivit aplicației, prin conectarea la VCC sau GND a intrării  $MN/\overline{MX}$  .

În modul minim, 8086 permite realizarea de unități centrale mai restrânse ca volum, satisfăcând zona aplicațiilor pe 16 biți mici și medii. În acest mod de lucru procesorul își menține capacitatea de adresare a memoriei de 1M, a I/O de 64k, precum și magistrala de 16 biți, generând conexiunile 24+31 direct, fără ajutorul unui circuit de comandă specializat. Sunt toate semnalele necesare manipulării

magistralelor,  $DT/\overline{R}$ ,  $\overline{DEN}$ , ALE,  $M/\overline{IO}$ , semnalele de comandă pentru operațiile de citire, scriere, achitarea întreruperii,  $\overline{RD}$ ,  $\overline{WR}$ ,  $\overline{INTA}$ , precum și semnalele HOLD, HLDA necesare operațiilor simple de transfer cu acces direct implementate cu ajutorul controloarelor DMA obișnuite, de exemplu 8257 (vezi și [9]).

În continuare, vom descrie, pe scurt, semnificația conexiunilor 24÷31 ale circuitului 8086 în modul de lucru minim.

$M/\overline{IO}$ , *Memory/Input-Output*, memorie/intrare-ieșire. Ieșire 3-stări utilizată pentru a distinge accesese la memorie,  $M/\overline{IO} = 1$ , de cele la dispozitivele de I/O,  $M/\overline{IO} = 0$ . Ieșirea este validată în starea T4 precedentă unui ciclu de magistrală rămânând activă până la sfârșitul stării T4 a ciclului curent. Ieșirea, echivalentă cu  $\overline{S2}$  în modul maxim, este trecută în starea a treia în ciclul de achitare a cererii de preluare a magistralei microprocesorului.

$\overline{WR}$ , *Write*, scriere. Ieșire 3-stări activă pe "0" ce indică faptul că procesorul execută un ciclu de scriere a memoriei sau a I/O. Ieșirea este activă în stările T2, T3 și TW, fiind trecută în starea de impedanță înaltă în ciclul de achitare a cererii de preluare a magistralei microprocesorului.

$\overline{INTA}$ , *Interrupt Acknowledge*, achitare întrerupere. Ieșire activă pe "0" utilizată pentru generarea unui semnal de eșantionare a citirii în ciclul de achitare a întreruperii. Ieșirea  $\overline{INTA}$  este activă în timpul stărilor T2, T3 și TW ale fiecărui ciclu de întrerupere.

ALE, *Address Latch Enable*, validarea *latch*-urilor de adrese. Ieșire activă pe "1" utilizată pentru memorarea adreselor generate de microprocesor pe magistrala multiplexată locală în *latch*-urile de adrese ale sistemului.

$DT/\overline{R}$ , *Data Transmit/Receive*, transmisie/recepție date. Ieșire utilizată pentru comanda direcției *transceiver*-elor de date: transmisie pentru  $DT/\overline{R} = 1$ , recepție pentru  $DT/\overline{R} = 0$ , sensul fiind raportat la microprocesor. Ieșirea este trecută în starea a treia în timpul ciclilor de achitare a cererii de preluare a magistralei.

$\overline{DEN}$ , *Data Enable*, validare date. Ieșire 3-stări activă pe "0" folosită pentru validarea *transceiver*-elor de date. Este "0" în timpul operațiilor cu memoria și cu dispozitivele de I/O precum și în timpul ciclilor de achitare întrerupere ( $\overline{INTA}$ ), pentru citiri (și  $\overline{INTA}$ ) de la mijlocul lui T2 la mijlocul lui T4, iar pentru scrieri de la începutul lui T2 la mijlocul lui T4. Ieșirea este trecută în starea de impedanță mare în timpul ciclilor de achitare a unei cereri de preluare a magistralei.

HOLD, cerere de preluare a magistralei microprocesorului. Intrare activă pe "1".

HLDA, achitare a cererii de preluare a magistralei. Ieșire activă pe "1".

După recepționarea unei cereri HOLD microprocesorul va activa, la mijlocul stării T1, semnalul de achitare HLDA, trecând în același timp în starea a treia magistrala locală (AD15÷AD0, A19/S6÷A16/S3) și ieșirile de comandă ( $\overline{RD}$ ,  $\overline{BHE}$  /S7,  $M/\overline{IO}$ ,  $DT/\overline{R}$ ,  $\overline{WR}$ ,

$\overline{DEN}$  ). La terminarea operației de transfer direct dispozitivul care a activat semnalul HOLD îl va dezactiva trecându-l pe "0", după care procesorul va dezactiva la rândul lui semnalul de achitare HLDA. Magistrala locală și ieșirile de comandă vor fi activate când microprocesorul va avea nevoie să execute un ciclu de magistrală. Menționăm că intrarea HOLD nu este asincronă și că, pentru asigurarea timpului de *set-up*, este necesară sincronizarea externă.

### **Semnalele specifice modului de lucru maxim**

În acest mod de lucru, obținut prin legarea conexiunii  $MN/\overline{MX}$  la GND, 8086 permite implementarea configurațiilor multiprocesor și/sau cuplarea procesoarelor pentru extinderea setului de instrucțiuni, a *coprocesoarelor*. În modul maxim este necesară folosirea controlorului de magistrală 8288 pentru ca, prin redefinirea conexiunilor 24÷31, să se obțină această creștere a performanțelor.