



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculă e-content pentru învățământul superior tehnic

Proiectarea cu Microprocesoare

2. Clasificarea microprocesoarelor

Familia de procesoare X86

086

- microprocesor pe 16 biți în tehnologie NMOS;
- adresează direct 1M de memorie;
- operații la nivel: octet, cuvânt, bloc de date;
- operații în virgulă mobilă, cu sau fără semn;
- numere zecimale împachetate/neîmpachetate;
- adresarea memoriei pe 8/16 biți
- pipe-line → 2 unități:
 - UE (Unitatea de Execuție);
 - BIU (Bus Interface Unit);
- UE lucrează cu exteriorul prin BIU

286

- apare în plus unitatea de gestiune a memoriei cu capabilități de protecție;
- arhitectură pipe-line → 4 unități:
 - BU (Bus Unit);
 - IU (Instruction Unit);
 - EU (Execution Unit);
 - AU (Address Unit);
- AU transformă adresa logică în adresă fizică și asigură gestiunea și protecția memoriei;
 - 2 moduri de lucru: modul adrese reale (1 M memorie), modul adrese virtuale (16 M fizic într-un spațiu de 1G)

386

- prelucrarea informației pe 32 biți;
- dispune de suport hardware pentru multitasking;
- dispune de o interfață rapidă cu magistrala
- poate adresa direct 4G de memorie și asigură suport pentru o memorie de 64T
- memorii:
 - mod fizic, continuu;
 - mod continuu, cu paginare;
 - complet segmentată și protejată;
- schema de pagina și segmentare: 360/67 (Cyber80)

486

- arhitectură pe 32 biți;
- unitate pt gestiunea memoriei: MMU
- unitate în virgulă mobilă (UVM): FPU (un coprocesor)
- unitate de memorie CACHE inclusă în chip
- setul de instrucțiuni include 386 și asigură compatibilitatea cu toată familia;
- se folosește tehnica de proiectare RISC pentru a reduce ciclul instrucțiune;

- asigură segmentarea și paginarea memoriei;
- memoria este organizată în segmente de până la 4Gb segmentul și o memorie virtuală de 64T
- fiecare segment are asociate atribute de locatare, dimensiune, tip(stivă/cod/date) și protecție;
- un 'task' poate avea maximum 16K segmente; fiecare segment poate avea max. 4G
- 2 moduri de operare; mod real / mod protejat și virtual
- FPU:
 - respectă standardul IEEE754 – 1985
 - lucrează pe 16/32/64 de biți
 - intern, lucrează cu 80 de biți

Pentium

- la baza proiectului au stat:
 - pipeline
 - superscalar
 - predicție ramificații
- interfața cu exteriorul este pe 64 biți;
- UE: 2 unități de prelucrare în virgulă fixă “U” și “V”, fiecare fiind organizată într-o structură pipe-line pe 5 nivele;
- UVM (Unitatea de Virgulă Mobilă) → tot pipeline și dispune de unități de prelucrare dedicate: sumator, înmulțitor, împărțitor;
- se păstrează tehnologia RISC (majoritatea instrucțiunilor se pot decodifica într-o singură perioadă de ceas (față de 2 perioade de ceas la 086)
- superscalabilitate:
 - permite ca două instrucțiuni să fie executate în paralel (2 unități de prelucrare independente: U și V)
 - dacă instrucțiunile I1 și I2 sunt simple (nu folosesc blocuri de date) și instrucțiunea I1 nu este un JNP și $\text{dest}(I1) \neq \text{sursă}(I2)$ și $\text{dest}(I1) \neq \text{dest}(I2)$ atunci instrucțiunea I1 este preluată de unitatea U și instrucțiunea I2 este preluată de V, altfel $I1 \rightarrow U$;
- predicție ramificații:
 - o instrucțiune are 2 operații bine definite: citire și interpretare / execuție;
 - Implementări:
 - serial CI Ex CI Ex
 - paralel (CI || CI) (Ex || Ex)
 - pentru a se folosi o implementare paralelă în toate cazurile, se face o “predicție” a ramificațiilor => resurse suplimentare pentru citire simultan/ analiza a 2 instrucțiuni în același timp
 - predicțiile sunt corecte în majoritatea cazurilor (70%);