



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculă e-content pentru învățământul superior tehnic

Proiectarea cu Microprocesoare

18. Proiectarea memoriei RAM

MEMORIA RAM

Restricțiile de proiectare în cazul memoriei RAM sunt:

- capacitatea memoriei RAM este de 256K, realizată cu memoria dinamică de 64Kx1(4164);
- dispune de bit de paritate la nivel de octet $2x(8+1)$;
- se proiectează o logică ce verifică paritatea la citirea din memorie și înscrie bitul de paritate BP la o operațiune de scriere în memorie;

la o operațiune de scriere în memorie;

- memoria RAM se mapează la adresa de început a spațiului de adresare al microprocesorului.

Utilizarea memoriei RAM dinamice prezintă niște particularități derivate din tehnologia de realizare. Se consideră că memoria este organizată intern sub formă matriceală. Pentru a scrie un bit, trebuie să dăm adresa de linie apoi adresa de coloană ca în figura 4.21.

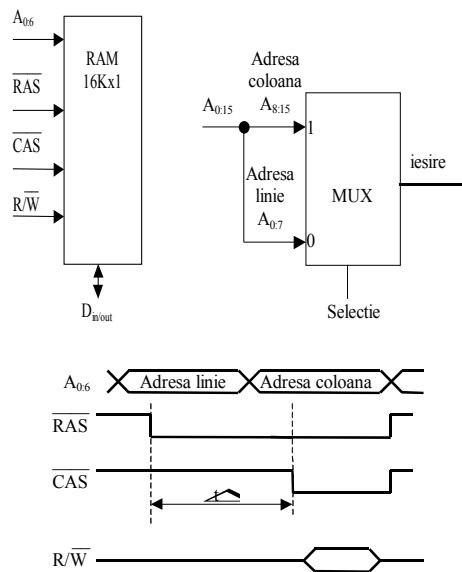


Figura 4.21. Funcționarea memoriei RAM dinamice

Se observă că atunci când semnalul RAS este activ liniile de adresă se interpretează ca adrese de linie, iar atunci când CAS este activ liniile de adresă se interpretează ca adrese de coloană.

O altă particularitate în utilizarea memoriei RAM dinamice este asigurarea operației de reîmprospătare (REFRESH). Aceasta presupune citirea cel puțin a unui bit de pe o linie cu o anumită frecvență. La citirea unui bit se face reîmprospătarea întregii linii. În caz contrar conținutul memoriei se pierde.

Reîmprospătarea trebuie făcută la cel mult 2ms. Pentru realizarea operației de reîmprospătare este suficientă activarea semnalului RAS. Pentru o memorie realizată cu cipuri de 16K(4Kx1) reîmprospătarea se realizează la un interval de $2ms/128=15$ microsecunde. Adresele de reîmprospătare se realizează cu ajutorul unui registru numărator de adrese, incrementat modulo 128, din 15 în 15 microsecunde (perioadă dată de un timer).

Reîmprospătarea se poate realiza în mai multe moduri:

- cu ajutorul unei logici proprii;
- folosind un circuit specializat INTEL;
- folosirea unui canal DMA;
- folosind un canal *DMA-timer* asociat care generează o cerere către DMA din 15 în 15 microsecunde.

Pentru realizarea unei capacități de memorare de 64Kocteți, folosim 8 capsule, cuplate ca în figura 4.22.

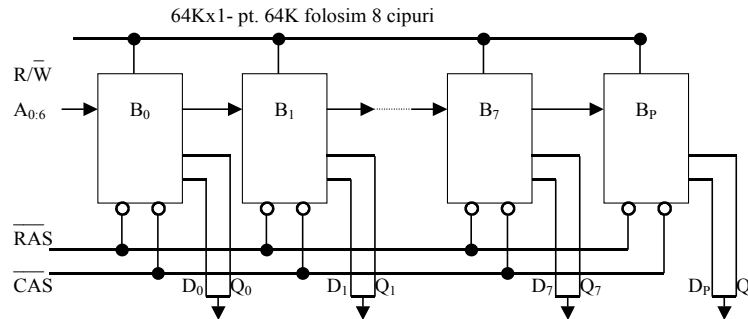


Figura 4.22. Cuplarea capsulelor de memorie RAM dinamica pentru a realiza cuvinte de 8 biți.

În componența lui RAS, CAS, vor intra biți de adrese pentru selecția bancului de memorie (LO sau HI) selectați cu A17. Citirea se poate face pe 16 biți, scrierea nu se poate face decât pe 8 biți (pe magistrala HI sau pe magistrala LO). Semnalul de scriere WRITE se activează numai la blocul selectat efectiv, cu RAS, CAS,

Un caz particular în care această funcționalitate este necesară ar fi atunci când accesul la memoria RAM este realizat de un dispozitiv periferic care funcționează pe 8 biți, cum ar fi modulul de acces direct la memorie.

Pentru aceste cazuri se realizează un bit de adresă A_8^* - A_8 sau A_0 .

Dacă A_8 - microprocesorul controlează memoria.

Dacă A_0 - DMA-ul controlează memoria.

Dacă $\overline{DACK}_0 = 0$ atunci accesul se face de către modulul de acces la memorie și se utilizează A_0 .

Dacă $\overline{DACK}_0 = 1$ atunci accesul se face de către microprocesor și se utilizează A_8 , figura 4.23.

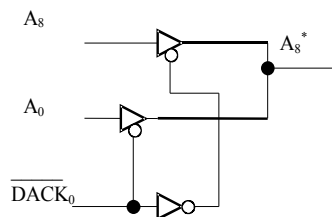


Figura 4.23. Generarea semnalului ADR_8^*

În figura 4.24 se prezintă schema bloc pentru cuplarea memoriei RAM dinamice. Se observă că selecția multiplexorului pentru comutarea de la adresa de linie la adresa de coloană se obține din semnalul MEMR/MEMW întârziat printr-un șir de 5 inversoare.

A_{19} și A_{18} se folosesc pentru selectarea blocurilor de memorie de 256 K. A_{17} este utilizat pentru generarea semnalului RAS (figura 4.25) și anume dacă:

$$A_{17} = 0 \text{ generăm } \overline{RAS}_0$$

$$A_{17} = 1 \text{ generăm } \overline{RAS}_1$$

numai când \overline{RASEN} este activ.

În figura 4.26 se observă modul în care se generează similar semnalele \overline{CAS}_0 și \overline{CAS}_1 .

Prin scheme logice combinaționale se obțin semnalele \overline{RAMLW} și \overline{RAMHW} , necesare activării semnalelor de scriere în blocurile de memorie. Cele două inversoare înseriate au rolul de a produce întârzierile rezultate din datele de catalog pentru capsulele de memorie (figura 4.27). Similar se obțin și semnalele pentru activarea *buffer*-elor pentru citirea datelor din capsulele de memorie (figura 4.28).

Pentru generarea și verificarea bitului de paritate, se folosesc capsule specializate. Odată generat bitul de paritate se memorează împreună cu cuvântul corespunzător. La citirea cuvântului se face verificarea bitului de paritate stocat cu cel rezultat în urma recalculării lui la citire. Dacă nu corespund se generează un semnal de întrerupere (de obicei nemascabilă).

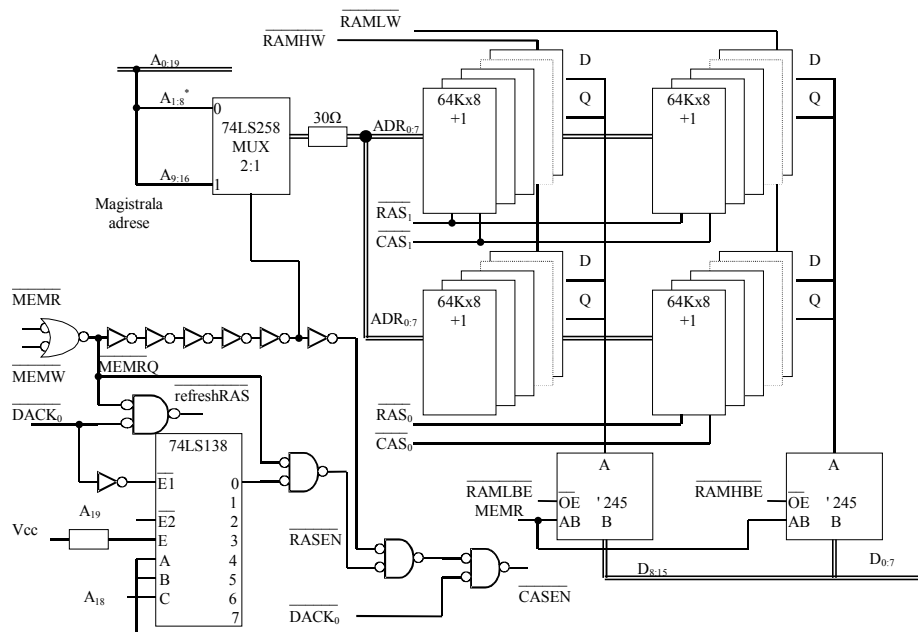


Figura 4.24. Schema datațiată de cuplarea a memoriei RAM dinamice

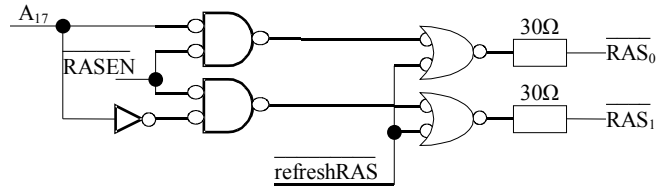


Figura 4.25. Schema de generare RAS

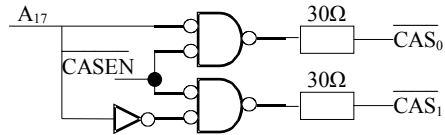
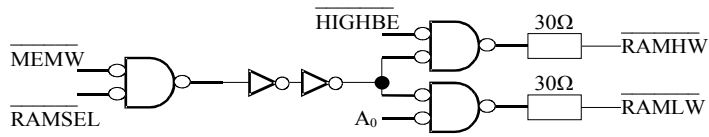


Figura 4.26. Schema de generare CAS



$$\overline{\text{HIGHBE}} = \overline{A_0 \cdot \text{BHE}}$$

Figura 4.27. Generare semnale RAMHW și RAMLW

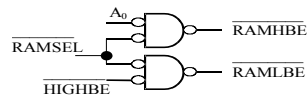


Figura 4.28. Generare semnale RAMHBE și RAMLW