



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculă e-content pentru învățământul superior tehnic

Proiectarea cu Microprocesoare

16. Logica de arbitrare a accesului la magistrala sistemului

LOGICA DE ARBITRARE A ACCESULUI LA MAGISTRALA SISTEMULUI ÎNTRE MICROPROCESOR ȘI MODULUL DE ACCES DIRECT LA MEMORIE

Această unitate funcțională are rolul de a realiza excluderea mutuală a modulelor MASTER aflate pe placa de bază care doresc accesul la magistrala sistemului. Magistrala sistemului este o resursă unică, multiplexată în timp, care trebuie atribuită unui singur modul la un moment dat.

Controlul adreselor, datelor și comenzilor pe magistrala sistemului se poate realiza de către microprocesorul 8086, modulul de acces direct la memorie și cu anumite rezerve sau precauții speciale de către un modul *master* nestandard cuplat pe magistrala de extensie.

Pentru a nu apărea conflict, în ceea ce privește accesul la această resursă unică, s-a proiectat o logică de arbitrare a accesului la magistrala sistemului. Această unitate funcțională rezolvă conflictul între două cereri simultane de la microprocesor și DMA și permite accesul unui eventual modul *master* cuplat pe magistrala de extensie.

În cazul unor cereri simultane de acces la magistrală se dă prioritate modulului DMA. Semnalele de intrare/ieșire aferente acestei unități funcționale sunt prezentate în figura 4.13.

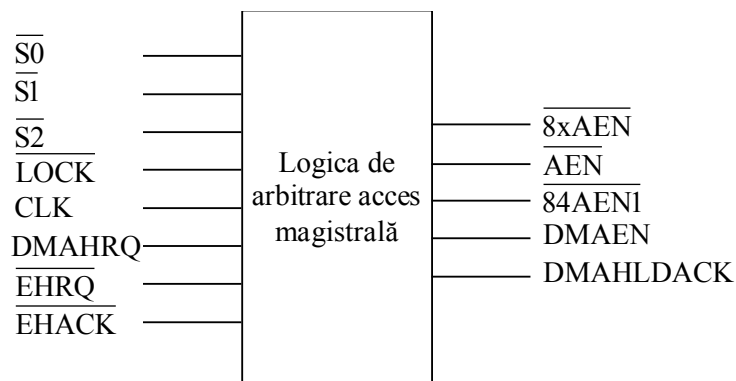


Figura 4.13. Semnalele de intrare/ieșire pentru logica de arbitrare acces magistrală

Pentru a putea explica mai bine logica de arbitrare a accesului la magistrala sistemului este necesar să reamintim evoluția unui ciclu mașină al microprocesorului și a unui ciclu DMA, urmând să descriem interacțiunea între aceste cicluri. Reamintim acțiunile efectuate de microprocesor și DMA în ciclul mașină.

Ciclul mașină procesor

Un ciclu mașină din cadrul ciclului instrucțiune se desfășoară în mod normal pe durata a patru stări mașină T1, T2, T3 și T4, vezi și §1.4.1, (nu s-a luat în considerare cazul în care logica externă nu răspunde în timp util și se introduce un număr întreg de stări de așteptare T_w între starea T3 și T4).

În starea T1 microprocesorul furnizează adresa, ce va fi păstrată într-un registru de adrese pe toată durata ciclului curent, și se generează informația de stare pe liniile $\overline{S0:2}$ care va specifica natura

ciclului mașină curent. Identificarea ciclului mașină curent se realizează de către logica de generare comenzi, în speță de către circuitul 8288.

Starea T2 este o stare în care se comută direcția magistralei microprocesorului în vederea efectuării operațiilor de citire date. În stările T3 și T4 are loc transferul datelor pe magistrala sistemului. Dacă memoria sau interfețele de intrare / ieșire nu pot să furnizeze sau să preia datele în timp util, prin intermediul logicii de sincronizare, vor introduce microprocesorul într-o stare de așteptare T_w care va dura un număr întreg de perioade de tact. Starea de așteptare este introdusă între T3 și T4. Terminarea unui ciclu mașină este indicat prin trecerea liniilor de stare

$\overline{S0}:2$ în starea pasivă (1, 1, 1). Trecerea în starea activă a liniilor de stare $\overline{S0}:2$, are loc în timpul stării T4, ceea ce este echivalent cu începutul unui ciclu de acces la magistrală. Trecerea în starea pasivă are loc spre sfârșitul stării T3 sau a ultimului ciclu de așteptare T_w , ceea ce reprezintă sfârșitul ciclului de acces la magistrală.

Ciclul mașină efectuat de modulul de acces direct la memorie

Un ciclu DMA de acces la magistrală se desfășoară în mod normal pe durata a patru stări S1, S2, S3, S4. Durata unei stări este egală cu durata unei perioade de ceas. Aceste stări sunt precedate de două stări SI și SO.

În starea SI se așteaptă lansarea unei cereri, din partea interfețelor de intrare/ieșire, pentru un transfer de date, DRQi.

Ciclul DMA propriu-zis începe în momentul când s-a primit o cerere de transfer. În acest moment modulul DMA, trece în starea SO și lansează o cerere de acces la magistrală, DMAHRQ. Ramâne în această stare până când primește răspuns de acceptare a cererii de la logica de arbitrare, până la activarea de către aceasta a semnalului DMAHLDACK. Se trece în starea S1 în care se începe accesul la resursele sistemului prin furnizarea adresei după care se trece în starea S2 în care se activează comenzile specifice ciclului curent și se lansează răspunsul DACKi de confirmare a luării în considerare a cererii DRQi. Comenzile de scriere IOW / MEMW se mențin active și pe durata stării S3 în care se analizează dacă resursele cu care este cuplat modulul DMA răspund la operațiile inițiate. În cazul în care operația din ciclul curent nu se poate efectua în timpul stării S3, resursa externă implicată în transfer nefurnizând semnalul DMARDY se intră într-o stare de așteptare S_w . În cazul în care s-a terminat operația în curs de execuție se trece în starea S4 în care se anulează comenzile și se indică terminarea ciclului DMA curent prin anularea DACKi.

Organigrama generală de efectuare a unui ciclu DMA este prezentată în figura 4.14.

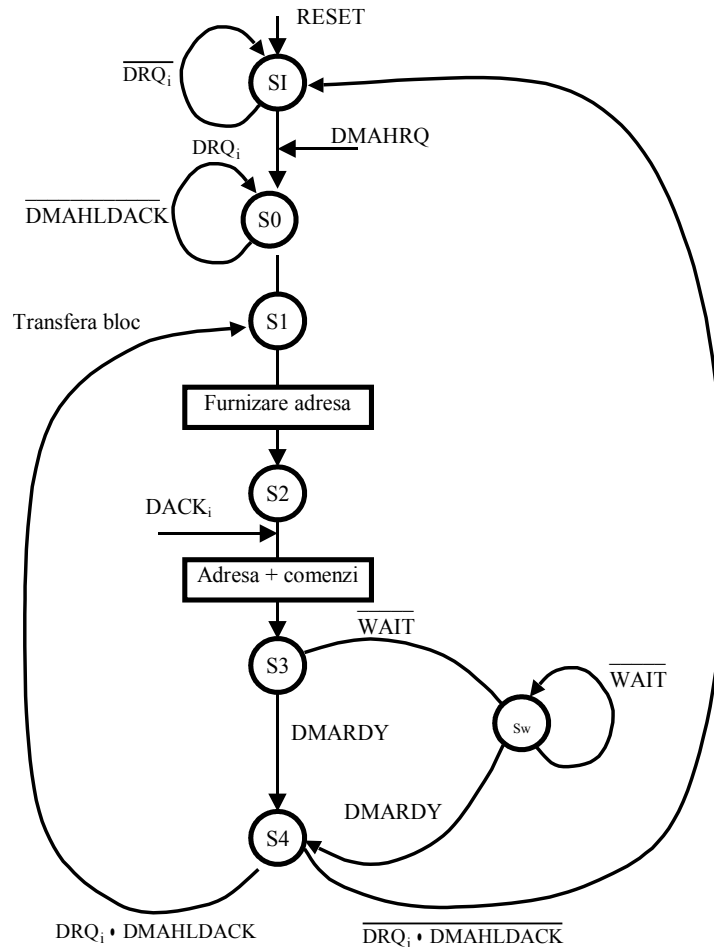


Figura 4.14. Automatul pentru arbitrarea accesului modulului de acces direct la memorie de arbitrare

Logica de arbitrare a accesului la magistrala sistemului prezentată în figura 4.15 reprezintă un arbitru simplu care izolează microprocesorul de la magistrală când modulul de acces direct la memorie (DMA) face cerere de acces în vederea preluării controlului magistralei sistemului.

Dacă modulul DMA primește o cerere de transfer din partea unei interfețe de I/E (DRQ_i) și canalul DMA respectiv a fost programat în faza de inițializare, modulul de acces direct la memorie va face o cerere către arbitrul de magistrală activând semnalul DMAHRQ.

Acest semnal, DMAHRQ, prin care DMA face cerere de acces la magistrală este furnizat și pe magistrala sistemului (B44) reprezentând o informație de stare pentru modulele de extensie, în special pentru eventualele module MASTER.

În urma activării semnalului DMAHRQ, modulul DMA intră în starea S0 și rămâne în această stare până când primește DMAHLDACK de la arbitrul de magistrală prin care se confirmă acordarea accesului la magistrala sistemului.

Cererea de acces la magistrală DMAHRQ este luată în considerare de către logica de arbitrare numai când:

- microprocesorul este într-o stare pasivă ($\overline{S0-2} = 1, 1, 1$);

- semnalul $\overline{\text{LOCK}}$, generat de microprocesor, este inactiv;
- semnalul $\overline{\text{EHRQ}}$, de pe magistrala sistemului este inactiv.

În cazul în care sunt îndeplinite toate condițiile ca modulul DMA să primească accesul la magistrală, se dezactivează semnalele: $\overline{\text{84AEN1}}$, $\overline{\text{8xAEN}}$ ceea ce implică:

- logica de sincronizare introduce microprocesorul într-o stare de așteptare pe toată durata efectuării ciclului DMA;
- logica de generare comenzi dezactivează comenzile de pe magistrala sistemului;
- logica de control al accesului la magistrală dezactivează circuitele de interfațare la magistrala de date și ieșirile registrului de adrese.

Aceste acțiuni izolează microprocesorul de magistrala sistemului pe toată durata ciclului DMA și permite modulului de acces la memorie să preia controlul magistralei.

Confirmarea faptului că DMA poate începe ciclul de transfer este specificată prin activarea semnalului DMAHLDAACK. Acest semnal poate fi activat numai dacă pe magistrala sistemului se permite acest lucru adică $\overline{\text{EHACK}}$ (B43) este inactiv.

După o perioadă de timp se activează DMAEN care permite:

- accesul adreselor furnizate de modulul DMA la magistrala sistemului;
- activarea comenzilor furnizate de DMA pe magistrala sistemului.

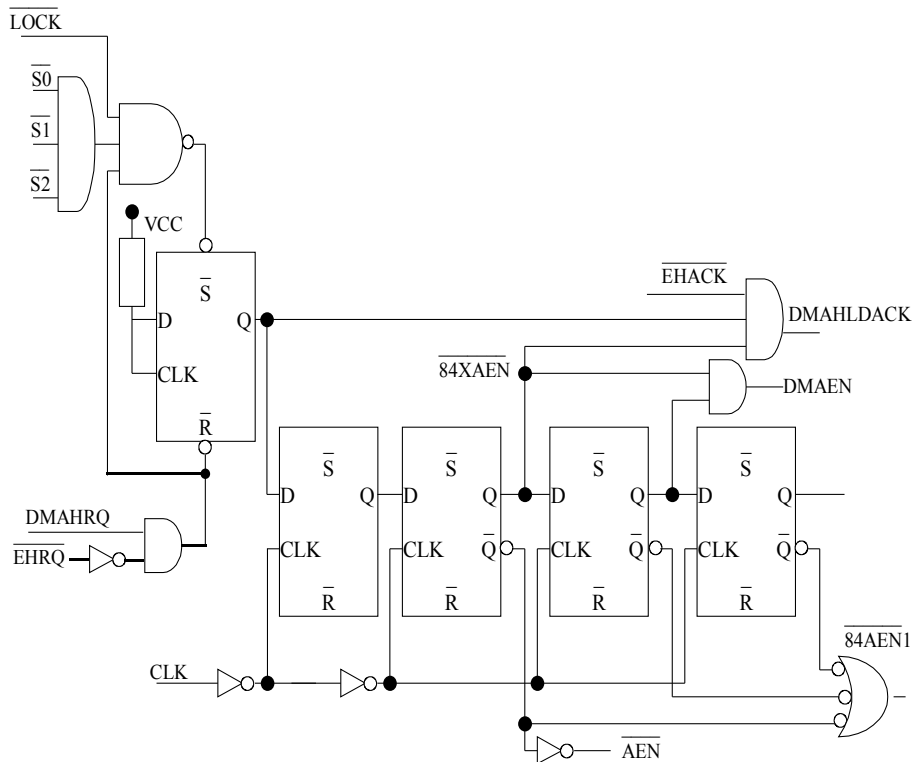


Figura 4.15. Logica de arbitrare a accesului la magistrala sistemului

Logica de arbitrare generează pe magistrala sistemului semnalul AEN (A11) prin care se informează modulele de extensie cine controlează magistrala de adrese, date și comenzi.

Astfel, dacă $\left\{ \begin{array}{l} \overline{\text{AEN}}=0, \text{ magistrala sistemului este controlată de microprocesor} \\ \overline{\text{AEN}}=1, \text{ magistrala sistemului este controlată de modulul DMA} \end{array} \right\}$

La terminarea unui ciclu de transfer curent, logica de arbitrare va izola modulul DMA de magistrala sistemului prin dezactivarea semnalelor DMAHOLDACK și DMAEN și va permite accesul microprocesorului la magistrală prin activarea semnalului AxAEN.

Microprocesorul, după activarea sa pe magistrală, mai stă două perioade în starea de așteptare datorită semnalului 84AEN1.

De menționat faptul că după ce AEN devine inactiv, circuitele de interfață la magistrala de date permit accesul microprocesorului iar registrul de adrese asociat acestuia este activat însă logica de comandă, în speță 8288, nu va activa comenzile decât după 105÷275 ns după activarea sa. Acest lucru se realizează prin întârzierea cu două perioade de tact a activării semnalului 84AEN1 (de la 8484) față de activarea semnalului 8xAEN (de la 8288).

Dacă microprocesorul era în stare de așteptare, în cursul ciclului curent, când a venit o cerere de DMA, 84AEN1 poate permite imediat continuarea ciclului întrerupt de transferul DMA. În cazul în care microprocesorul era în timpul executării unui ciclu curent (fără să fi fost în stare de așteptare) 84AEN1 va trebui să fie întârziat pentru a furniza timp de acces echivalent cu un ciclu de magistrala normal.

Cererea de acces DMAHRQ devine inactivă după fiecare octet transferat permițând cel puțin un ciclu mașină microprocesor între două transferuri succesive DMA. De menționat că modulul MASTER cu care microprocesorul își dispută accesul la magistrală nu va câștiga controlul magistralei în nici unul din următoarele cazuri:

- 8086 este în timpul unui ciclu de magistrală curent;
- 8086 este în timpul ciclului de instrucțiune prefixat cu LOCK;
- 8086 este în ciclul de continuare al unei întreruperi.

Semnalul LOCK de la 8086 este activ între ciclurile INTA garantând menținerea controlului magistralei de către microprocesor.