



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale  
2007-2013



# Platformă de e-learning și curriculum e-content pentru învățământul superior tehnic

## Proiectarea cu Microprocesoare

### **15. Logica pentru controlul accesului la magistrala sistemului**

## LOGICA DE CONTROL AL ACCESULUI MICROPROCESORULUI LA MAGISTRALA SISTEMULUI

Această unitate funcțională are ca rol controlul registrului de adrese și a circuitului de interfațare cu magistrala de date astfel încât microprocesorul să fie conectat în mod corespunzător la magistrala sistemului. Semnalele asociate acestei unități funcționale sunt prezentate în figura 4.7.

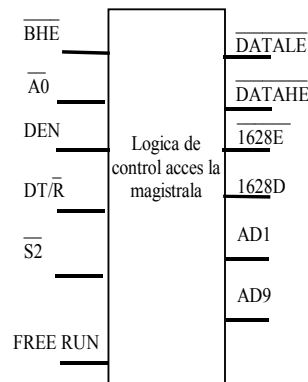


Figura 4.7. Semnalele din logica de control a accesului la magistrală

Controlul accesului la magistrală va trebui să asigure conectarea microprocesorului 8086 la magistrala sistemului, în momentul în care acesta utilizează resursele sistemului (memorie, interfețe de intrare/ieșire) și să dezactiveze acest acces în perioada de timp când aceste resurse sunt sub controlul modului DMA.

Semnalele generate de logica de control a accesului la magistrală împreună cu semnalele furnizate de logica de generare a comenzilor contribuie la realizarea următoarelor funcții:

- preluarea adreselor microprocesorului în registrul de adrese al sistemului (registru de tip transparent, cu ieșiri de tip trei stări - 74LS373);
- activarea / dezactivarea ieșirilor registrului de adrese în funcție de modulul care deține controlul magistralei, microprocesorul sau DMA;
- activarea / dezactivarea și stabilirea sensului circuitelor de interfațare la magistrala de date (circuite bidirecționale cu ieșiri de tip trei stări – 8286 sau T4LS245) în vederea controlului fluxului de date;
- conectarea magistralei de date ce conține biții mai puțin semnificativi D0:7 la biții cei mai semnificativi D8:15 și invers (operația de *swapping*), în vederea asigurării cuplării unei magistrale locale pe 8 biți.

Această funcție (de *swapping*) este necesară pentru a permite construirea unei magistrale locale de date pe 8 biți, care să permită cuplarea circuitelor de interfață standard: 8259A, numărătoare programabile 8253-5, interfața paralelă 8255-5, etc. Aceste circuite de interfață sunt organizate pe 8 biți și este necesar ca ele să aibă porturi de intrare / ieșire atât la adrese pare cât și la adrese impare. În acest fel magistrala locală de date organizată pe 8 biți trebuie să poată fi conectată atât la biții D0:7 ai magistralei sistemului cât și la biții D8:15 în funcție de adresa portului de intrare / ieșire (adresă pară respectiv impară). Acest mecanism

este realizat prin introducerea unui circuit bidirecțional cu ieșiri de tip trei stări care face conectarea între biții de date D0:7 și D8:15 sub controlul semnalelor  $\overline{1628E}$ ,  $1628D$ .

În vederea măririi testabilității sistemului, în scop didactic, s-a prevăzut o funcție de execuție liberă (freerun) a microprocesorului. Stabilirea regimului de execuție liberă este realizată prin poziționarea unui comutator DSW1 (2-15) pe poziția ON. Activarea regimului de execuție liberă activează permanent semnalul ASYRDY. Totodată, pe durata activă a semnalului DEN liniile AD1 și AD9 sunt forțate la zero. Ca urmare a acestor acțiuni, microprocesorul are semnalul READY activ și va citi la fiecare ciclu instrucțiune instrucțiunea STD - set direcție (cu codul 0FDH). După fiecare ciclu instrucțiune, microprocesorul incrementează contorul de instrucțiuni IP. În felul acesta liniile de adresă A1:15 evoluează în regim de numărare liniară. Această facilitate de depanare permite detectarea scurtcircuitelor între liniile de adrese A1:15 precum și întreruperile acestor linii.

Funcțiile logice ale semnalelor generate de către această unitate funcțională au următoarea exprimare analitică:

$$\overline{1628E} = \text{INTA} + \overline{A_0} + \overline{S2} \cdot \text{BHE}$$

$$1628D = \overline{\text{MEMW} + \text{IOR}}$$

$$\overline{\text{DATAHE}} = \overline{\text{DEN}} + \overline{\text{FREERUN}}$$

$$\overline{\text{DATALE}} = \overline{\text{DEN}} + \overline{\text{FREERUN}} + 1628E$$

$$\text{AD } 1 = \overline{\text{DEN}} + \overline{\text{FREERUN}}$$

$$\text{AD } 9 = \overline{\text{DEN}} + \overline{\text{FREERUN}}$$

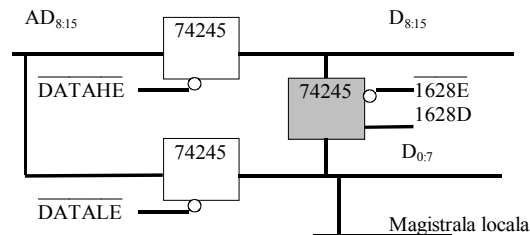


Figura 4.8. Logica pentru controlul accesului la magistrala sistemului

### Controlul registrului de adresă

În stabilirea semnalului de comandă pentru registrul de adrese s-a ținut seama de funcțiile enumerate anterior. Astfel, ca semnal de încărcare în registrul de adrese s-a folosit ALE, figura 4.9, iar pentru activarea adreselor pe magistrala sistemului s-a folosit  $\overline{8xAEN}$ , semnal generat de logica de arbitrare a accesului la magistrala dintre microprocesor și DMA.

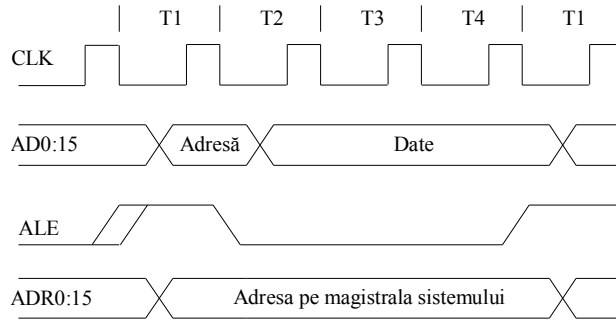


Figura 4.9. Relația dintre adresa furnizată de microprocesor AD0:15 și adresa pe magistrala sistemului

Registrul de adrese al sistemului s-a implementat cu circuite de tip transparent, cu ieșiri trei stări, 74LS373. S-a ales acest tip de circuit deoarece este necesar să se furnizeze adresa (celulei de memorie sau a *port*-ului de I/O) pe magistrala sistemului imediat ce aceasta este generată de microprocesor. Deci pe durata cât  $ALE = 1$ , intrarea registrului de adrese este transferată la ieșirea acestuia (funcția de transparență) cu scopul ca logica externă care o utilizează să beneficieze imediat de adresa furnizată de microprocesor și nu abia în momentul în care este memorată în registru (când ALE trece din "1" în "0"), pentru a evita introducerea unei eventuale stări de așteptare. Adresa nu poate fi preluată pe frontul "0 - 1" al semnalului ALE deoarece nu este încă stabilizată. Ieșirile registrului de adrese sunt activate de semnalul  $\overline{8XAEN} = 0$ , microprocesorul fiind cel care furnizează adresa pe magistrala sistemului.

În cazul unui ciclu DMA microprocesorul este într-o stare de așteptare  $\overline{8XAEN} = 1$ , ieșirile registrului de adrese sunt dezactivate (stare de impedanță mare) adresa pe magistrala sistemului fiind furnizată de modulul de acces direct la memorie.

### Controlul circuitelor de interfațare la magistrala de date

Magistrala AD0:15 a microprocesorului este conectată la magistrala bidirecțională de date a sistemului D0:15 prin intermediul circuitelor de interfațare la magistrala de date - 8286 sau 74LS245.

Așa cum s-a menționat, semnalul  $FREERUN = 0$  activ, stabilit în faza de depanare a sistemului dezactivează ambele circuite de interfațare la magistrală și forțează pe magistrala de date AD0:15 configurația 0FDFDH, prin intermediul unor circuite cu colectorul în gol, figura 4.8, ceea ce reprezintă codul instrucțiunii STD.

În funcție de ciclul mașină curent al microprocesorului trebuie activate circuitele de interfațare. Sensul de transfer al datelor este stabilit de logica de comandă prin intermediul semnalului DT/R.

Semnalele sunt specifice fiecăruia din circuitele de interfațare în funcție de modul în care se face citirea / scrierea datelor pe cuvânt sau octet și în funcție de ciclul mașină curent.

Reamintim că microprocesorul poate să transfere date cu memoria sau cu porturile de intrare / ieșire pe cuvânt (16 biți) sau octet (8 biți). Pentru a specifica modul de transfer al datelor, microprocesorul poziționează semnalele  $\overline{BHE}$  și A0 în felul următor (tabelul 4.2):

$\overline{BHE}$	ADR0	Tip date
0	0	Date pe cuvânt D0:15, de la adresă pară
0	1	Date pe octet D8:15, de la adresă impară
1	0	Date pe octet D0:7, de la adresă pară
1	1	Neutilizat

Tabelul 4.2

Circuitele de interfațare la magistrala de date asigură fluxul de date între microprocesor și:  
sistemul de întreruperi;  
port-urile de intrare/ieșire;  
memorie.

### Ciclul de recunoaștere a întreruperii

În cadrul unui ciclu de recunoaștere a întreruperii este necesar să se activeze partea mai puțin semnificativă a circuitului de interfață, biții D0:7, pentru a se permite vectorului de întrerupere furnizat de circuitul 8259A să ajungă pe magistrala microprocesorului în vederea ajungerii la celula capcană care face legătura cu rutina de tratare a întreruperii ce urmează să fie tratată.

În cadrul unui ciclu de recunoaștere a întreruperii  $\overline{INTA}=0$  și indiferent de celelalte semnale ( $\overline{S2}=x$ ,  $\overline{BHE}=x$ ,  $A_0=x$ ) sunt activate ambele circuite de interfațare la magistrala de date, însă vectorul de întreruperi va circula numai prin circuitul D0:7, figura 4.10.

*Observație:* circuitele de interfațare nehașurate sunt active, iar cele hașurate sunt inactive având ieșirile în starea de impedență mare.

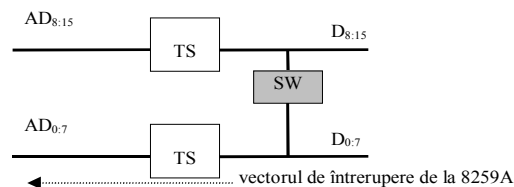
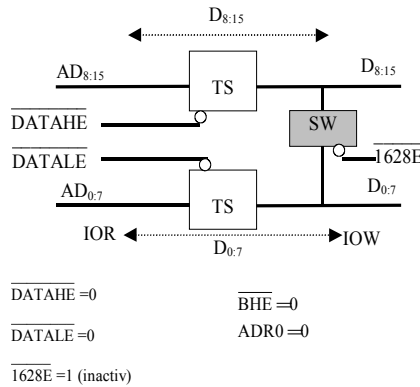


Figura 4.10. Tranferul vectorului de întrerupere

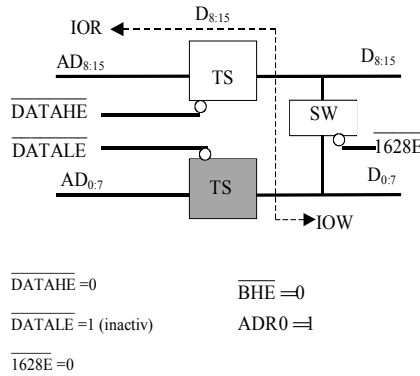
În cazul în care ciclul curent nu este un ciclu de recunoaștere a unei întreruperi, fluxul de date este controlat de semnalele specifice.

## Ciclul de transfer de date

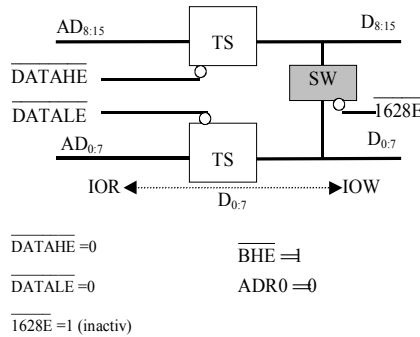
Pentru un ciclu de transfer de date cu un *port* de intrare/ieșire  $\overline{S2}=0$ , respectiv cu memoria  $\overline{S2}=1$ , controlul circuitelor de interfațare la magistrala de date se face ca în figura 4.11 respectiv 4.12.



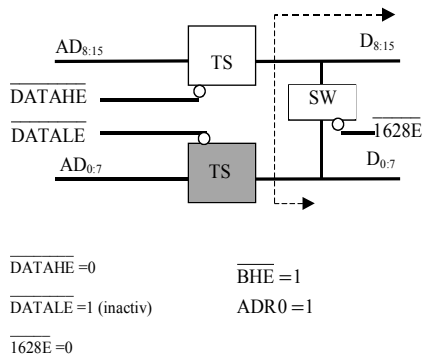
a) Transferul datelor de intrare/ieșire pe 16 biți



b) Transferul datelor de intrare/ieșire pe 8 biți pe magistrala D8:15

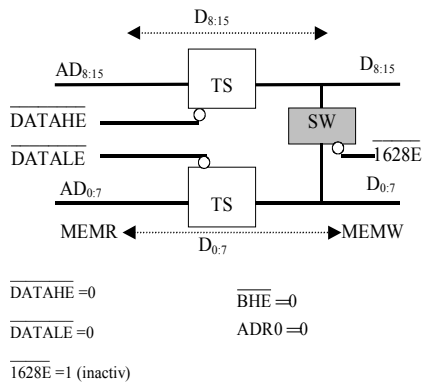


c) Transferul datelor de intrare/ieșire pe 8 biți pe magistrala D0:7

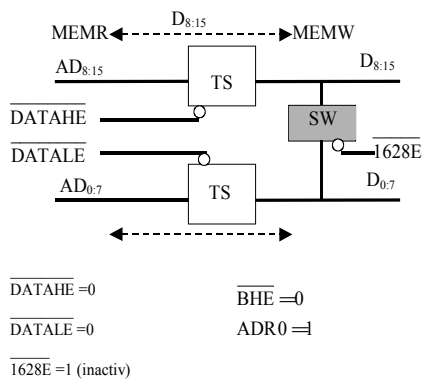


d) Transferul datelor de intrare/ieșire pe 8 biți (controlat de alt master)

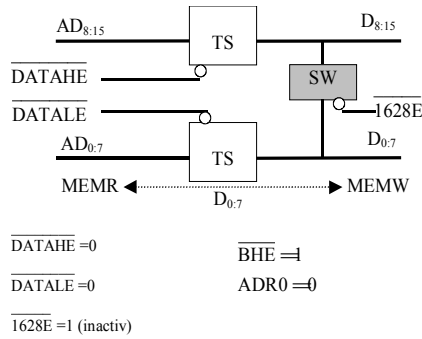
Fig. 4.11. Ciclul de transfer de date de intrare/ieșire



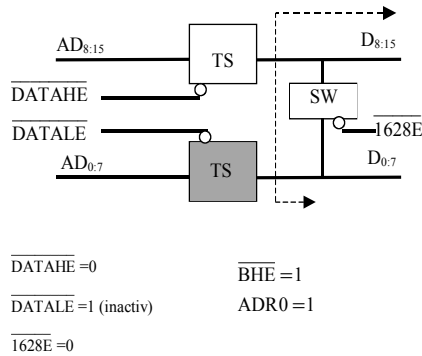
a) Transferul datelor cu memoria pe 16 biți



b) Transferul datelor cu memoria pe 8 biți pe magistrala D8:15



c) Transferul datelor cu memoria pe 8 biți pe magistrala D0:7



d) Transferul datelor cu memoria pe 8 biți (controlat de alt master)

Fig. 4.12. Ciclul de transfer de date cu memoria

Structura propusă poate avea o structură reconfigurabilă pe 8 sau 16 biți în funcție de microprocesorul care se utilizează, 8088 sau 8086. În configurația standard structura propusă se proiectează cu microprocesorul 8086, magistrala sistemului fiind organizată pe 16 biți.

Schimbarea microprocesorului 8086 cu 8088 este posibilă deoarece cele două microprocesoare sunt compatibile la nivel de conexiuni și la nivel de set de instrucțiuni numai că microprocesorul 8086 comunică cu exteriorul printr-o magistrală de date de 16 biți iar 8088 comunică cu exteriorul printr-o magistrală de 8 biți.

Microprocesorul 8088 execută operațiile de transfer pe cuvânt, cu memoria sau *port*-urile de intrare/ieșire, întotdeauna în două cicluri mașină, pe când 8086 le execută într-un singur ciclu mașină dacă cuvântul se află la adresă pară, respectiv în două cicluri mașină dacă cuvântul se află la adresă impară.