



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculum e-content pentru învățământul superior tehnic

Proiectarea cu Microprocesoare

14. Logica pentru generarea comenzilor

LOGICA PENTRU GENERAREA COMENZILOR PE MAGISTRALA SISTEMULUI – K_s

Această unitate funcțională asigură generarea semnalelor de comandă necesare controlului resurselor unității centrale și a modulelor de extensie. Semnalele aferente acestei unități funcționale sunt prezentate în figura 4.6.

Această unitate funcțională are la bază circuitul 8288, care decodifică informația de stare $\overline{S0:2}$ furnizată de microprocesorul 8086 și generează unele din semnalele de comandă ale magistralei sistemului.

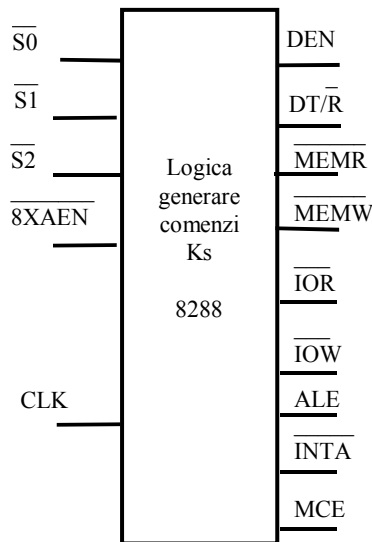


Figura 4.6. Logica de generare comenzi

Semnalele de comandă generate, în corelație cu informația de stare furnizată de microprocesor, pentru a specifica ciclul mașină curent care se execută, sunt prezentate în tabelul 4.1 (v. și tabelul de la pag. 28).

Semnalele de comandă generate de către această unitate funcțională pot să fie dezactivate în momentul în care pe magistrala sistemului este activ un alt modul *master*. Dezactivarea comenzilor, corespunzătoare cu trecerea lor în starea de impedanță mare, se realizează pe baza semnalului de intrare

$\overline{8xAEN}$. Acest semnal este generat de logica de arbitraj a accesului la magistrală și are aceeași semnificație cu $\overline{84AEN1}$, durata de acțiune a acestora fiind diferită.

S2	S1	S0	
0	0	0	Recunoastere intrerupere \overline{INTA}
0	0	1	\overline{IOR}
0	1	0	\overline{IOW}
0	1	1	HALT
1	0	0	\overline{MEMR} fetch
1	0	1	\overline{MEMR}
1	1	0	\overline{MEMW}
1	1	1	pasiv

Tabelul 4.1

În funcție de acțiunea pe care o implică asupra resurselor sistemului, semnalele de comandă se împart în două categorii și anume:

- semnale de comandă caracteristice execuției ciclului mașină curent;
- semnale de control al fluxului de date și adrese.

Semnificația semnalelor din prima categorie este următoarea:

\overline{MEMR} : este un semnal care indică o operație de citire din memorie. Acest semnal este conectat atât la resursele modului de bază cât și la magistrala de extensie a sistemului (B11). Este furnizat de ieșirea \overline{MRDC} a circuitului 8288 și conectat împreună cu semnalul \overline{MEMR} de la DMA, în vederea controlului operației de citire din memorie. Activarea unuia dintre aceste semnale este realizată de logica de arbitrare a accesului la magistrală în funcție de modulul care are acces la magistrală în acel moment. Asigură un *fan-out* de 17 unități logice de încărcare pentru magistrala sistemului.

\overline{MEMW} : este un semnal care indică o operație de scriere în memorie (ciclul mașină curent este de scriere în memorie). Acest semnal este conectat atât la resursele modului de baza cât și la magistrala de extensie a sistemului (B12). Este generat de ieșirea \overline{AMWC} a circuitului 8288 și conectat împreună cu semnalul \overline{MEMW} de la DMA, în vederea controlului operației de scriere în memorie. S-a folosit comanda anticipată de scriere furnizată de 8288, pentru a preveni introducerea unei stări de așteptare care nu era necesară. În cazul în care s-ar fi utilizat \overline{MWTC} s-ar fi introdus în mod implicit o astfel de stare pentru operațiile de scriere în memorie deși nu era necesară. Activarea unuia dintre aceste semnale (furnizat de microprocesor sau de DMA), este realizată de logica de arbitrare a accesului la magistrală în funcție de modulul care are acces la magistrală în acel moment. Asigură un *fan-out* de 17 unități logice de încărcare pentru magistrala sistemului.

\overline{IOR} : este un semnal care indică o operație de citire de la un *port* de intrare (ciclul mașină curent este de citire de la un *port* de intrare). Acest semnal este conectat atât la resursele modului de bază cât și la magistrala de extensie a sistemului (B14). Este generat de ieșirea \overline{IORC} a circuitului 8288 și conectat împreună cu semnalul \overline{IOR} de la DMA, în vederea controlului operației de citire

port de intrare. Activarea unuia dintre aceste semnale este realizată de logica de arbitraj a accesului la magistrală în funcție de modulul care are acces la magistrală în acel moment. Asigură un *fan-out* de 17 unități logice de încărcare pentru magistrala sistemului.

\overline{IOW} : este un semnal care indică o operație de scriere la un *port* de ieșire (ciclul mașină curent este de scriere la un *port* de ieșire). Acest semnal este conectat atât la resursele modulului de bază cât și la magistrala de extensie a sistemului (B13). Este generat de ieșirea \overline{AIOWC} a circuitului 8288 și este conectat împreună cu semnalul \overline{IOW} de la DMA, în vederea controlului operației de citire la un *port* de ieșire. S-a folosit comanda anticipată de scriere furnizată de 8288, pentru a preveni introducerea unei stări de așteptare care nu era necesară. În cazul în care s-ar fi utilizat \overline{IOWC} s-ar fi introdus în mod implicit o astfel de stare pentru operațiile de scriere la *port*-urile de ieșire deși nu era necesară. Activarea unuia dintre aceste semnale este realizată de logica de arbitraj a accesului la magistrală în funcție de modulul care are acces la magistrală în acel moment. Asigură un *fan-out* de 17 unități logice de încărcare pentru magistrala sistemului.

\overline{INTA} : este un semnal prin care microprocesorul confirmă luarea în considerare a întreruperii lansate de către sistemul de întreruperi. Este generat în momentul acceptării unei întreruperi externe, pentru a cere sistemului de întreruperi 8259A să activeze pe magistrala de date codul nivelului de întrerupere cu cea mai mare prioritate dintre cele pentru care au apărut cereri de întrerupere. Acest semnal este asociat numai întreruperilor externe mascabile (INTR) controlate de către 8259A. Pentru întreruperile externe nemascabile (NMI) nu se generează semnalul INTA. Semnalul este conectat la magistrala de extensie a sistemului (B42).

Semnificația semnalelor din a doua categorie este următoarea:

MCE: este un semnal prin care se permite circuitului 8259A MASTER situat pe modulul de bază al sistemului să transmită codul de selecție pentru un circuit 8259A SLAVE, dispus pe una dintre plăcile de extensie nestandard. Ca efect circuitul 8259A SLAVE va transmite codul semnalului de întrerupere cu prioritatea cea mai mare dintre cele active și gestionate de acesta. Din punct de vedere hardware structura sistemului permite conectarea în cascadă a mai multor circuite 8259A, însă BIOS-ul nu tratează decât semnalele de întrerupere provenite de la circuitul 8259A MASTER. În cazul în care se utilizează module 8259A SLAVE trebuie să se încorporeze în nucleul sistemului de operare și procedurile pentru tratarea întreruperilor gestionate de către aceste circuite.

ALE: este un semnal furnizat de logica de generare comenzi la fiecare ciclu mașină și este utilizat pentru a încărcă adresa furnizată de microprocesor în starea T1, în registrul de adrese. Pe tranziția din "1" în "0" va stroba adresele care sunt stabile pe magistrala comună de adrese și date AD0:AD15 a microprocesorului într-un registru de adrese. Pentru a furniza adresa pe magistrala sistemului imediat ce microprocesorul o generează pe magistrala sa deci înainte de momentul de preluare în registrul de adrese al sistemului este necesar să se utilizeze registre de tip transparent.

DEN: este un semnal care activează, prin intermediul logicii de control al accesului microprocesorului la magistrala sistemului, circuitele de interfațare la magistrala de date. Acest semnal indică momentele de timp când datele sunt stabile pe magistrala microprocesorului pentru operațiile de ieșire (scriere) și când logica externă poate activa datele pe magistrală pentru a fi preluate de microprocesor în operațiile de intrare (citire).

DT/\bar{R} : este un semnal prin care logica de generare comenzi stabilește, în funcție de codul mașină curent, sensul fluxului de date prin circuitele de interfațare la magistrala de date. Schema detaliată a logicii de generare comenzi pe magistrala sistemului este prezentată în figura 4.X.