



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale  
2007-2013



# Platformă de e-learning și curriculum e-content pentru învățământul superior tehnic

## Proiectarea cu Microprocesoare

### **13. Logica pentru generare ceas și sincronizare**

## LOGICA PENTRU GENERAREA CEASULUI, SINCRONIZAREA MICROPROCESORULUI CU LOGICA EXTERNĂ ȘI RESET – K<sub>C</sub>

Această unitate funcțională se proiectează utilizând circuitul 8284, conform recomandărilor Intel (vezi §1.4.4), și are ca scop:

- generarea semnalelor de tact pentru resursele sistemului;
- sincronizarea microprocesorului cu modulele externe, asincrone, care au un timp de răspuns mai lent decât acesta;
- generarea semnalului de RESET.

Semnalele de intrare / ieșire aferente acestei unități funcționale sunt prezentate în figura 4.2.

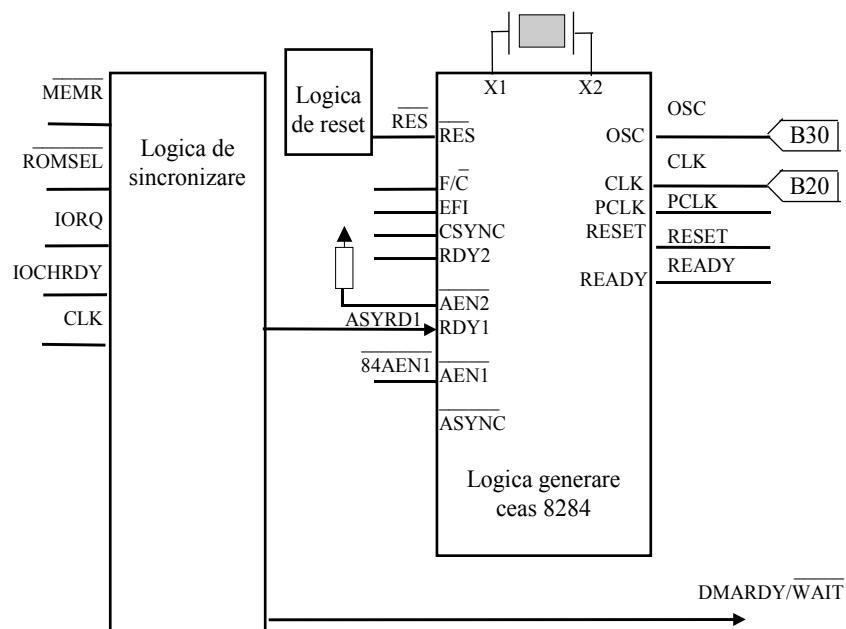


Figura 4.2. Logica pentru generarea ceasului, sincronizarea microprocesorului cu logica externă și RESET

### Generarea semnalelor de tact

Modulul generează următoarele semnale de ceas:

**XOSC:** tact de referință, cu frecvența de 14, 31818 MHz stabilită de cristalul de cuarț conectat la intrările X1, X2. Acest semnal este amplificat, furnizând pe magistrala sistemului semnalul de ceas de referință sub numele OSC (B30). Perioada semnalului este de 70 ns cu un factor de umplere de 50%.

*Observație:* În structura propusă se utilizează ca tact de referință frecvența 14, 31818 Mhz deoarece s-a dorit păstrarea compatibilității cu sistemul IBM - XT. O modificare a acestei frecvențe conduce la incompatibilitate în ceea ce privește ceasul sistemului ce contorizează ora, minutul și secunda. Sistemul IBM - XT folosește frecvența de 14, 31818 MHz deoarece aceasta este de patru ori mai mare decât frecvența subpurtătoarei de cromaticitate a normei de televiziune NTSC care este de 3, 579545 MHz. Deci dacă s-ar utiliza un televizor color NTSC se poate obține ușor frecvența subpurtătoarei de cromaticitate. Frecvența

tactului de referință este cea mai apropiată de 3 x 5 MHz, care constituie frecvența maximă de lucru a microprocesoarelor 8086 din gama obișnuită, și este în același timp multiplul frecvenței de crominanță.

**CLK:** semnalul de ceas al sistemului. Are frecvența de 1/3 din cea a semnalului XOSC, adică 4,77 MHz. Perioada semnalului este de 210 ns cu un factor de umplere de 33%. Este amplificat și trimis pe magistrala de extensie a sistemului sub numele de CLOCK (B20). Este utilizat de următoarele resurse:

- microprocesorul 8086 și coprocesorul matematic 8087;
- logica de arbitrare a accesului la magistrala între microprocesor și circuitul DMA;
- modulul de acces direct la memorie.

**PCLK:** semnal de ceas pentru circuite periferice. Are frecvența de 1/6 din frecvența semnalului XOSC, respectiv 1/2 din frecvența semnalului CLK. Perioada semnalului este de 420 ns, cu un factor de umplere de 50%. Este amplificat și trimis pe magistrala de extensie a sistemului sub numele de BPCLK (B45). Este utilizat de următoarele resurse:

- interfețele seriale;
- interfața de tastatură;
- prin divizare cu doi, se utilizează de către numărătoarele programabile (8253-5) și modulul de acces direct la memorie;

Relația între semnalele de ceas generate este prezentată în figura 4.3.

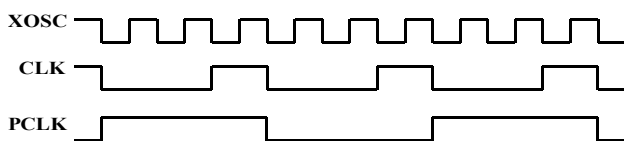


Fig. 4.3. Relația dintre semnalele de tact

## Logica de RESET

Modulul generează și semnalul RESET necesar inițializării unor resurse ale sistemului. Semnalul RESET este utilizat de:

- microprocesorul 8086 și coprocesorul matematic 8087;
- modulul de acces direct la memorie și registrul de pagină DMA;
- logica de arbitrare a accesului la magistrala dintre microprocesor și DMA;
- logica pentru generarea întreruperii nemascabile;
- logica de divizare a ceasului pentru circuite periferice (PCLK), a cărei ieșire este utilizată de numărătorul programabil 8253 și modulul DMA;
- interfața de tastatură;
- interfața paralelă 8255-5;
- interfața serială.

Semnalul RESET este amplificat și furnizat pe magistrala de extensie a sistemului sub numele BRESET (B2), în vederea inițializării resurselor modulelor cuplate pe conectorii de extensie a sistemului.

Semnalul RESET se generează la punerea sub tensiune a sistemului (power-on reset) sau prin acționarea unui buton de reset aflat pe panoul frontal al calculatorului. La primirea semnalului RESET microprocesorul 8086 inițializează contorul program la zero, și registrul de segment (CS) cu valoarea

0FFFFH, ceea ce este echivalent cu începerea execuției programului BIOS din memoria permanentă EPROM începând cu adresa 0FFFF:0000H.

De notat faptul că în urma activării semnalului RESET pentru un interval de timp suficient de mare, se pierde conținutul memoriei interne RAM, deoarece memoria fiind de tip dinamic se perturbă procesul de reîmprospătare.

În figura 4.4 se prezintă schema de generare a semnalului de RESET.

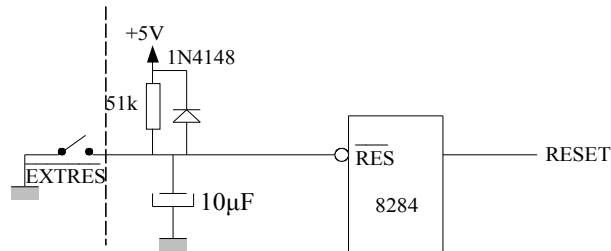


Fig 4.4. Schema de generare a semnalului RESET

## Logica de sincronizare

Pentru sincronizarea microprocesorului 8086 și a coprocesorului 8087 cu logica externă, în vederea introducerii unor stări de așteptare  $T_w$ , când anumite module externe nu pot furniza sau prelua datele în timp util, se generează de către acestea semnalul READY.

Dacă READY este zero se va introduce un număr întreg de stări de așteptare corespunzător cu durata acestuia (v. § 1.4.2.5 și 1.4.2.6).

Semnalul READY este generat pe baza semnalelor  $\overline{84AEN1}$  și  $\overline{ASYRDY}$  furnizate de logica de arbitraj a accesului la magistrala sistemului între microprocesor și DMA. Semnificația semnalelor care participă la generarea lui READY este următoarea:

$\overline{84AEN1}$  : este un semnal care indică care din modulele *master* ale sistemului, microprocesorul sau DMA, va controla magistrala.

Când  $\overline{84AEN1}$  este zero logic, microprocesorul 8086 va fi cel care furnizează adresele, datele și comenzile pe magistrala sistemului.

Când  $\overline{84AEN1}$  este unu logic, modulul de acces direct la memorie (DMA) va fi cel care furnizează adresele, datele și comenzile pe magistrala sistemului, microprocesorul 8086 trebuind să rămână într-o stare de așteptare iar *buffer*-ele de acces ale acestuia la magistrală să fie dezactivate.

$\overline{ASYRDY}$ : este un semnal prin care se face sincronizarea transferului de date între microprocesor și logica externă (memorie, *port*-uri de intrare/ieșire). În general, o operație de citire/scriere cu o memorie mai lentă (cu timp de acces mare) sau cu un *port* de intrare/ieșire necesită introducerea microprocesorului într-o stare de așteptare (unul sau mai mulți cicli de WAIT). Ieșirea din această stare se realizează în momentul în care logica respectivă (memorie sau *port* de intrare/ieșire) a efectuat operația în care era implicată. Logica externă trebuie să se sincronizeze cu microprocesorul prin generarea unui semnal de confirmare a încheierii operației ( $\overline{ASYRDY}$ ).

În cazul modulului de bază al structurii propuse, operațiile de citire din memoria EPROM (timp de acces maxim de circa 350÷450 ns) vor introduce o stare de așteptare WAIT.

De asemenea, s-a prevăzut posibilitatea ca interfețele de intrare/ieșire să introducă microprocesorul în starea de așteptare, pentru unul sau mai mulți cicli de WAIT. Interfețele de intrare/ieșire conectate pe magistrala de extensie a sistemului furnizează un răspuns de terminare a operației curente. Răspunsul de la aceste interfețe este furnizat prin intermediul semnalului IOCHRDY care este disponibil și la conectorul de extensie (A10). Cu ajutorul semnalului de sincronizare IOCHRDY, logica de generare ASYRDY poate controla ieșirea READY prin intermediul circuitului 8284 astfel încât să se introducă un număr adecvat de stări de așteptare.

Semnalul ASYRDY1 se află în mod normal pe "1". În ciclurile de I/O logica din figura 4.5 introduce o stare de așteptare (WAIT). Semnalul IOCHRDY poate introduce un număr nedefinit de stări WAIT.

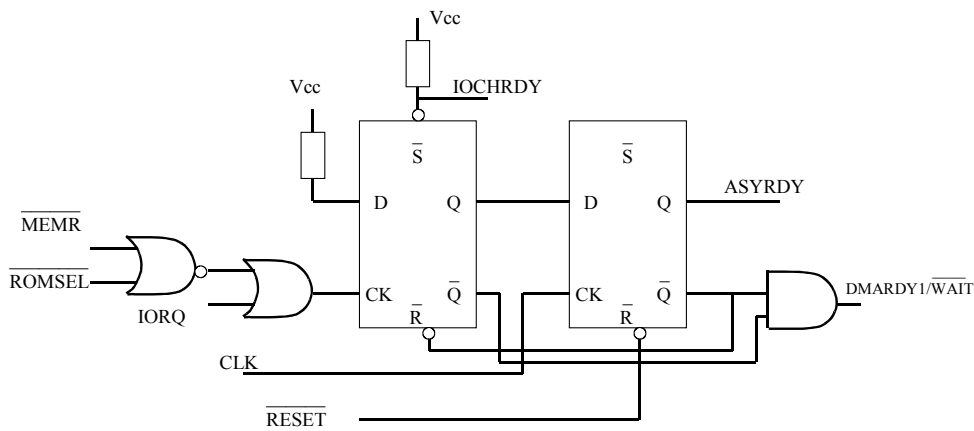


Figura 4.5. Logica de WAIT