

# Calculatoare Numerice

## Adrian Petrescu

### ianuarie 2011

#### 332CA/333CA

Teorie:

- 1) Formatul instructiunilor procesorului MIPS
- 2) Memoria Cache exemple, tipuri de mapari
- 3) Hazarde de control
- 4) Schema de comanda pentru memorie cu 4 blocuri de memorie cu adrese intretesute si porturi de acces
- 5) O solutie software pentru memoria virtuala

Probleme:

- 1) Similar tipului 1 din problemele de pe site numai ca memoria era mapata direct (adica nu FIFO)
- 2) Se dadeau o serie de instructiuni si se cerea sa se determine toate partiile de hazarde de date si pentru prima de explicat ca la el in curs (cu if id mem ex si wb la momente de timp)
- 3) Similar cu 1 doar ca maparea se facea asociativ pe 2 cai (16 cuvinte in memoria cache si un bloc continea un cuvint).

Nu cred ca a picat mai mult de o persoana. Corectarea a fost ok (trebuie scris cate ceva la fiecare subiect de teorie).

La probleme noi am citit si am incercat sa intelegem ce ne-a pus proful pe curs. Daca citesti cursul de hazarde si memorie cache e ok.

#### 331CA

#### Subiecte 21.01.2010 CN2

Teorie:

1. DLX in BA cu imbunatatiri. De precizat ce instr se executa la IF si ID.
2. Mem cache. Tipuri. Exemple.
3. Memorie virtuala cu TLB si cache
4. Specificatiile comenzii pentru DLX (schema de la pag 12 din CursCN2\_3)
5. Dispozitivele de I/E mapate in memorie. Schema bloc.

Probleme:

1. Ptr sirul dat ca exemplu pe curs. Se cerea o solutie hardware, si hitRatio ptr maparea LRU

2. Ce tip de hazarde apar + solutionare pr urmatoarea secventa (nu stiu daca e chiar riguros sintactic dar cam asa era):

lw \$t1 0(\$t0)

lw \$t2 4(\$t0)

add \$t3 \$t1 \$t2

sw \$t3 12(\$t0)

lw \$t4 8(\$t0)

add \$t5 \$t1 \$t4

sw \$t4 16(\$t0)

3. mapare complet asociativa LRU ptr 16 blocuri. Se cere tabela de pagini + tabela cu cerere si daca e hit sau nu