



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculum e-content
pentru învățământul superior tehnic

Programare în limbaj de asamblare

5. Structura microprocesoarelor INTEL 80x86/ PENTIUM.

Arhitectura procesorului 80386

Procesorul Intel 386™ a fost primul procesor IA (Intel Architecture) care a inclus în arhitectura sa un număr de 6 niveluri (etape, unități) ce lucrau în paralel, descrise schematic în următoarea diagramă bloc.

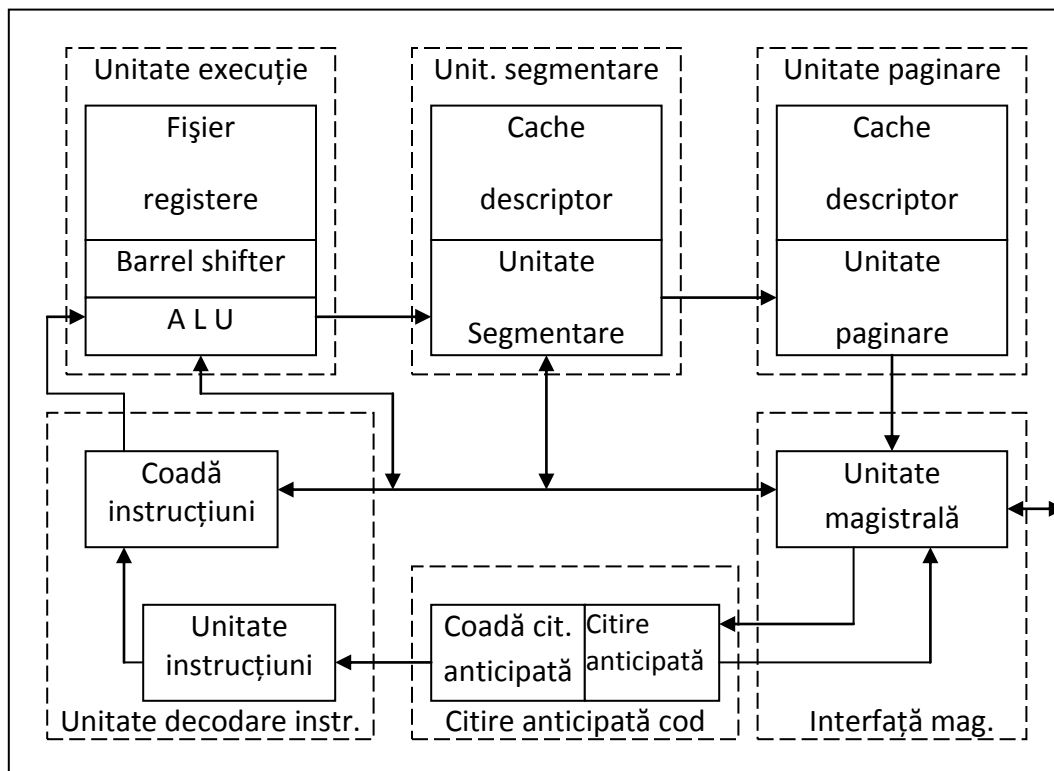


Diagrama bloc a unităților funcționale ale procesorului 80386

Interfața cu magistrala (BIU – Bus Interface Unit) realizează legătura procesorului cu lumea externă. Orice altă unitate ce necesită date din exterior va solicita acestei unități să realizeze operația respectivă. Pentru a realiza transferul datelor (la memorie sau la porturile de I/O), unitatea va furniza numai adrese fizice, deci adresele operanzilor trebuie mai întâi să treacă prin unitatea de segmentare și cea de paginare, dacă este necesar.

Unitatea de citire anticipată a instrucțiunilor (IPU – Instruction Prefetch Unit sau Code Prefetch Unit) are rolul de a menține plină coada de instrucțiuni; unitatea de decodificare extrage instrucțiunile din această coadă, de 16 octeți, ori de câte ori se eliberează octeți din coadă. Unitatea de citire anticipată lansează o cerere către BIU pentru citirea altor octeți din memorie (câte 4 octeți la un ciclu de citire). Dacă BIU este ocupată cu o cerere de la o altă unitate, atunci, după servirea unității respective, va fi luată în considerare și cererea unității de citire anticipată. Unitatea IPU este anunțată ori de câte ori unitatea de execuție prelucrează o instrucțiune de salt (CALL, JMP sau întrerupere) astfel încât poate începe citirea instrucțiunilor

de la noua adresă. În aceste situații coada este reinițializată, pentru a împiedica unitatea de execuție să primească instrucțiuni ce nu sunt în secvența aflată în execuție.

Unitatea de decodificare (IDU – Instruction Decode Unit).

Această unitate preia octeți individuali din coada de instrucțiuni și determină numărul de octeți necesari pentru a finaliza instrucțiunea următoare. O instrucțiune 80386 poate avea de la 1 la 16 octeți. După extragerea întregii instrucțiuni din coadă, unitatea reformulează codul operației într-un format de instrucțiune intern și plasează instrucțiunea decodificată într-o coadă de instrucțiuni (decodificate), care cuprinde 3 operații. Unitatea de decodificare va semnala BIU dacă instrucțiunea decodificată va necesita o referire la memorie. Aceasta permite obținerea operanzilor instrucțiunilor anterior execuției instrucțiunilor.

Unitatea de execuție (EU – Execution Unit)

Aceasta este componenta CPU (Central Processor Unit) care realizează calculele. Ea realizează diferite operații (deplasări, adunări, înmulțiri, împărțiri etc.) necesare pentru execuția instrucțiunilor. Setul de registre se află în această unitate. Unitatea conține, de asemenea, o componentă logică denumită „barrel shifter“, care poate realiza deplasări / rotiri multi-bit, într-un singur ciclu de ceas. Această facilitate este utilizată de EU nu numai în instrucțiunile de deplasare, dar și pentru accelerarea înmulțirilor și generarea adreselor indexate. De asemenea, EU specifică pentru BIU momentul când are datele necesare a fi transmise către memorie sau la magistrala de I/E.

Unitatea de segmentare (SU – Segmentation Unit) translatează adresele segmentate în adrese liniare. Timpul de translatare a segmentului este aproape în întregime ascuns de paralelismul arhitecturii procesorului 386. Timpul tipic este deci de 0 ceasuri, dar dacă este necesar timp pentru translatarea adresei, acesta este de cel mult 1 ceas. Unitatea de segmentare conține o memorie (cache) ce păstrează informații din tabela de descriptori pentru fiecare din cele 6 registre segment.

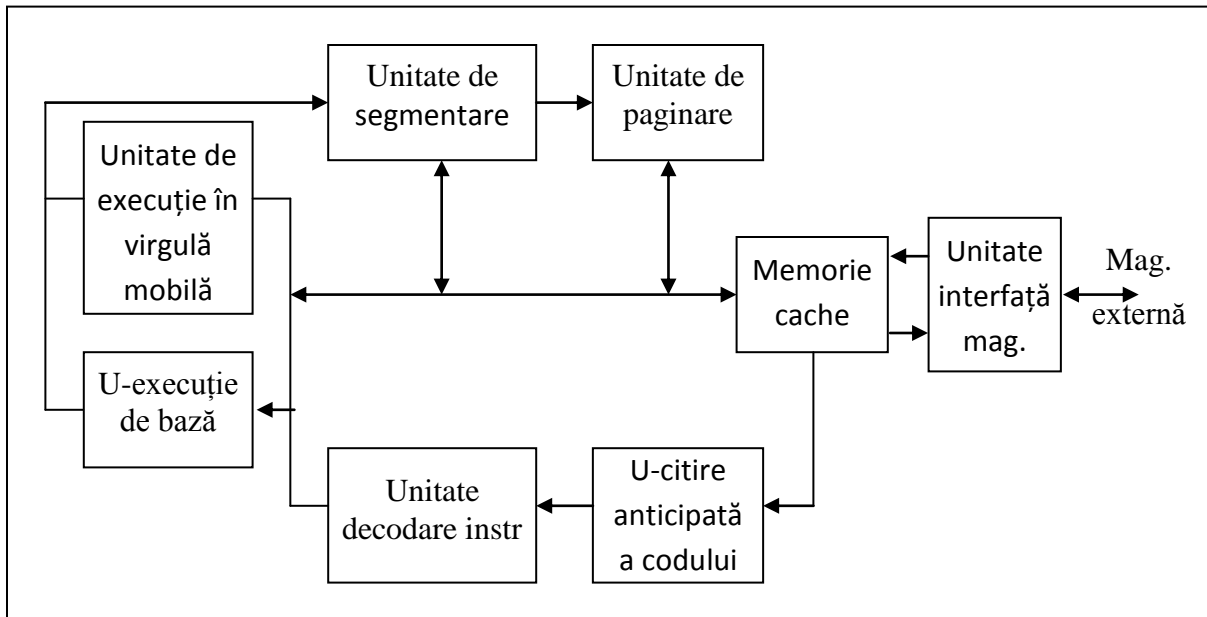
Unitatea de paginare (PU – Paging Unit) primește adresele liniare generate de SU și le convertește în adrese fizice. Dacă paginarea nu este activată (deci PU este dezactivată) adresa liniară de la SU devine adresă fizică. Când paginarea este activată, spațiul de adrese liniar al procesorului 386 este împărțit în blocuri de 4096 octeți, denumite pagini. Fiecare pagină poate fi „mapată“ (suprapusă) la o adresă fizică total diferită. Procesorul 386 utilizează o tabelă de pagini pentru a translata fiecare adresă liniară la o adresă fizică. Unitatea conține un cache asociativ denumit „tampon de translatare a adresei liniare în adresă fizică“ TLB (Translation Lookaside Buffer), care conține intrările (adresele) pentru 32 de pagini, cel mai recent utilizate. Dacă o intrare în tabela de pagini nu este găsită în TLB, un ciclu de citire din memorie, pe 32 de biți, aduce intrarea din memoria RAM. În condiții normale de operare, mai puțin de 2% din toate referirile la memorie solicită procesorului să caute o intrare în tabela de pagini în afara tabelii TLB. Timpul necesar pentru a realiza translația este cuprins între 0 și 5 ceasuri. Datorită tabelii TLB, întârzierea tipică este de 0,5 ceasuri.

Arhitectura procesorului 80486

Intel486™ adaugă noi facilități de execuție paralelă, prin expandarea unităților de decodificare și execuție instrucțiuni într-o bandă de asamblare cu cinci niveluri (stagii), unde fiecare nivel operează în paralel cu celelalte, până la cinci instrucțiuni în diferite stagii de execuție, într-un singur interval de ceas.

Arhitectura procesorului 80486 este aproape similară cu cea a procesorului 386. Diferențele dintre cele două arhitecturi constau din: o unitate de execuție adițională, care realizează

prelucrările în virgulă mobilă (cu alte cuvinte, coprocesorul matematic este adus în interiorul procesorului, deci în aceeași capsulă), și unitatea cache, care este plasată în locul BIU în procesorul 386. O unitate BIU există și în 80486, dar ea nu va fi activată dacă o cerere de date poate fi satisfăcută de acest cache (deci este un cache intern, pentru instrucțiuni și date). În plus, coada de instrucțiuni, din unitatea de citire anticipată a instrucțiunilor (prefetcher), gestionează o coadă de 32 de octeți, deci dublă față de cea a procesorului 386. Utilizarea „benzii de asamblare“, adică execuția în paralel a instrucțiunilor prin utilizarea unității de interfață cu magistrala (BIU) și a unității de execuție (EU), îmbunătățește performanța procesorului. Cu doar câteva excepții, această arhitectură permite execuția unei instrucțiuni pe o perioadă de ceas. În figură este prezentată diagrama bloc a unităților funcționale ale procesorului 80486.



Structura bloc a procesorului 80486

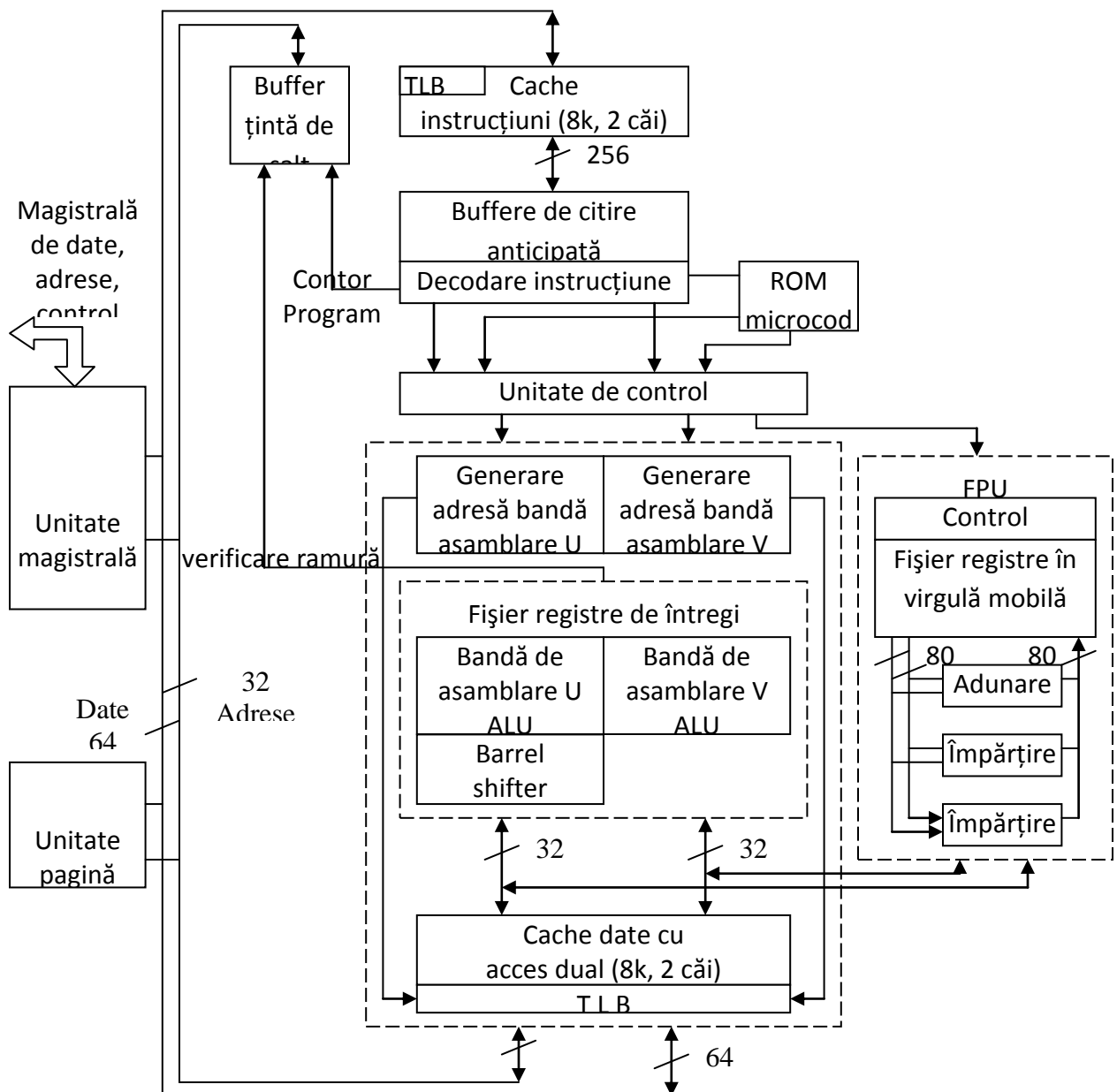
Unitatea de execuție în virgulă mobilă (de fapt coprocesorul) poate opera în paralel cu unitatea de execuție standard, deci pot apărea și se pot executa simultan operații în virgulă mobilă și operații standard.

Datorită acestui cache, procesorul 486 are performanțe mult îmbunătățite față de 386. Acest cache furnizează datele și instrucțiunile pentru referințele la memorie. Alte unități de prelucrare conțin cache-uri cu destinație specială, cum ar fi TLB; aceste cache-uri cu scop special există atât la 386, cât și la 486.

Cel mai lent 486 are un timp de ciclu instrucțiune de 40 nanosecunde. Memoriile externe RAM, ce pot răspunde rapid la cererile procesorului, sunt destul de scumpe. Din acest motiv, proiectanții de sistem utilizează memorii RAM mai lente și introduc stări de așteptare, „wait states“. Această stare își datorează numele faptului că CPU trebuie să aștepte pentru ca memoria externă RAM să citească sau să scrie informația cerută. Cache-ul păstrează copii ale datelor din memoria externă. Citirea copiilor din cache permite procesorului 486 să elimine stările de așteptare. În acest mod, procesorul 486 obține imediat operanzii, fără cicluri de referire la memorie (de cel puțin două ceasuri) sau fără stări „wait“ dependente de structura sistemului. Dimensiunea acestui cache este de numai 8Ko, astfel încât procesorul încearcă să utilizeze cât mai bine acest spațiu, păstrând în cache cele mai frecvent utilizate valori din memorie.

Procesoarele PENTIUM

Intel *PENTIUM* este un procesor superscalar avansat, construit în jurul a două benzi de asamblare întregi și una în virgulă mobilă (flotantă). Procesorul PENTIUM poate executa două instrucțiuni întregi simultan. Mecanismul de predicție dinamică a salturilor minimizează înghețările benzilor de asamblare. În figură este prezentată schema bloc a acestui procesor.



Schema bloc a procesorului PENTIUM

Întrucât procesorul Pentium este un procesor ce are, cu mici excepții, aceleași instrucțiuni cu procesorul 486, referirea la instrucțiunile acestuia este echivalentă cu referirea la instrucțiunile procesorului Pentium. Cele mai importante îmbunătățiri aduse procesorului Pentium, față de procesorul 486, sunt următoarele:

- memorie cache distinctă pentru instrucțiuni și pentru date (câte 8 Ko pentru fiecare);
- două benzi de asamblare pentru numere întregi (denumite U și V), Pentium fiind primul procesor superscalar;
- predicția adreselor de salt (numită și predicție dinamică) folosind un tampon care reține aceste adrese de salt (BTB – Branch Target Buffer);
- unitatea de calcul în virgulă mobilă organizată ca bandă de asamblare;
- magistrala externă pe 64 de biți, deci într-un singur acces (ceas) la memorie, se pot transfera cuvinte de 64 de biți;
- arhitectura internă îmbunătățită (superscalară) și algoritmi îmbunătățiți (rapizi) pentru execuția instrucțiunilor FPU (cele în virgulă mobilă) într-un singur ceas, sau două instrucțiuni cu numere întregi într-un singur ceas;
- folosirea parității pentru magistrala de date și cache-urile interne;
- monitorizarea performanțelor; execuție pas cu pas;
- alte facilități: modul de administrare al sistemului, extensie pentru mod virtual, suport biprocesor, gestionarea alimentării; detecția erorilor și a integrității datelor.

În plus, procesorul are implementat un mecanism redundant de testare a funcționării, pentru a realiza detecția erorii procesorului și a interfeței cu procesorul. Când se utilizează acest mecanism de verificare a funcționării (redundant), un al doilea „procesor“, „verificatorul“ sau „martorul“, este utilizat pentru a executa împreună cu procesorul „master“. „Martorul“ eșantionează ieșirile „master“-ului și compară acele valori cu valorile pe care le calculează și emite un semnal de eroare dacă apare o nepotrivire.

Arhitectura Intel P6 constituie baza pentru o familie de procesoare Intel: Pentium Pro, Pentium II Xeon, Pentium II, Pentium III, Pentium III Xeon și Celeron, Pentium 4. Aceste procesoare includ în arhitectura (tehnologia) lor caracteristicile și conceptele prezentate în continuare.

Bandă de asamblare (pipeline): mai multe instrucțiuni mașină sunt încărcate secvențial într-o linie complexă de prelucrare, asemănătoare cu memoria FIFO (în locul celulelor de memorie, aici se găsesc automate secvențiale, care efectuează diferite modificări asupra datelor ce trec prin pipeline) sau cu o bandă de asamblare. Prin pipeline, instrucțiunile sunt divizate în micro-operații ce se execută în unități separate. Rezultatul este „asamblat“ și se trimite în exterior. Dacă s-au încărcat date incorecte în structurile secvențiale ale pipeline-ului (de ex. la execuția speculativă ultimul salt a fost greșit) atunci pipeline-ul este golit și reîncărcat cu date corecte; deci el conține toate operațiile/rezultatele ce se execută, în acel moment, în diferite stadii, în funcție de poziția lor în structura secvențială a pipeline-ului.

Procesoarele până la 486 aveau ceea ce este cunoscut sub numele de bandă de asamblare cu un singur nivel (single-step pipeline), care le restricționa funcționarea la terminarea unei instrucțiuni înainte de începerea instrucțiunii următoare. Conceptul de bandă de asamblare impune ca procesorul să dividă o instrucțiune în pași (etape) secvențiali utilizând diferite resurse. Pentium are o structură de bandă de asamblare organizată pe 5 nivele, în timp ce Pentium Pro are 12 nivele. Această caracteristică le permite să execute mai multe operații în paralel.