



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculă e-content pentru învățământul superior tehnic

Electronică Digitală

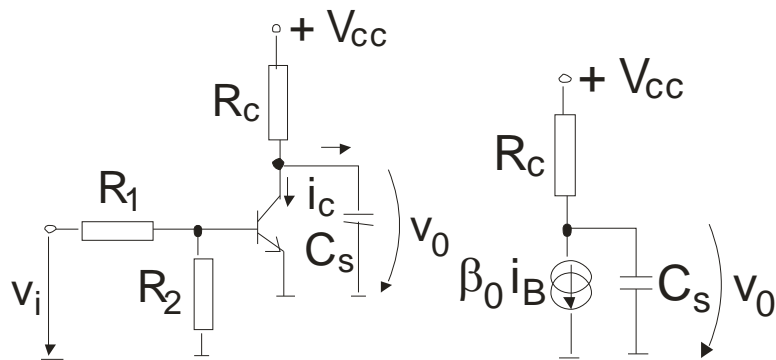
5. Circuite logice elementare

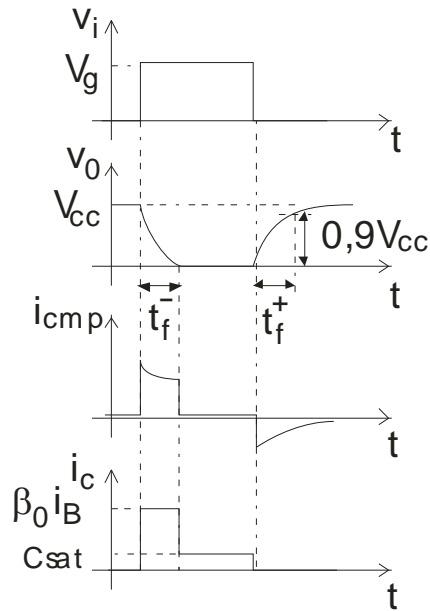
Comutarea inversorului cu TBIP și cu sarcină capacitivă

* capacitatea de sarcină:

- capacitatea de intrare a circuitelor comandate,
- capacitatea de ieșire a circuitului de comandă,
- capacitatea parazită a conexiunilor
- toate distribuite și neliniare

* TBIP este considerat comutator ideal (neidealitățile lui înrăutățesc răspunsul tranzitoriu al circuitului);





- se stabilesc condițiile inițiale pentru formele de undă;
- la apariția impulsului de comandă (comutarea directă):

$$- i_B = \frac{V_g - V_{BE}}{R_1} - \frac{V_{BE}}{R_2}; \quad \text{TBIP rămâne în RAN (deoarece tensiunea de}$$

colector nu poate scădea brusc din cauza capacității care nu admite salturi de tensiune), deci: $i_C = \beta_0 i_B$;

- începe descărcarea capacității de sarcină și tensiunea de ieșire scade spre tensiunea echivalentă $V_{CC} - \beta_0 i_B R_C$ după legea:

$$- v_0(t) = V_{CC} - \beta_0 i_B R_C + \beta_0 i_B R_C e^{-\frac{t}{\tau}} \quad \text{cu: } \tau = C_s R_c$$

- comutarea directă se termină când tensiunea de ieșire se anulează: $v_0(t_f^-) = V_{CEsat} \cong 0$ după timpul (durata frontului descrescător):

$$- t_f^- = C_s R_c \ln \frac{\beta_0 i_B R_c}{\beta_0 i_B R_c - V_{CC}} \cong \frac{C_s V_{CC}}{\beta_0 i_B}, \quad \text{dacă } \beta_0 i_B R_c \gg V_{CC}$$

- pe durata impulsului TBIP este saturat dacă este îndeplinită condiția anterioară echivalentă cu condiția: $i_B > i_{Bsi} = \frac{V_{CC}}{\beta_0 R_c}$.

- la dispariția impulsului de comandă (comutarea inversă) TBIP se blochează și capacitatea de sarcină se încarcă după legea:

$$- v_0(t) = V_{CC} \left(1 - e^{-\frac{t}{\tau}} \right)$$

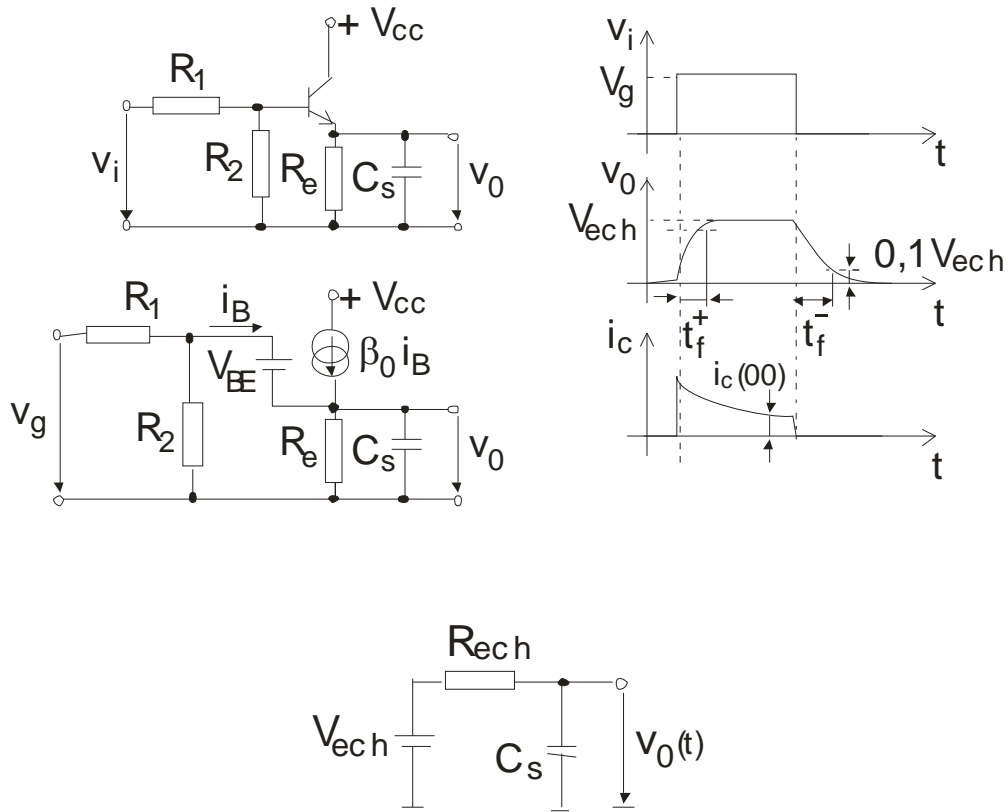
- durata frontului crescător: $t_f^+ = 2,3C_s R_c \gg t_f^-$

Concluzii:

- inversorul descarcă repede o capacitate de sarcină dar o încarcă greu;
- durata frontului crescător se poate micșora prin micșorarea rezistenței de colector, dar crește puterea disipată și crește și t_f^- .

Comutarea repetorului pe emitor cu sarcină capacitivă

- * se folosește în clasă A ca etaj de adaptare datorită performanțelor sale;
- * se folosește și ca un comutator BL-COND (la TTL);
- * TBIP este considerat comutator ideal (neidealitățile lui înrăutățesc răspunsul tranzitoriu al circuitului);
- * capacitatea de sarcină – la fel ca în cazul anterior.
- * nu se saturează.



- condiții inițiale: tensiunea de ieșire este nulă;

- la apariția impulsului (comutarea directă), TBIP se deschide în RAN, tensiunea de ieșire începe să crească:

$$- V_{ech} = R_c (\beta_0 + 1) \frac{V_g \frac{R_2}{R_1 + R_2} - V_{BE} - V_{ech}}{R_1 \parallel R_2}, \text{ de unde:}$$

$$- V_{ech} = \left(V_g \frac{R_2}{R_1 + R_2} - V_{BE} \right) \frac{1}{1 + \frac{R_1 \parallel R_2}{(\beta_0 + 1)R_e}};$$

$$- R_{ech} = R_e \left\| \frac{R_1 \parallel R_2}{\beta_0 + 1} \right\|;$$

$$- v_0(t) = V_{ech} \left(1 - e^{-\frac{t}{C_s R_{ech}}} \right).$$

- durata frontului crescător:

$$- t_f^+ = 2,3 C_s R_{ech} \text{ (mic).}$$

- la dispariția impulsului (comutarea inversă), TBIP se blochează și capacitatea de sarcină se va descărca spre zero prin rezistența din emitor:

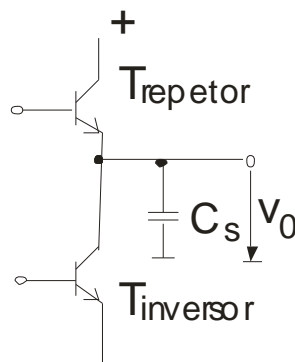
$$- v_0(t) = V_{ech} e^{-\frac{t}{C_s R_e}};$$

- durata frontului descrescător:

$$- t_f^- = 2,3 C_s R_e \gg t_f^+$$

Concluzii: un repetor pe emitor încarcă repede o capacitate de sarcină dar o descarcă greu.

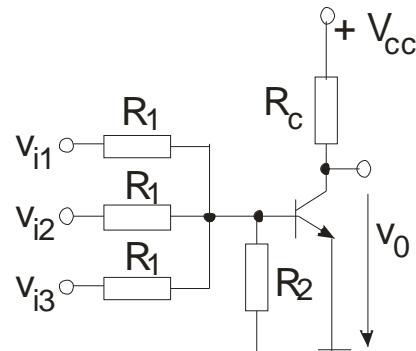
* stâlp totemic – prin combinația celor două circuite:



Circuite logice din familia RTL

- funcția logică – însumare de tensiuni pe rezistențe egale + inversor cu TBIP

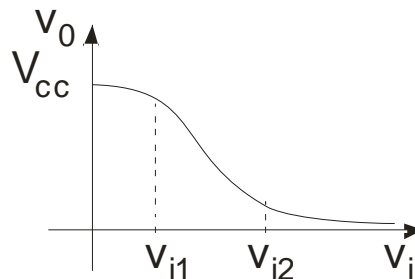
SAU – NU



- funcționare: TBIP utilizat pentru refacerea nivelelor logice

TBIP este deschis dacă cel puțin una dintre intrări este la nivel logic UNU ceea ce asigură nivel logic ZERO la ieșire; în caz contrar, la ieșire se obține nivel logic UNU.

- caracteristica de transfer (m este numărul de intrări):



$$- v_i < V_{i1} = V_{BE} \left(1 + \frac{R_1}{R_2 \parallel \frac{R_1}{m-1}} \right) \quad \text{TBIP blocat, } v_0 = V_{CC} = V_{0H} \text{ (în gol);}$$

$$- V_{i1} < v_i < V_{i2} = R_1 \left(\frac{V_{CC}}{\beta_0 R_c} + \frac{V_{BE}}{R_2 \parallel \frac{R_1}{m-1}} \right) + V_{BE} \quad \text{TBIP în RAN:}$$

$$v_0 = V_{CC} - \beta_0 R_c \left(\frac{v_i - V_{BE}}{R_1} - \frac{V_{BE}}{R_2 \parallel \frac{R_1}{m-1}} \right)$$

$$- v_i > V_{i2} \quad \text{TBIP în SAT: } v_0 = V_{oL} = V_{CEsat} \cong 0$$

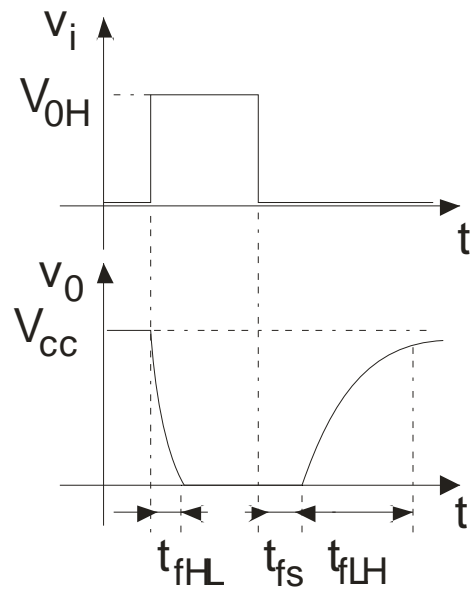
$$- \text{zona de tranziție: } \Delta V_{it} = V_{iH} - V_{iL} \cong V_{i2} - V_{i1} \quad (\text{mică});$$

- marginile de zgomot statice:

$$- MZL = V_{i1} - V_{oL}; \quad MZH = V_{oH} - V_{i2}; \quad MZL < MZH \quad (\text{în gol});$$

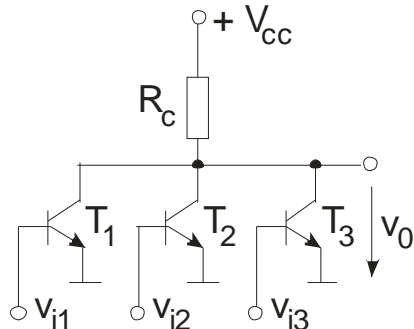
- determinarea fan-out: numărul de sarcini este limitat de curentul ce poate fi obținut prin rezistența de colector când TBIP este blocat și trebuie să asigure saturarea tuturor tranzistoarelor comandate.

- regimul tranzitoriu este cel caracteristic unui inversor cu TBIP.

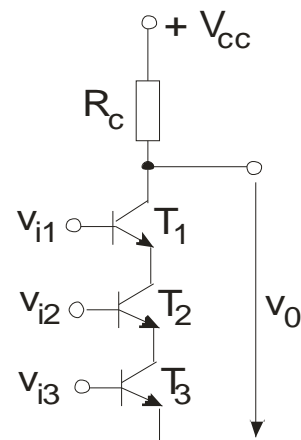


Circuite logice din familia DCTL

- * influența distribuției parametrilor
- * evoluție spre IIL
- * logica se realizează prin însumarea curenților TBIP
- * schema:



structura SAU NU



structura Și NU

* funcționare SAU NU:

- dacă la o intrare este nivel logic UNU, TBIP este sat., la ieșire
 $v_o = V_{0L} = V_{CEsat} \cong 0$;

- dacă la toate intrările se aplică nivel logic ZERO, TBIP este blocat și
 $v_o = V_{0H} = V_{CC}$ (în gol);

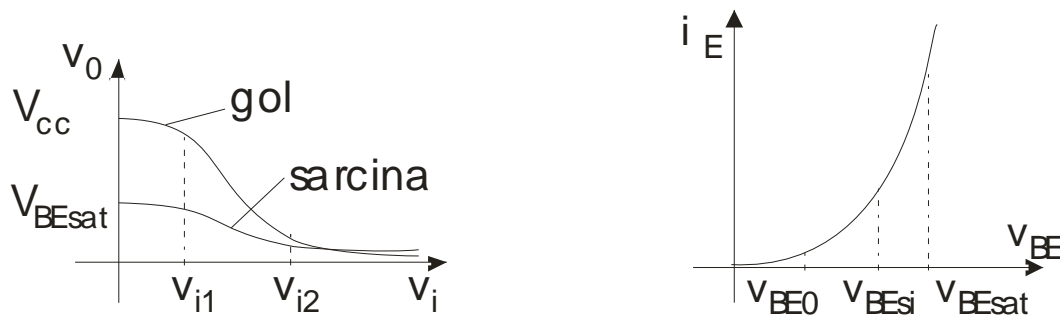
* funcționare Și NU:

- dacă la o intrare este nivel logic ZERO, TBIP este blocat și la ieșire se
obține $v_o = V_{CC} = V_{oH}$;

- dacă la toate intrările se aplică nivel logic UNU, toate TBIP sunt în SAT și la ieșire se obține $v_o = V_{oL} = V_{CEsat}$.

* circuitul ȘI NU nu este compatibil nici cu el însuși (decât cu restricții severe de proiectare) din cauza nivelelor de tensiuni corespunzătoare aceluiași nivel logic ZERO pe intrări.

* caracteristica de transfer:

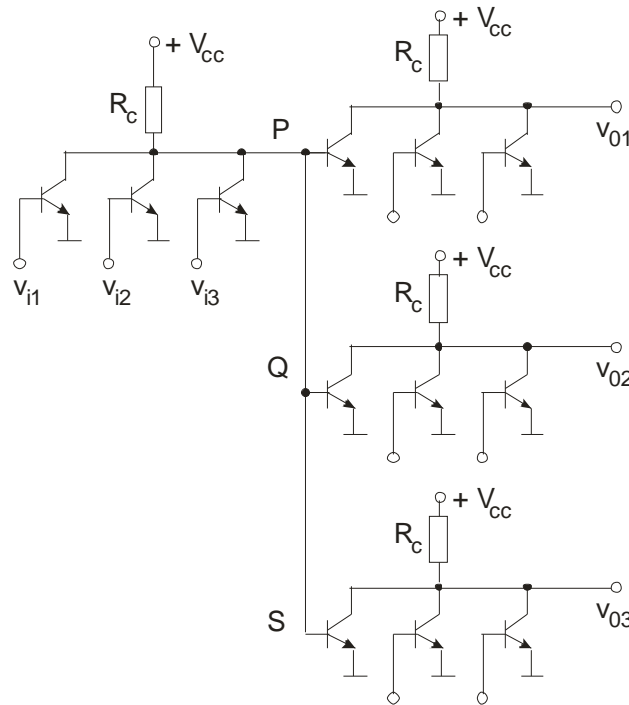


$$V_{i1} = V_{BE0} \cong 0,6V;$$

$$V_{i2} = V_{BEsi} \cong 0,8V.$$

Rezultă: $MZL < MZH$ (în gol !) dar: MZH foarte mic în sarcină deoarece $V_{oH} = V_{BEsat}$ apropiat de V_{BEsi} .

* determinarea fan-out:



- din condițiile pentru cele două nivele logice, restrictivă este condiția de saturare a tranzistoarelor comandate, în starea logică ZERO, în cele mai defavorabile condiții de funcționare asigurându-se un grad minim de saturație a acestora; se va lua în considerare dispersia de fabricație a caracteristicii de intrare a tranzistoarelor, cu influență majoră din cauza caracterului exponențial pe care îl are;

- tranzistoarele au caracteristici de intrare cuprinse între caracteristica de tip P și caracteristica de intrare de tip Q; la aceeași tensiune de intrare, V_{BE} , se obțin curenți de bază între limitele I_{BP} și I_{BQ} ;

- se definește coeficientul de neuniformitate: $\varepsilon = \frac{I_{BP}}{I_{BQ}}$ cu valori de

20 ÷ 50 pentru tranzistoare discrete și < 10 pentru tranzistoare integrate.

- în cazul cel mai defavorabil, tranzistorul Q trebuie să fie saturat cu gradul de saturație minim n :

$$I_{BQ} > (n+1)I_{Bsi} \text{ cu } I_{Bsi} = \frac{1}{\beta_0} \frac{V_{CC} - V_{CEsat}}{R_c} \cong \frac{1}{\beta_0} \frac{V_{CC}}{R_c}.$$

- în cazul cel mai defavorabil, este un tranzistor de tipul Q și celelalte fiind de tipul P; curentul de sarcină va fi:

$$- i_s = \frac{V_{CC} - V_{BE}}{R_c} = (N - 1)I_{BP} + I_{BQ} = (N - 1)\varepsilon I_{BQ} + I_{BQ};$$

$$- \text{rezultă: } I_{BQ} = \frac{V_{CC} - V_{BE}}{R_c} \frac{1}{1 + \varepsilon(N - 1)}.$$

- condiția de saturație devine:

$$\frac{V_{CC} - V_{BE}}{R_c} \frac{1}{1 + \varepsilon(N - 1)} > (n + 1) \frac{V_{CC} - V_{CEsat}}{\beta_0 R_c} \quad \text{și rezultă:}$$

$$N < 1 + \frac{1}{\varepsilon} \left(\frac{V_{CC} - V_{BE}}{V_{CC} - V_{CEsat}} \frac{\beta_0}{n + 1} - 1 \right).$$

* cazuri particulare:

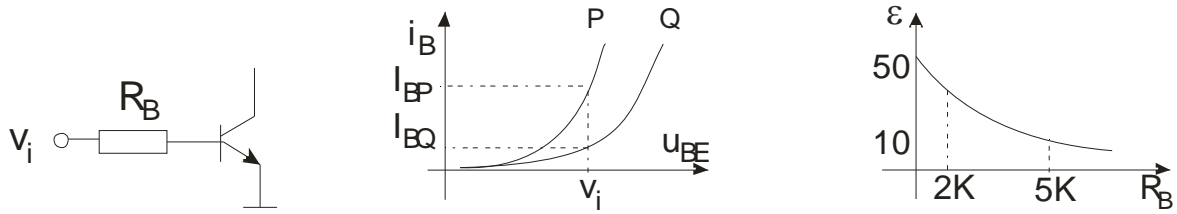
$$- \varepsilon = 1; \quad N < \frac{V_{CC} - V_{BE}}{V_{CC}} \frac{\beta_0}{n + 1};$$

$$- \text{dacă: } V_{CC} = 4V_{BE} \text{ (valoare tipică pentru } V_{CC}): N < \frac{3}{4} \frac{\beta_0}{n + 1}$$

$$- \text{pentru } n = 3; \quad \beta_0 = 100 \rightarrow N_{\max} = 18;$$

$$- \varepsilon = 10; \quad \text{în aceleași condiții: } N_{\max} = 3.$$

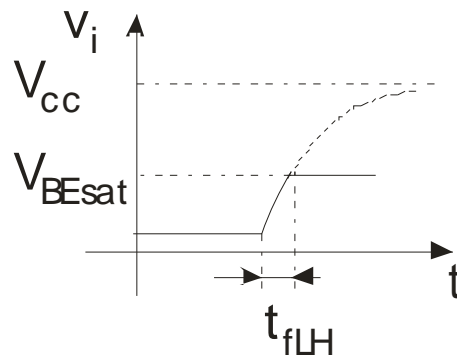
* soluție pentru micșorarea lui ε :



- se vede că: $V_i = V_{BE} + R_B i_B$ produce o liniarizare a caracteristicii de intrare.

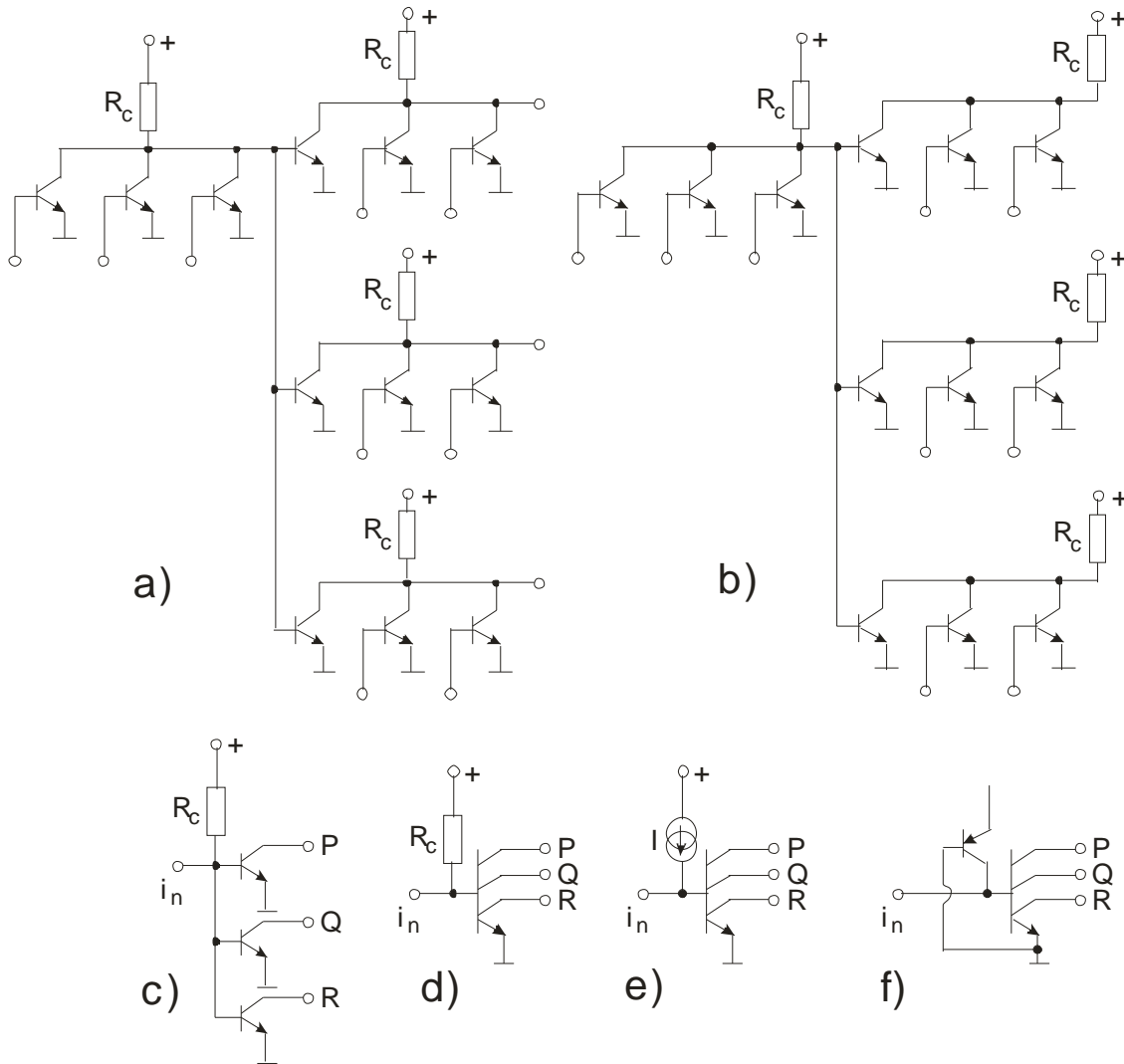
- dezavantaj R_B : răspuns tranzitoriu, integrare monolitică.

* regim tranzitoriu – dezavantaj inversor.



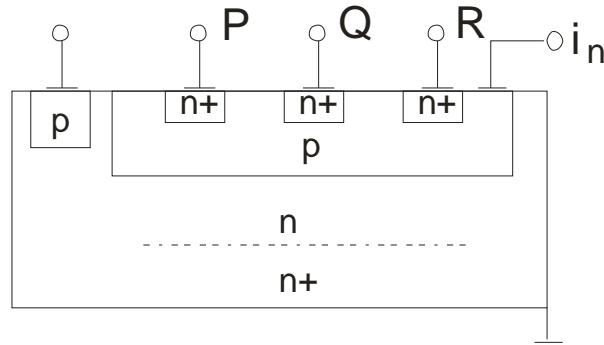
Circuite logice din familia IIL

➤ se poate considera că derivă din familia DCTL:

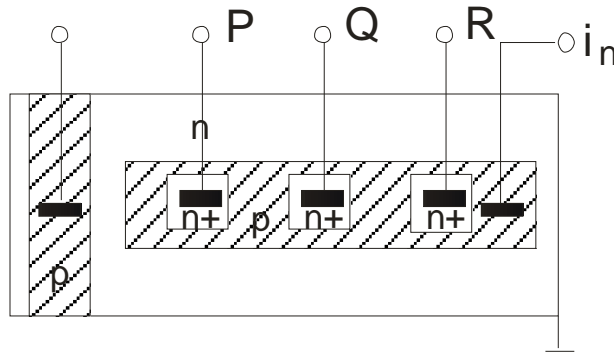


- tranzistor injector;
- structura tehnologică unitară (suprafață mică → grad mare de integrare);
- curentul de injecție se alege prin polrizarea circuitului și prin ariile joncțiunilor (putere disipată mică și controlabilă);
- * secțiune și lay-out

- tranzistor injector



* funcționare:

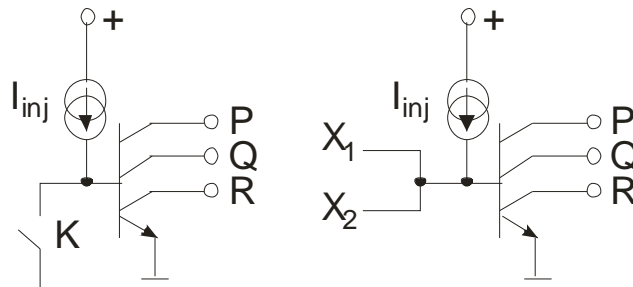


- K deschis (UNU): $I_{inj} \rightarrow$ bază, toate secțiunile P,Q și R sunt saturate și la ieșiri se obțin tensiuni mici (V_{CEsat}) corespunzătoare nivelului logic ZERO;

- K închis (ZERO): toate tranzistoarele sunt blocate, ieșirile sunt flotante și pot accepta tensiune impuse de alte circuite, în cazul banal, tensiunea V_{BEsat} a unuia dintre tranzistoarele comandate care va fi nivel logic UNU;

- comportarea este de circuit inversor cu o intrare și mai multe ieșiri;

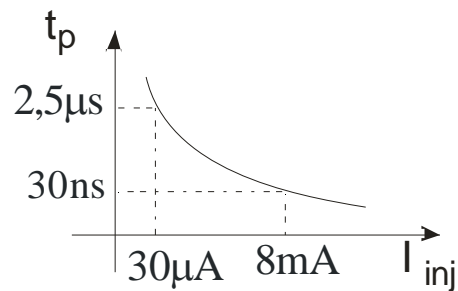
- se pot conecta și mai multe intrări în paralel pentru realizarea funcției NAND:



* deficiență majoră: T lucrează în regim inversat (c olectorul este mai puternic dopat decât emitorul) și, ca urmare, câștigul ascendent scade mult, factorul de curent β_0 având valori de $5 \div 10$, ceea ce limitează numărul de colector la $3 \div 5$.

* regimul tranzitoriu: se schimbă circuitul în care se aplică curentul de injecție:

- la comutare directă (de la blocare la saturație, tensiunea de ieșire scade de la V_{BEsat} la V_{CEsat} prin descărcarea capacității de sarcină, ca la un inversor cu TBIP (adică relativ repede), iar comutarea inversă se face prin încărcarea capacității de sarcină prin curentul de injecție. Deoarece timpul de propagare este dat, în principal, de timpul de comutare inversă, rezultă că va fi dependent de curentul de injecție;



- pentru curenți de injecție între $0,5\mu A$ și $0,5mA$ se obțin timpi de propagare (pentru celula elementară) între $1\mu s$ și $50ns$.

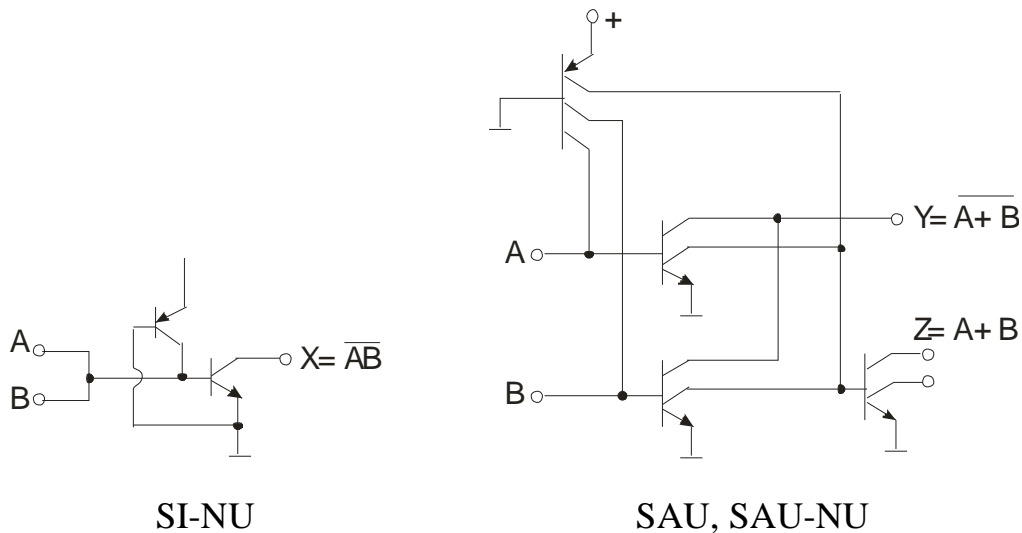
Avantaje ale tehnologiei IIL:

- suprafață mică pe plachetă (nu sunt rezistențe), densitate mare;
- tensiune de alimentare scăzută (sub $1V$), P_d mică, densitate mare;
- fiabilitate ridicată pentru că P_d mică;

- proces tehnologic compatibil cu cel al CIL (utilizare în convertoare A-D-A);
- posibilitatea realizării compromisului putere disipată – viteză de funcționare;
- valoarea factorului de merit este de $1pJ$, cea mai mică valoare pentru circuite logice cu TBIP, comparabilă cu CMOS (capacități parazite mici, excursii mici de tensiuni între cele două nivele logice);
- posibilitatea realizării unor circuite complexe cu puține elemente.

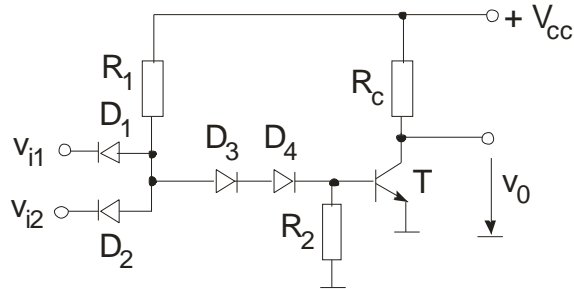
Exemple:

* structura βP 1000 cu 160 structuri cu 5 colectoare;



Circuite logice din familia DTL

➤ structura de bază:



- poartă ȘI-NU – funcționare din punct de vedere electric:

- toate diodele de la intrare blocate, tranzistorul se saturează și la ieșire se obține nivel logic ZERO;

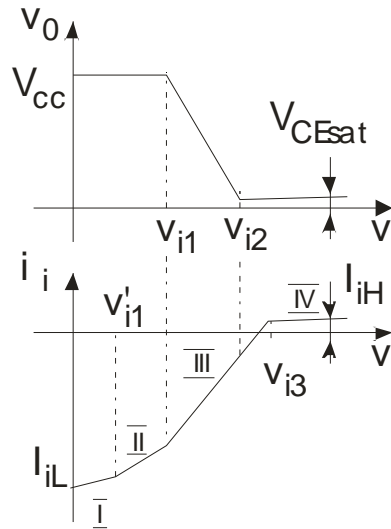
- cel puțin o diodă de la intrare este deschisă, tranzistorul este blocat și la ieșire se obține tensiune mare (V_{CC}), nivel logic UNU;

- logica: D_1, D_2, R_1 ;

- circuite de transpoziție: D_A, D_B ;

- inversor: T, R_C (și celelate elemente de circuit).

* caracteristica de transfer, $v_0(v_i)$:



- $v_i < V_{i1} = V_{BE0} + V_{DA} + V_{DB} - V_{D1} \cong 1,4V \rightarrow$ Dioda de intrare este deschisă, diodele de transpoziție și jonctiunea bază-emitor a tranzistorului vor fi blocate, tensiunea de ieșire va fi V_{CC} , nivel logic UNU;

- $V_{i1} < v_i < V_{i2} = V_{BE} + V_{DA} + V_{DB} - V_{D1} \cong 1,6V \rightarrow$ tranzistorul este deschis în RAN;

- $v_i > V_{i2} \rightarrow$ tranzistorul este saturat, tensiunea de ieșire este V_{CEsat} .

- zona de tranziție: $\Delta V_{it} = V_{i2} - V_{i1}$ (foarte mică).

* caracteristica de intrare:

- zona I: $v_i < V'_i = 2V_{D0} - V_{D1}$, diodele de transpoziție sunt blocate;

$$i_i = -\frac{V_{CC} - V_D - v_i}{R_1} = \frac{v_i}{R_1} - \frac{V_{CC} - V_D}{R_1} \text{ unde: } I_{iL} = \frac{V_{CC} - V_D}{R_1}; \text{ caracteristica are}$$

panta dată de R_1 ;

- zona II: $V'_i < v_i < V_{i2}$, panta este dată de $R_1 \parallel R_B$;

- zona III: panta foarte mare, tranzistorul fiind deschis;

- zona IV: anularea curentului de intrare: $V_{i3} = V_{DA} + V_{DB} - V_{D0} \cong 1,8V$;
 tranzistorul este saturat, $I_{iH} = 0$.

* marginile de zgomot statice:

$$MZL = V_{i1} - V_{0L} \cong V_{i1}; \quad MZH = V_{0H} - V_{i2} \cong V_{CC} - V_{i2}$$

* zona de tranziție:

$$\Delta V_t = V_{i2} - V_{i1} \cong 0,2V;$$

* tensiunea de prag logic:

$$V_{prL} \cong 1.5V.$$

* capacitatea de încărcare maximă statică maximă, N_{\max} :

- starea logică UNU – număr nelimitat ($I_{iH} = 0$);

- starea logică ZERO: tranzistorul de comandă să rămână în saturație cu un grad minim de saturație n :

$$i_B > (n+1)i_{Bsi};$$

$$i_B = \frac{V_{CC} - 2V_D - V_{BE}}{R_1} - \frac{V_{BE}}{R_B};$$

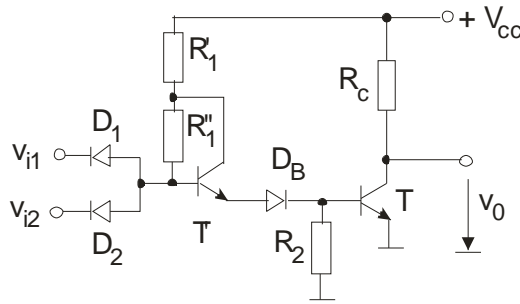
$$i_{Bsi} = \frac{1}{\beta_0} \left(\frac{V_{CC}}{R_c} + N \frac{V_{CC} - V_D}{R_1} \right);$$

Rezultă:

$$N_{\max} \leq \frac{R_1}{V_{CC} - V_D} \left[\frac{\beta_0}{n+1} \left(\frac{V_{CC} - 2V_D - V_{BE}}{R_1} - \frac{V_{BE}}{R_B} \right) - \frac{V_{CC}}{R_c} \right].$$

N_{\max} depinde de tranzistor (β_0, V_{BE}) și de circuit (V_{CC}, R_1, R_B, R_C).

* mărirea lui N_{\max} :



- condiții: rolul lui D_A preluat de joncțiunea BE a tranzistorului T' ;

$$- i_B = i_E' - \frac{V_{BE}}{R_B}; \quad R_1' + R_1'' = R_1;$$

$$- V_{CC} = R_1' i_E' + R_1'' \frac{i_E'}{\beta_0' + 1} + V_{BE}' + V_D + V_{BE} \Rightarrow i_E' = \frac{V_{CC} - V_{BE}' - V_D - V_{BE}}{R_1' + \frac{R_1''}{\beta_0' + 1}}$$

$$N_{\max} \leq \frac{R_1}{V_{CC} - V_D} \left[\frac{\beta_0}{n+1} \left(\frac{V_{CC} - V_{BE}' - V_D - V_{BE}}{R_1' + \frac{R_1''}{\beta_0' + 1}} - \frac{V_{BE}}{R_B} \right) - \frac{V_{CC}}{R_C} \right].$$

* caracteristici de alimentare:

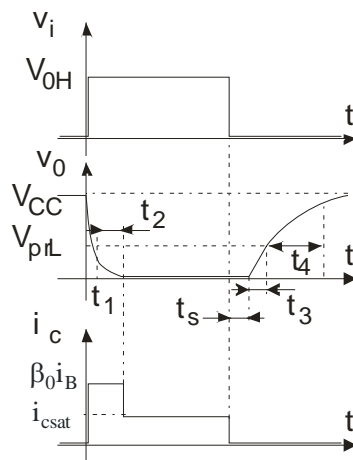
$$I_{CCH} = \frac{V_{CC} - V_D}{R_1}; \quad I_{CCL} = \frac{V_{CC} - 2V_D - V_{BE}}{R_1} + \frac{V_{CC}}{R_C};$$

$$P_d = \frac{1}{2} V_{CC} \left(\frac{V_{CC} - V_D}{R_1} + \frac{V_{CC} - 2V_D - V_{BE}}{R_1} + \frac{V_{CC}}{R_c} \right).$$

- exemplu: $I_{CCH} = 1,05mA$; $I_{CCL} = 5,65mA$; $P_d = 17mW$.

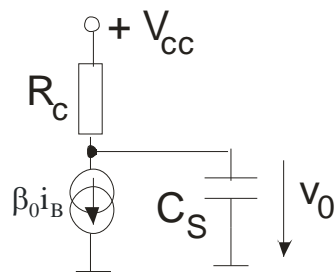
* regim tranzitoriu:

- avantajele și dezavantajele inversorului cu TBIP;



* comutarea directă:
$$i_B = \frac{V_{CC} - 2V_D - V_{BE}}{R_1} - \frac{V_{BE}}{R_B};$$

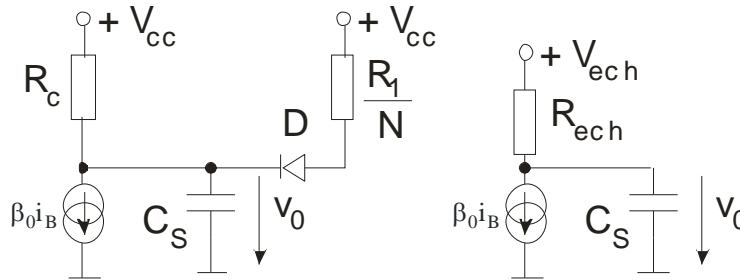
a)



$$v_o(t) = V_{CC} - \beta_0 i_B R_c + \beta_0 i_B R_c e^{-\frac{t}{R_c C_s}}; \quad v_o(t_1) = V_{prL};$$

$$t_1 = C_s R_c \ln \frac{\beta_0 i_B R_c}{\beta_0 i_B R_c - V_{CC} + V_{prL}}$$

b)



$$R_{ech} = R_c \parallel \frac{R_1}{N};$$

$$V_{ech} = \frac{\frac{V_{cc}}{R_c} + N \frac{V_{CC} - V_D}{R_1}}{\frac{1}{R_c} + \frac{N}{R_1}};$$

$$v_o(t) = V_{ech} - \beta_0 i_B R_c + (V_{prL} - V_{ech} + \beta_0 i_B R_c) e^{-\frac{t}{C_s R_{ech}}}.$$

Din condiția: $v_o(t_2) = 0$, rezultă:

$$t_2 = C_s V_{ech} \ln \frac{\beta_0 i_B R_c - V_{ech} + V_{prL}}{\beta_0 i_B R_c - V_{ech}}.$$

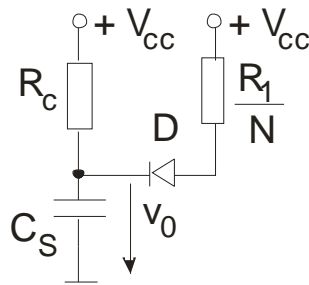
Deci: $t_f^- \cong t_1 + t_2$.

$$* \text{ comutarea inversă: } i_{B0} = \frac{V_{BE}}{R_B}; \quad i_{Bsi} = \frac{1}{\beta_0} \left(\frac{V_{CC}}{R_c} + N \frac{V_{CC} - V_D}{R_1} \right)$$

c) timpul de stocare: $t_s = \tau_s \ln \frac{i_B + i_{B0}}{i_{Bsi} + i_{B0}}$;

comentariu: R_B, t_1, t_2 .

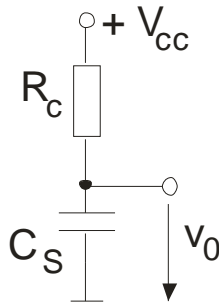
d)



$$v_o(t) = V_{ech} \left(1 - e^{-\frac{t}{C_s R_{ech}}} \right); \quad v_o(t_3) = V_{prL};$$

$$t_3 = C_s R_{ech} \ln \frac{V_{ech}}{V_{ech} - V_{prL}}.$$

e)



$$v_o(t) = V_{CC} + (V_{prL} - V_{CC}) e^{-\frac{t}{C_s R_{ech}}}; \quad v_o(t_4) = 0,9V_{CC};$$

$$t_4 = C_s R_{ech} \ln \frac{V_{CC} - V_{prL}}{0,1V_{cc}}.$$

$$t_f^+ = t_3 + t_4; \quad t_p = \frac{t_1 + t_s + t_3}{2}.$$

* Varianta DTHL:

- pentru utilizare în medii zgomotoase;
- imunitate la zgomote ridicată:
 - diferențe mari între nivelele logice $\rightarrow V_{CC}$ crește (15 V);
 - marginile de zgomot depind de diodele de transpoziție.

Sursa: Nicolae Cupcea, *Structura circuitelor digitale*, Editura Matrix Rom, București.