

Laboratorul 3 – Implementarea interfetelor cu mediul exterior

Obiective

Acest laborator isi propune sa prezinte modul de realizare a unor interfete cu mediul exterior astfel incat sa se poata trimite date si sa se vizualizeze rezultatele utilizand diverse implementari.

Proiectarea

Leduri

Cel mai simplu mod de a vizualiza un rezultat este comandarea unui led (sau a unui grup de leduri). Ledurile sunt conectate la masa si prin intermediul unei rezistente, ce are rolul de a limita curentul, la unul din pinii FPGA-ului. Astfel prin setarea iesirii pe valoarea „1” ledul se aprinde (cand valoarea iesirii este „0” ledul este stins). Pinii corespunzatori celor 8 leduri disponibile pe placa de test sunt:

LED1	P11
LED2	P10
LED3	P9
LED4	P8
LED5	P7
LED6	P6
LED7	P5
LED8	P4

Switchuri si butoane

Orice implementare are nevoie si de date de intrare. Cel mai simplu mod de a introduce date este prin intermediul switchurilor si a butoanelor.

Switchurile au doua pozitii. In pozitia „activa” ele conecteaza pinul corespunzator la Vcc prin intermediul unei rezistente. Astfel intrarea primeste valoarea „1”. In pozitia inactiva, switchul este conectat la masa (Gnd) si astfel intrarea primeste valoarea „0”.

Butoanele realizeaza contact doar la actionare revenind ulterior in starea initiala. Pinul de intrare al FPGA-ului poate fi conectat fie la masa (Gnd), fie la Vcc prin intermediul unei rezistente. Astfel se obtine valoarea permanenta „0”, respectiv „1”. Butonul are rolul de a conecta temporar pinul de intrare la valoarea opusa.

Pinii corespunzatori celor 8 switchuri si al butonului disponibile pe placa de test sunt:

SW1	P23
SW2	P22
SW3	P21
SW4	P20
SW5	P18
SW6	P17
SW7	P16
SW8	P15
BTN	P188

Ceasul

Pentru implementarea circuitelor logice sincrone este nevoie de un semnal de ceas cu o frecventa cunoscuta si stabila. Acest semnal se obtine de obicei de la un oscilator extern ce este conectat la FPGA prin intermediul unui pin de intrare special.

In cazul placii de test, oscilatorul are frecventa de 50MHz si este conectat la FPGA cu ajutorul pinului:

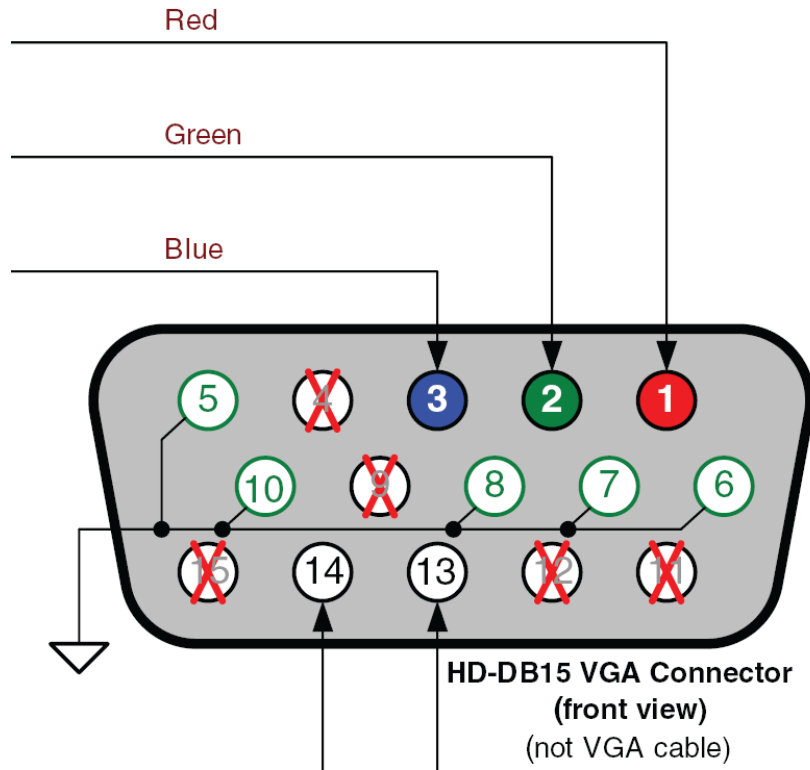
CLK P182

Daca este nevoie de alte frecvente de lucru, se poate utiliza un alt oscilator prin intermediul unui soclu liber sau se poate deriva un semnal de ceas din cel initial cu ajutorul unor divizoare sau a componentelor de management al ceasului din cadrul FPGA-ului (DCM).

Modulul VGA

Deoarece posibilitatile de afisare pe leduri sunt limitate, iar interpretarea rezultatelor poate deveni greoaie, o buna alternativa este reprezentarea lor pe un monitor. Pentru a realiza acest lucru trebuie implementat un modul care genereaza semnalele necesare comandarii monitorului conform standardului prin intermediul conectorului HD-DB15.

Acest conector utilizeaza 5 semnale utile: Hsync, Vsync, Red, Green si Blue. Primele doua sunt semnale de sincronizare si au valori logice („0” sau „1”). Semnalele corespunzatoare celor trei culori au valori cuprinse intre 0 si 0.7 V si ele sunt obtinute cu ajutorul unor retele de rezistente de diverse valori. Pentru a obtine un numar mai mare de culori este nevoie de mai multe iesiri pentru fiecare culoare. In cazul placii de test, pentru fiecare culoare se utilizeaza 3 biti si astfel se pot obtine 512 valori distincte ($3^3=9$ si $2^9=512$).



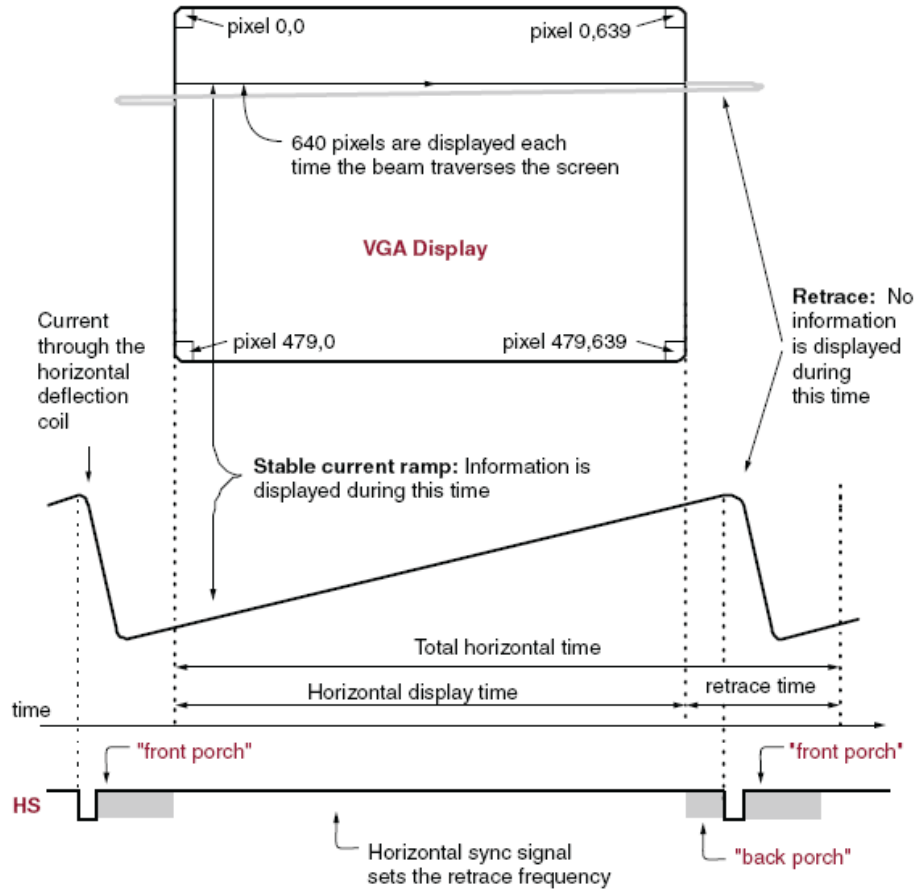
Pinii 13 si 14 sunt conectati la Hsync si respectiv Vsync

Semnalele de sincronizare sunt independente de numarul de culori ce se poate reprezenta.

Monitoarele CRT utilizeaza de modularea in amplitudine a fasciculelor de electroni emisi realizanduse astfel pozitionarea pe orizontala si verticala. Monitoarele LCD utilizeaza o matrice de comutatoare ce aplica o tensiune mica creistalelor lichide schimbandu-le astfel transparenta. Desi cele doua tipuri de monitoare utilizeaza metode diferite, semnalele de sincronizare sunt aceleasi. Afisarea incepe cu pixelul din stanga sus si se termina cu cel din dreapta jos. Ea se face pixel cu pixel (cate un pixel la fiecare perioada de ceas) pana cand se termina linia curenta si se trece la linia urmatoare (se afiseaza intai pe orizontala in cadrul unei linii).

Specificatiile sunt realizate de organizatia VESA (www.vesa.org), existand mai multe rezolutii standard astfel incat sa se poata utiliza diverse monitoare si conditiile in care rezultatele sa fie asemanatoare.

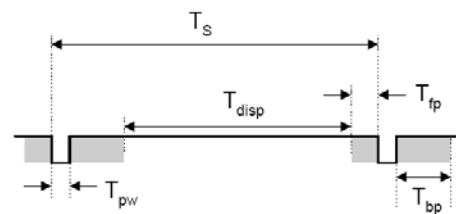
In continuare se va prezenta un exemplu pentru rezolutia de 640x480 pixeli cu o rata de 60Hz si valorile parametrilor pentru rezolutia folosita in cadul experimentelor de laborator (800x600 pixeli la 72Hz).



Pentru fiecare pixel se stabileste culoarea prin setarea valorilor adecvate pentru cei 9 biti (3 Red, 3 Green si 3 Blue).

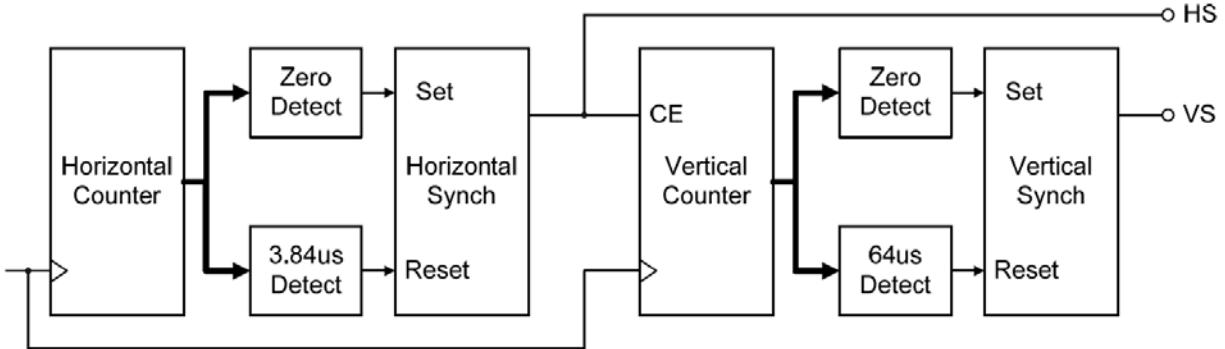
Rezolutia si rata de improspatare a imaginii sunt date de frecventa de ceas cu care este trimis semnalul. Astfel pentru un ceas cu o frecventa de 25MHz se obtine o rezolutie de 640x480 pixeli si 60Hz, iar pentru un ceas cu o frecventa de 50MHz se obtine rezolutia de 800x600 pixeli si 72Hz.

Symbol	Parameter	Vertical Sync			Horizontal Sync	
		Time	Clocks	Lines	Time	Clocks
T_s	Sync pulse time	16.7ms	416,800	521	32 us	800
T_{disp}	Display time	15.36ms	384,000	480	25.6 us	640
T_{pw}	VS pulse width	64 us	1,600	2	3.84 us	96
T_{fp}	VS front porch	320 us	8,000	10	640 ns	16
T_{bp}	VS back porch	928 us	23,200	29	1.92 us	48



640x480@60Hz	25MHz	640	48	96	16	480	29	2	10
640x480@60Hz	25,175MHz	640	48	96	16	480	33	2	10
800x600@72Hz	50MHz	800	64	120	56	600	23	6	37

Pentru generarea semnalelor de sincronizare (Hsync si Vsync) in functie de semnalul de ceas se poate folosi urmatoarea schema pricipiala (cu adaptarea parametrilor conform cu tabelul anterior):



Pinii corespunzatori celor 9 biti de culoare si ale celor 2 semnale de sincronizare sunt:

RED0	P201
RED1	P200
RED2	P199
GREEN0	P198
GREEN1	P194
GREEN2	P193
BLUE0	P192
BLUE1	P191
BLUE2	P189
HSYNC	P203
VSUNC	P202

Interfata PS/2 (mouse si tastatura)

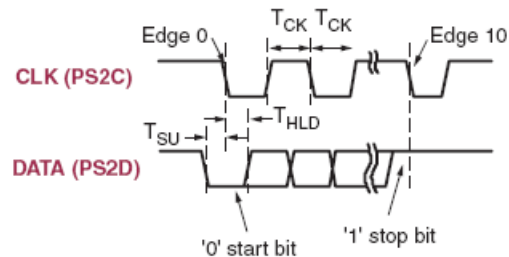
Atat mouseul cat si tastatura folosesc o magistrala cu doua fire pentru a comunica (PS/2). Un fir este folosit pentru sincronizare (transmiterea semnalului de ceas), iar al doilea fir este folosit pentru transmiterea datelor. Ambele dispozitive folosesc pentru comunicatie un protocol serial sincron ce transmite pachete de cate 11 biti (1 bit de start, 8 biti de date, un bit de paritate si un bit de stop). Pachetele de date pot circula in ambele sensuri (de exemplu se poate comanda aprinderea ledurilor de la tastatura sau schimbarea vitezei de comunicatie cu mouseul).

Diagrama semnalelor este prezentata in continuare. Semnalul de ceas si cel de date sunt active numai pe parcursul transferului (altfel ele sunt in starea de Idle si au valoarea logica „1”).

Placa de test are doua porturi fizice conectate la FPGA prin intermediul pinilor:

PS2_CLK1	P205
PS2_DATA1	P204
PS2_CLK2	P3
PS2_DATA2	P206

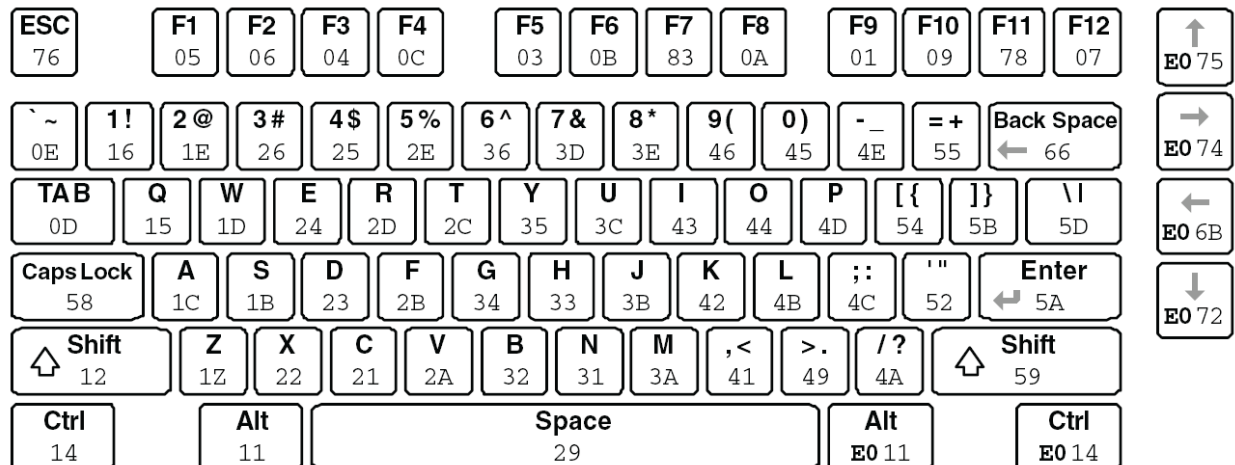
Symbol	Parameter	Min	Max
T_{CK}	Clock High or Low Time	30 μ s	50 μ s
T_{SU}	Data-to-clock Setup Time	5 μ s	25 μ s
T_{HLD}	Clock-to-data Hold Time	5 μ s	25 μ s



Tastatura

O tastatura PS/2 comunica prin trimiterea de coduri corespunzatoare tastelor. Codul unic este trimis de fiecare data cand este apasata tasta. Daca tasta este apasata continuu, codul se trimite periodic la interval de aproximativ 100ms. Cand tasta este eliberata se trimite un cod „F0” (eliberare tasta) urmat de codul tastei. Tastatura trimite acelasi cod chiar daca tasta permite generarea mai multor caractere. Combinatiile cu Shift (sau Caps Lock) se realizeaza la receptie.

Unele taste (numite extinse) trimit inaintea codului „E0” iar inaintea codului pentru eliberare tasta „E0 F0”.



Comenzile trimise tastaturii sunt:

Command	Description																
ED	<p>Turn on/off Num Lock, Caps Lock, and Scroll Lock LEDs. The keyboard acknowledges receipt of an "ED" command by replying with an "FA", after which the host sends another byte to set LED status. The bit positions for the keyboard LEDs are shown below. Write a '1' to the specific bit to illuminate the associated keyboard LED.</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>7</th> <th>6</th> <th>5</th> <th>4</th> <th>3</th> <th>2</th> <th>1</th> <th>0</th> </tr> </thead> <tbody> <tr> <td colspan="5" style="text-align: center;">Ignored</td> <td style="text-align: center;">Caps Lock</td> <td style="text-align: center;">Num Lock</td> <td style="text-align: center;">Scroll Lock</td> </tr> </tbody> </table>	7	6	5	4	3	2	1	0	Ignored					Caps Lock	Num Lock	Scroll Lock
7	6	5	4	3	2	1	0										
Ignored					Caps Lock	Num Lock	Scroll Lock										
EE	Echo. Upon receiving an echo command, the keyboard replies with the same scan code "EE".																
F3	Set scan code repeat rate. The keyboard acknowledges receipt of an "F3" by returning an "FA", after which the host sends a second byte to set the repeat rate.																
FE	Resend. Upon receiving a resend command, the keyboard resends the last scan code.																
FF	Reset. Resets the keyboard.																

Tastatura transmite gazdei doar atunci cand ambele semnale (ceas si date) sunt „1” (in starea Idle). Deoarece gazda verifica daca tastatura transmite inainte de a incepe comunicatia, linia de ceas poate fi utilizata ca si semnal „clear to send”. Daca gazda incepe transmisia controland linia de ceas, tastatura nu mai trebuie sa transmita pana cand transmisia a fost terminata.

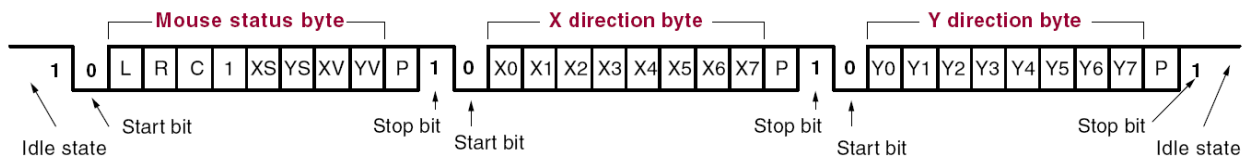
Tastatura trimite cuvinte de 11 biti impachetate astfel: 1 bit de start („0”), 8 biti de date continand codul (LSB...MSB), bitul de paritate (impara) si bitul de stop („1”). Cand tastatura trimite date, ea genereaza 11 perioade de ceas cu o frecventa intre 20 si 30 kHz si datele sunt valide pe frontul negativ al ceasului.

Mouse

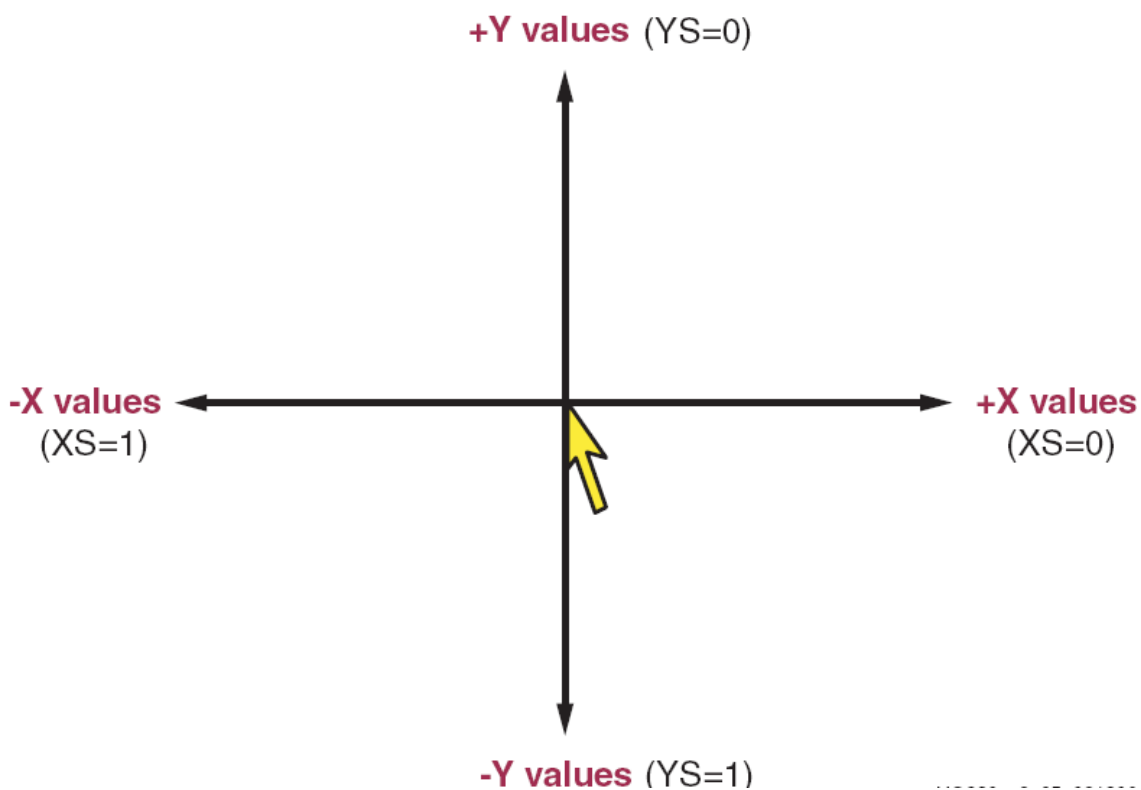
Un mouse compatibil PS/2 suporta doua moduri de comunicatie: interogare (gazda interogheaza mouseul daca s-a inregistrat un eveniment) si streaming (mouseul raporteaza de fiecare data cand s-a produs un eveniment). Implicit este modul streaming.

Pentru a seta modul streaming, FPGA-ul trebuie sa trimita comanda „Set Stream Mode” (0xEA). Ca urmare a receptionarii acestei comenzi, mouseul genereaza apoi semnalul de ceas si cel de date de fiecare data cand se inregistreaza un eveniment (miscare sau apasarea unui buton). Cand nu se transmite nimic cele doua semnale au valoarea „1” si sunt in starea Idle.

De fiecare data cand se transmite un eveniment, mouseul transmite trei pachete de 11 biti cu formatul: 1 bit de start („0”), 8 biti de date (LSB...MSB), un bit de paritate (impara) si un bit de stop („1”). Fiecare transmisie are 33 de biti, avand bitii 0, 11 si 22 „0” (biti de start), bitii 10, 21 si 32 biti de stop („1”). Datele sunt valide pe frontul negativ al ceasului, iar frecventa acestuia este intre 20 si 30 de kHz.



Un mouse PS/2 foloseste coordonate relative (miscarea este codata in functie de pozitia curenta). Daca mouseul se misca spre dreapta se va inregistra o miscare cu o valoare pozitiva pe axa Ox ($XS=„0”$ si masura miscarii este data de valoarea din X7-X0). Daca mouseul se va misca in jos se va inregistra o miscare negativa pe axa Oy ($YS=„1”$ si masura miscarii este data de valoarea din Y7-Y0). Bitii XS si YS sunt transmisi in pachetul de status (primul pachet) si codifica semnul miscarii (valoarea negativa este codata „1”).



Amplimea miscarii pe X sau Y este data de valoarea corespunzatoare. Cu cat aceasta valoare este mai mare cu atat mouseul (cursorul) se va misca mai repede. Bitii XV si YV semnaleaza depasirea valorii maxime ce poate fi reprezentata pe 8 biti (255). Daca mouseul se misca continuu, cei 33 de biti sunt retransmisi la un interval de aproximativ 50ms.

Bitii L, R si C din pachetul de status (primul pachet) corespund butoanelor Left, Right si Center. Valoarea „1” indica faptul ca butonul este apasat.

Implementarea

Pentru a utiliza o parte din interfețele prezentate se propune realizarea unui terminal text ce va permite navigarea cu ajutorul unui cursor ce lasă o urmă pe drumul parcurs.

Deoarece rezoluția ce poate fi obținută utilizând placa de test (oscilatorul de 50 MHz) este de 800x600 pixeli, iar un caracter ocupă 8x8 pixeli, se propune utilizarea unei memorii în care să se stocheze drumul parcurs (100 de coloane și 75 de linii). Această memorie va fi o memorie de tip biport pentru a permite accesul pe două seturi de magistrale. Un port va fi utilizat pentru scriere în memorie iar cel de al doilea pentru citirea și afișarea conținutului pe ecran.

Adresa pentru citirea în vederea afișării se poate calcula pornind de la coordonatele pixelului curent și ignorarea a 3 biți (cei mai puțin semnificativi) care realizează poziționarea în cadrul caracterului.

Deplasarea cursorului prin intermediul unei tastaturi se va face cu ajutorul unui modul ce realizează comunicarea pe baza protocolului PS/2 și a unui cursor care indică poziția curentă în memorie (poziție la care se fac operațiile curente). Marcarea drumului se va face prin scrierea în memorie a unei valori (ce este interpretată apoi ca și urmă).

Limitările sunt impuse de faptul că dimensiunea memoriei interne a FPGA-ului este prea mică pentru a stoca mai mulți biți pentru fiecare din cele 7500 de celule (100x75).