



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale
2007-2013



Platformă de e-learning și curriculă e-content pentru învățământul superior tehnic

Proiectarea Logică

19. Circuite secventiale – diagrame de semnal

CIRCUITE SECVENTIALE – DIAGRAME DE SEMNAL

În rândurile care urmează vor fi introduse anumite definiții legate de formele de undă ale circuitelor secvențiale. Valorile ieșirilor unui circuit secvențial sunt funcții, așa cum s-a arătat deja, care depind atât de valorile curențe ale intrărilor cât și de valorile liniilor de reacție. Totalitatea liniilor de reacție alcătuiește *starea circuitului secvențial*. Valorile curențe ale acestor linii formează *starea curență* a circuitului secvențial.

Una dintre liniile de intrare ale circuitelor secvențiale *sincrone* este linia de ceas. Valoarea, periodică de altfel, a acestei linii constituie semnalul circuitului secvențial, numit *ceas*. Acesta determină momentul când anume circuitul va decide schimbarea stării curențe cu o nouă stare. Atunci când apare acest semnal periodic extern, circuitul secvențial *eșantionează* valorile curențe ale liniilor de intrare și de stare, determinând noua stare.

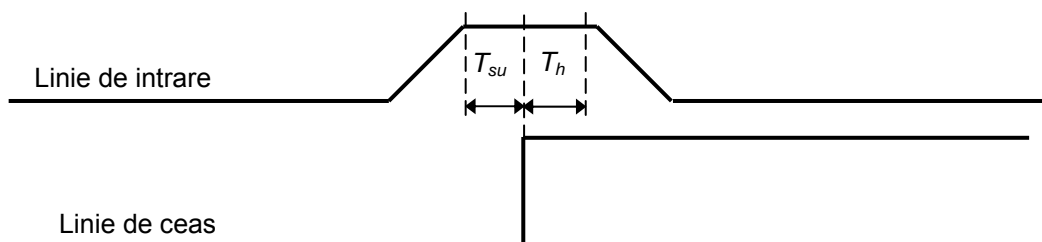


Figura 7. Intervalele de timp pentru pregătire (T_{su}) și menținere (T_h)

Semnalul de ceas poate fi activ fie ca o tranziție pozitivă (atunci când semnalul de ceas face o tranziție de la o valoare joasă spre o valoare ridicată) fie ca o tranziție negativă (atunci când acest semnal trece dintr-o valoare ridicată spre o valoare joasă). Este important ca liniile de intrare care determină noua stare să fie nemodificate pe durata activității semnalului de ceas. Se definește o fereastră de timp în jurul momentului în care devine activ semnalul de ceas. Această fereastră de timp are două părți dispuse de-o parte și de-alta a momentului în care linia de ceas devine activă: intervalul de timp de pregătire (se notează tradițional prin T_{su} indicele fiind abrevierea cuvântului în limba engleză *setup*) și intervalul de timp de menținere (se notează tradițional prin T_h indicele fiind abrevierea cuvântului englez *hold*).

În figura 7 este prezentată dispunerea celor două intervale de timp pentru cazul în care linia de ceas este activă pe frontul pozitiv. Este important de reținut că pe durata acestei ferestre de timp valorile liniilor de intrare nu trebuie să sufere modificări.

Mai precis, pe durata intervalului de timp de pregătire, timp care precede evenimentul de linia de ceas, valorile liniilor de intrare trebuie să fie stabile pentru ca să fie corect recunoscute. Prin T_{su} se specifică, în fapt, durata minimă de timp pentru care semnalele de intrare își păstrează constante valorile. Durata intervalului de menținere, specificat, în mod obișnuit, prin valoare minimă a acestuia T_h de asemenea se cere stabilitatea valorilor liniilor de intrare pentru ca tranzițiile să aibă loc în mod corect. Nerespectarea acestor restricții poate conduce la funcționări inconsistente specificației circuitului secvențial.

Asocierea unui semnal de ceas evenimentului eşantionării liniilor de intrare, poate fi privit ca un semnal prin care se acordă permisiunea elementelor cu memorie să-şi examineze valorile liniilor de intrare în vederea schimbării stării acestora. Se poate folosi un singur semnal de ceas pentru sincronizarea actualizării stării mai multor elemente cu memorie dintr-un sistem.

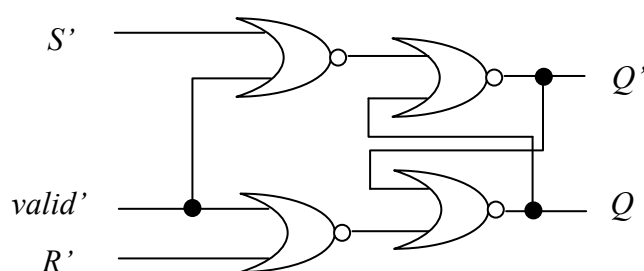


Figura 8. Latch R-S sensibil la variații de nivel.

În figura 4 a fost prezentat elementul fundamental cu memorie R-S, numit tradițional *latch-ul R-S*. Elementele cu memorie utilizate în construcția circuitelor secvențiale se clasifică în două mari grupe: *latch-uri* și *bistabili*. Atunci când liniile de ieșire ale unui element cu memorie își schimbă valorile imediat ce au avut loc schimbări ale valorilor liniilor de intrare, acestea se numesc elemente cu memorie cu *ieșiri transparente*. *Latch-ul R-S* este un exemplu în acest sens; ieșirile sale sunt imediat modificabile la schimbările valorilor liniilor de intrare.

Dacă un *latch* are numai intrări de date și nu are linii de ceas, atunci acel *latch* se numește *latch asincron*. *Latch-urile* sensibile la valorile liniilor de intrare, au adesea o linie de intrare de *validare*, numită uneori linie de ceas.

Aceste *latch-uri* eşantionează continuu valorile liniilor lor de intrare pe durata asertării liniei de validare. Orice modificare a valorilor liniilor de intrare se propagă prin *latch* la ieșirea acestuia. Circuitul prezentat în figura 8 este un *latch* sensibil la variațiile de nivel ale liniilor sale de intrare. Din cauza nivelului logic suplimentar impus de linia de validare liniile de intrare R și S sunt active prin valori zero, la fel ca și nou introdusa linie de validare. Atunci când linia de validare devine activă (are valoarea zero), ultimele valori ale celorlalte două linii de intrare determină continuu starea memorată de *latch*. Valoarea stocată, finală, este determinată în fereastra de timp formată prin timpul de pregătire și timpul de menținere grupate în jurul momentului în care linia *valid'* trece din valoarea 0 în valoarea 1.

Bistabilii diferă de *latch-uri* prin faptul că valorile liniilor lor de ieșire se modifică numai în raport cu linia de ceas, în timp ce *latch-urile* își schimbă valorile liniilor de ieșire corespunzător schimbării valorilor liniilor lor de intrare. Din acest motiv bistabilii pot fi caracterizați ca fiind acționați fie pe front pozitiv, fie pe front negativ sau pot fi *master-slave*.

Un bistabil acționat pe frontul pozitiv își eşantionează valoarea liniilor de intrare la tranziția semnalului de ceas din valoarea zero în valoarea unu. Pentru o corectă recunoaștere a valorilor liniilor de intrare acestea trebuie să fie stabile pe durata

ferestrei de timp $T_{su} + T_h$. Schimbarea valorilor liniilor de ieșire se face după un timp de întârziere măsurat față de momentul tranziției semnalului de ceas.

Duratele celor două componente de timp T_{su} și T_h sunt, spre exemplu, în tehnologie TTL de ordinul nanosecundelor. Astfel, în tehnologie TTL cele două componente de timp au valorile tipice de 30 ns, respectiv 5 ns.

Bistabilul J-K

Datorită problemelor care apar la elementul cu memorie R-S din cauza setului de valori interzise s-a încercat construirea altui circuit la care să se evite această situație. În figura 9 este prezentată diagrama de principiu a acestui bistabil.

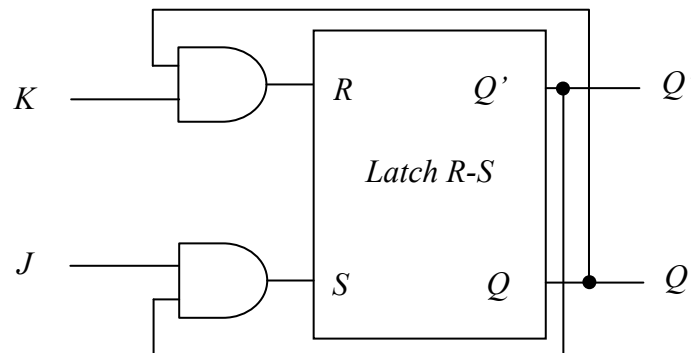


Figura 9. Latch-ul J-K.

Folosind ca linii de reacție liniile Q și Q' și introducând două linii noi de intrare se poate garanta acum că liniile interne R și S nu mai pot fi avea simultan valoarea 1. În afară de evitarea a setului de valori interzise a liniilor de intrare, acum apare o nouă posibilitate de funcționare: complementarea stării curente. În adevăr, dacă $J = K = 1$, atunci oricare ar fi starea curentă, starea viitoare este complementarea acesteia. Funcționarea noului circuit poate fi urmărită în tabelul din figura 10.

$J(t)$	$K(t)$	$Q(t)$	$Q(t+1)$
0	0	x	$Q(t)$
0	1	x	0
1	0	x	1
1	1	x	$Q'(t)$

Figura 10. Tabelul de funcționare al latch-ului J-K

Din tabelul figurii 10 se poate deduce următoarea ecuație caracteristică:

$$Q(t+1) = Q(t)K' + Q'(t)J$$

Actuala construcție a latch-ului J-K are, totuși, o problemă de funcționare. O dată aplicate valorile de intrare $J = K = 1$, circuitul va intra în oscilație până când una dintre intrări devine 0. explicația este simplă. Condiția de complementare a stării curente rămâne asertată chiar și atunci când are loc complementarea, ceea ce induce comportamentul astabil, nedorit de altfel, al circuitului.

O soluție la această mal-funcționare este bistabilul J-L master-slave.

Bistabilul master-slave are drept idee fundamentală construcția unui element cu memorie folosind două elemente cu memorie conectate succesiv. Primul element cu memorie, *master-ul*, acceptă noile valori ale liniilor de intrare și generează valorile de ieșire P și P' sincron cu frontul crescător (pozitiv) al impulsului de ceas. Cel de-al doilea element cu memorie, *slave-ul*, acceptă ca intrări valorile P și P' și sincron cu frontul descrescător (negativ) al impulsului de ceas își schimbă valorile liniilor sale de ieșire. (a se vedea figura 11).

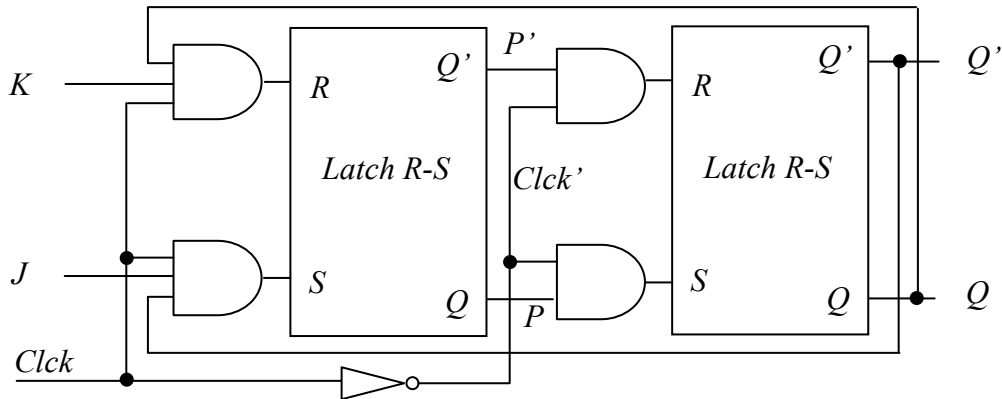


Figura 11. Schema de principiu a bistabilului $J-K$ master/slave.

În momentul în care valorile liniilor de ieșire se propagă prin liniile de reacție la nivelul liniilor de intrare, impulsul de ceas a încetat și se împiedică astfel intrarea în oscilație a bistabilului.

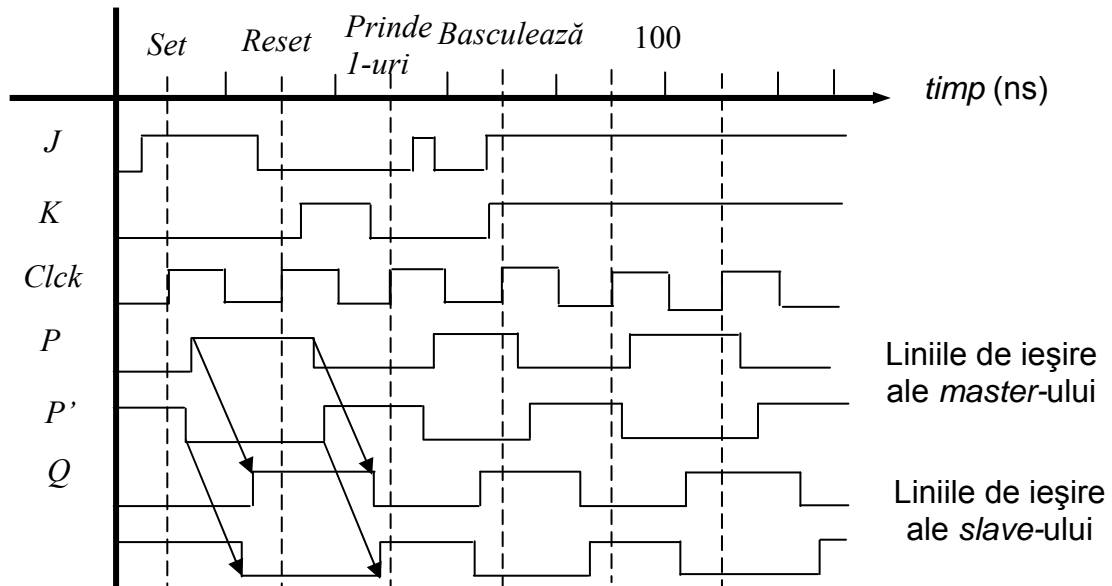


Figura 12. Forme de undă pentru bistabilul $J-K$ master/slave.

Diagrama cu formele de undă ale bistabilului $J-K$ master/slave din figura 12 relevă anumite aspecte importante ale funcționării acestui tip de bistabil. Prima remarcă se referă la modul cum liniile de ieșire ale *master-ului* P și P' , „trag” după acestea liniile de ieșire ale *slave-ului*, respectiv Q și Q' . Acestea din urmă își modifică valoare după

o întârziere de propagare față de frontul căzător al impulsului de ceas. A doua remarcă privește o proprietate generală a bistabilului *J-K master/slave* care este numită, tradițional, „*prinde 1-uri*”. Această proprietate generală se enunță astfel: ori de câte ori o linie de intrare are valoare unu, chiar pentru un scurt interval de timp pe durata impulsului de ceas, apare ca un semnal unu la linia de ieșire.

Comportament specific acestui bistabil poate fi urmărit în figura 12. Se va face în continuare o trasare a funcționării bistabilului în conformitate cu formele de undă ale figurii 12.

Inițial bistabilul a avut valoarea liniei de ieșire zero. Linia de intrare *J* devine 1, și după ce apare impulsul de ceas (după o întârziere inerțială) linia *P* ia valoarea unu. Atunci când se termină impulsul de ceas, liniile *P* și *P'* au trecut în a doua secțiune a bistabilului cauzând trecerea în valoare unu a liniei de ieșire *Q*.

La ridicarea următorului impuls de ceas, liniile de intrare *J* și *K* sunt amândouă cu valoarea zero. Din acest motiv prima secțiune își conservă starea. Aproximativ pe la jumătatea impulsului de ceas, linia *K* își schimbă valoarea și pentru un interval de timp (care depășește momentul în care încetează palierul de unu al impulsului de ceas) devine unu, producând aducerea în zero a primei secțiuni. Valoarea zero a ieșirii primei secțiuni se propagă în a doua secțiune a cărei ieșire ia valoarea zero puțin după frontul negativ al impulsului de ceas.

Fenomenul de „prindere 1-uri” este ilustrat cu următoarea condiție a liniilor de intrare, atunci când linia *J* este asertată pentru un foarte scurt interval de timp (mai scurt decât durata impulsului de ceas). Chiar dacă valoarea liniei *J* revine la zero, și asta înainte ca impulsul de ceas să se termine, linia de ieșire a slave-ului trece în valoare unu și de aici linia de ieșire a bistabilului trece și aceasta la valoarea unu pe frontul căzător al impulsului de ceas. Dacă latch-urile din cele două secțiuni sunt construite cu porți ȘI-NU se manifestă un fenomen similar numit „prinde 0-uri”.

Din aceste motive este recomandat ca să se acorde multă atenție hazardurilor logice, potențiale ale circuitelor combinaționale care produc semnalele logice care sunt apoi aplicate liniilor *J* și *K*.

Restul configurațiilor de valori de intrare fac ca bistabilul să basculeze, schimbându-și starea la fiecare impuls de ceas.

Bistabilii acționați pe frontul impulsului de ceas

Bistabilii *J-K* soluționează problema valorilor interzise ale liniilor de intrare printr-o construcție care garantează că latch-urile interne nu au niciodată ambele linii de intrare asertate. Dar funcționarea în basculare a acestor bistabili conduce la comportament oscilant al valorilor liniilor de ieșire. Varianta *master/slave* soluționează problema oscilației prin autorizarea eșantionării valorilor liniilor de intrare numai atunci când este prezent impulsul de ceas, generând valorile noi ale liniilor de ieșire abia după ce încetează palierul de unu al impulsului de ceas. Apare în schimb problema „prinderii 1-unurilor”.

Proiectanții circuitelor secvențiale au soluționat această problemă prin introducerea bistabililor acționați pe front. Aceste circuite în loc să eșantioneze valorile liniilor de intrare pe durata impulsului de ceas, își eșantionează valorile liniilor de intrare numai

pe durata frontului pozitiv (acționare pe frontul crescător) sau negativ (acționare pe frontul căzător al impulsului de ceas). În continuare se va considera structura generală a bistabililor D acționați pe frontul negativ al impulsului de ceas (a se vedea figura 13). Schema prezentată în figura 13 poate fi simplu schimbată pentru acționarea pe frontul pozitiv, complementând impulsul de ceas.

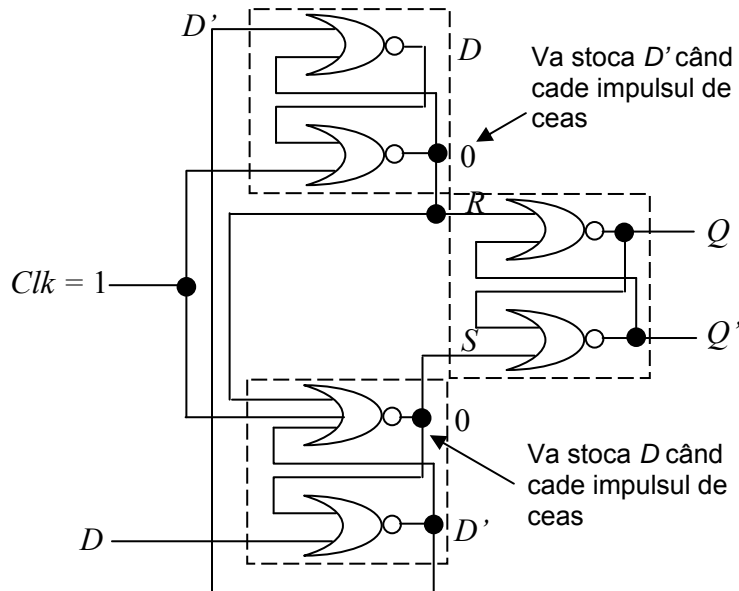


Figura 13. Bistabil D acționat pe frontul negativ al impulsului de ceas.

Modul de operare al bistabilului D

Operarea unui dispozitiv acționat pe front este considerabil mai complexă decât cea a unui bistabil *master/slave*, spre exemplu. Circuitul din figura 13 conține trei *latch*-uri. Cel de la baza schemei eșantionează linia de intrare D timp în care cel aflat în partea superioară stochează D' .

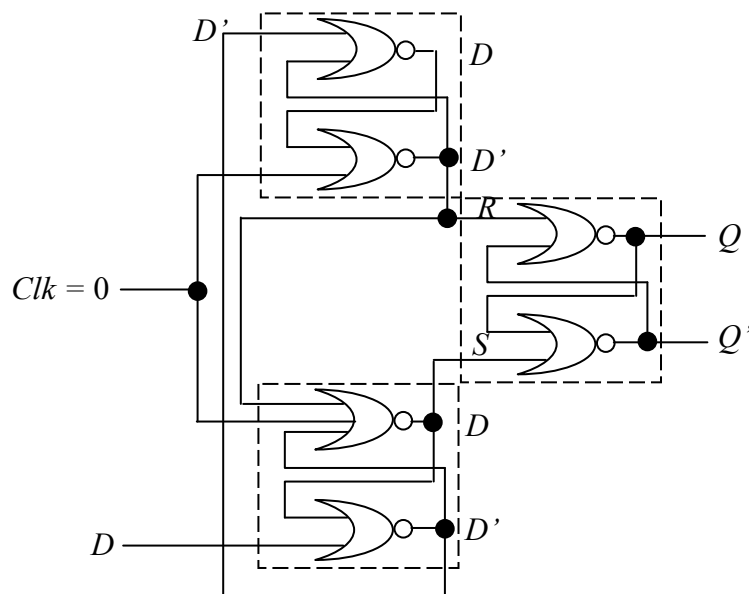


Figura 14. Bistabil D acționat pe frontul negativ al impulsului de ceas.

Linia de ieșire a latch-ului de la bază este conectat la linia de intrare S a latch-ului final, spre deosebire de cel superior care este conectat la linia de intrare R a aceluiași latch.

Schema din figura 13, spre deosebire de cea din figura 14, prezintă starea circuitului atunci când impulsul de ceas este prezent (are valoarea 1). Impulsul de ceas forțează liniile de ieșire ale latch-urilor de la bază și de sus la valoarea 0, aceasta instaurând pentru latch-ul final starea de conservare a stării existentă înaintea apariției impulsului de ceas. Orice schimbare pe linia de intrare D va fi eșantionată de latch-urile de la bază și de sus, dar aceste schimbări sunt inhibate să afecteze starea latch-ului final.

Schema din figura 14 prezintă ce se întâmplă atunci când impulsul de ceas trece din unu în 0. Porțile SAU-NU conectate la latch-ul final acționează ca simple inversoare. Valoarea anterior eșantionată pe linia de intrare D este prezentă pe linia S a latch-ului final în timp ce valoarea D' este prezentă pe linia R a aceluiași latch. Dacă $D = 1$, atunci linia de ieșire a latch-ului final va avea valoarea 1, altfel va avea valoarea 0.

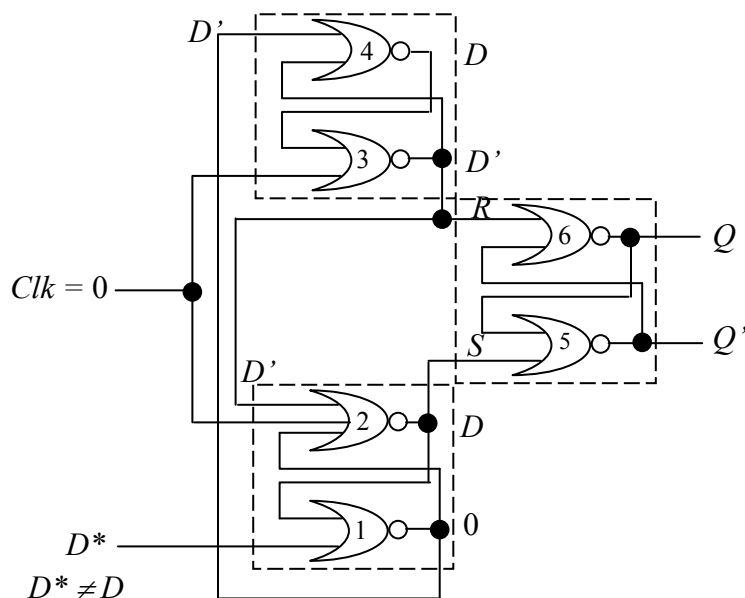


Figura 15. Bistabil D acționat pe frontul negativ al impulsului de ceas.

În figura 15 este prezentată analiza situației în care în absența impulsului de ceas are loc o schimbare a valorii liniei de intrare D , notată prin D^* . Valoarea nou aplicată liniei de intrare va forța linia de ieșire a porții 1 la valoarea 0 deoarece $D^* \neq D$. Datorită valorii acestei linii porțile 2,4 și 5 își vor păstra valorile anterioare. D^* poate afecta circuitul numai când liniile de ieșire ale porților 2 și 4 sunt forțate la valoarea 0. Aceasta are loc numai atunci când este prezent impulsul de ceas.

Examinarea funcționării acestui circuit pune în evidență importanța specificațiilor duratelor de timp pentru pregătire și pentru menținerea semnalului de intrare în jurul ridicării impulsului de ceas.