

5. CIRCUITE LOGICE SECVENȚIALE

5.1 Noțiunea de circuit secvențial (automat finit)

Considerăm circuitul din figura următoare 5.1 pentru care vom face câteva considerații legate de efectul întârzierilor de propagare ale semnalelor logice prin porți logice cascade.

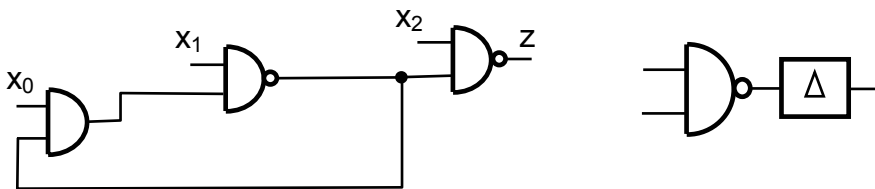


Figura 5.1 Exemplu de propagare a unui semnal logic și reprezentarea unei porți NAND afectată de întârziere

Ieșirea circuitului din figura 5.1 (stânga) nu poate fi descrisă numai cu ajutorul variabilelor de intrare. În expresia funcției de ieșire va interveni și timpul, având în vedere că un circuit NAND real poate fi reprezentat ca în figura 5.1 (dreapta), unde Δ este un circuit de întârziere (cu timpul t_p). Ținând cont de acest aspect, circuitul se poate redesena ca în figura 5.2.

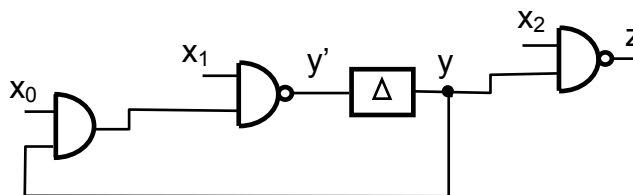


Figura 5.2 Modelarea întârzierii introdusă de structuri logice

$$y(t) = y'(t - 2t_p)$$

iar cu $2t_p = \delta$, relația se poate scrie sub forma (5.1)

$$y'(t) = y(t + \delta)$$

S-a considerat că x_0, x_1, x_2 nu se modifică în acest interval.

Dacă împărțim timpul în intervale δ și notăm $a_n \equiv a(n\delta)$, putem scrie:

$$\begin{cases} y_{n+1} = \overline{x_{0n}y_nx_{1n}} \\ z_n = \overline{x_{2n}y_n} \end{cases} \quad (5.2)$$

Vom numi în continuare variabila y *variabilă secundară internă* sau *variabilă de stare*, având în vedere că ea descrie starea atinsă de circuit la un moment dat.

Circuitul de mai sus prezintă o singură buclă de reacție. Vom considera în continuare un circuit cu mai multe bucle de reacție, ca cel din figura 5.3.

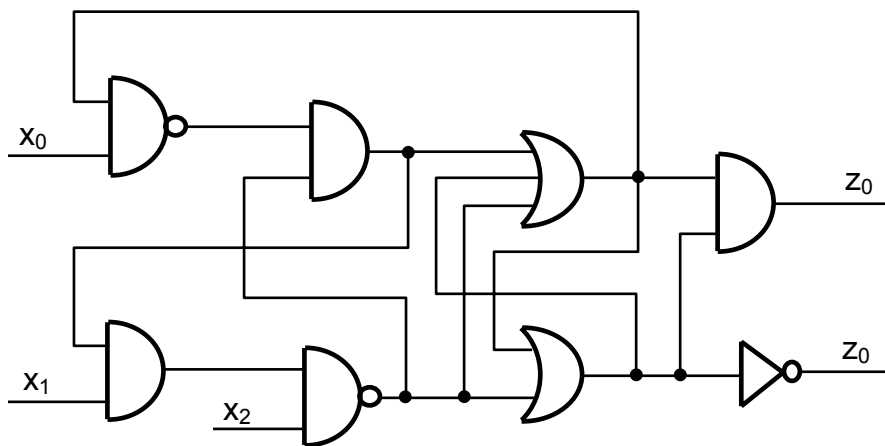


Figura 5.3 Circuit logic cu mai multe bucle

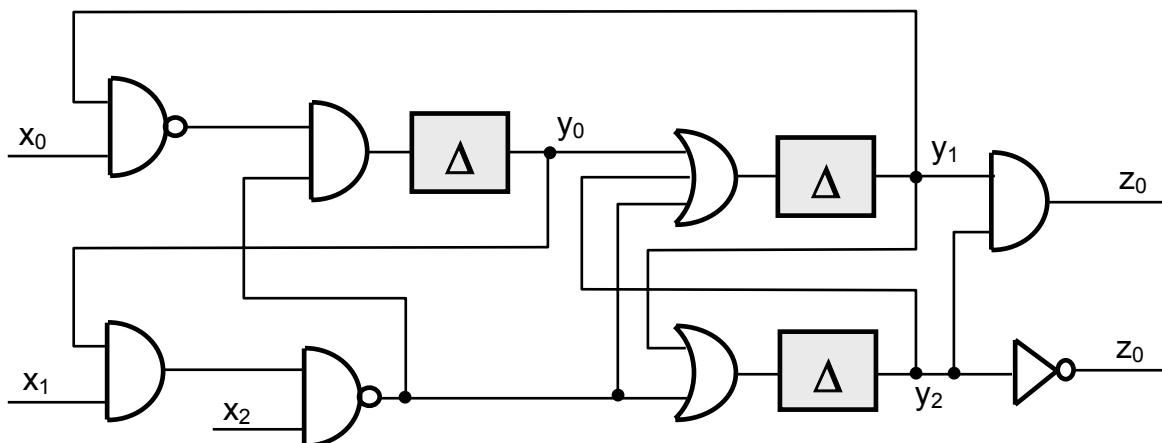


Figura 5.4 Evidențierea întârzierilor într-un circuit combinațional cu mai multe bucle

Procedând ca mai sus, se identifică buclele circuitului, introducând înaintea fiecărei variabile de stare propusă câte un circuit de întârziere. Se pot astfel scrie relațiile (5.3).

$$\begin{cases} y_{0n+1} = \overline{x_{1n}y_{0n}x_{2n}} \cdot \overline{x_{0n}y_{1n}} \\ y_{1n+1} = y_{0n} + y_{2n} + x_{1n}y_{0n}x_{2n} \\ y_{2n+1} = y_{1n} + \overline{x_{1n}y_{0n}x_{2n}} \\ z_{0n} = y_{1n} \cdot y_{2n} \\ z_{1n} = \overline{y_{2n}} \end{cases} \quad (5.3)$$

Corespunzător ecuațiilor (5.3), în figura 5.5 sunt reprezentate circuitele ce definesc variabilele de stare iar în figura 5.6 circuitele de ieșire.

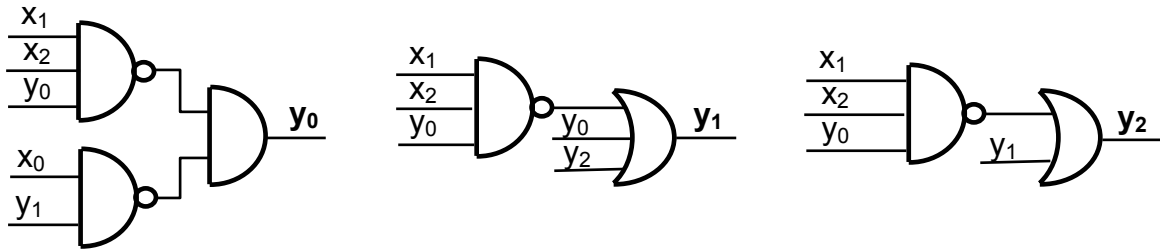


Figura 5.5 Implementarea variabilelor de stare



Figura 5.6 Implementarea variabilelor de ieșire

În cazul general, dacă se consideră un sistem cu bucle de reacție cu k intrări și m ieșiri, trebuie introduse p variabile de stare pentru a putea defini toate ieșirile într-un manieră combinațională. Astfel, se introduc p întârzieri fictive δ în schemă. Trebuie studiată evoluția sistemului după fiecare eșantion de timp δ . Dacă x_{in} , y_{jn} și z_{ln} sunt valorile intrărilor, variabilelor de stare, respectiv ieșirilor la momentul de timp $n\delta$, atunci se pot scrie relațiile (5.4).

$$\begin{cases} y_{jn+1} = f_j(x_{1n}, \dots, x_{kn}, y_{1n}, \dots, y_{pn}), \quad j = \overline{1, p} \\ z_{ln} = g_l(x_{1n}, \dots, x_{kn}, y_{1n}, \dots, y_{pn}), \quad l = \overline{1, m} \end{cases} \quad (5.4)$$

Un sistem a cărui funcționare este descrisă de astfel de ecuații se numește *sistem secvențial* sau *automat finit*.

Un automat finit este deci un cvintuplu $A = (X, Y, Z, f, g)$, unde X, Y, Z sunt mulțimi nevide, iar f, g sunt funcții definite pe aceste mulțimi.

- X - mulțimea semnalelor de intrare (alfabet de intrare)
 - Y - mulțimea stărilor
 - Z - mulțimea semnalelor de ieșire (alfabet de ieșire)
- } mulțimi finite
- $f: X \times Y \rightarrow Y$ - funcție de tranziție
 - $g: X \times Y \rightarrow Z$ - funcție de ieșire

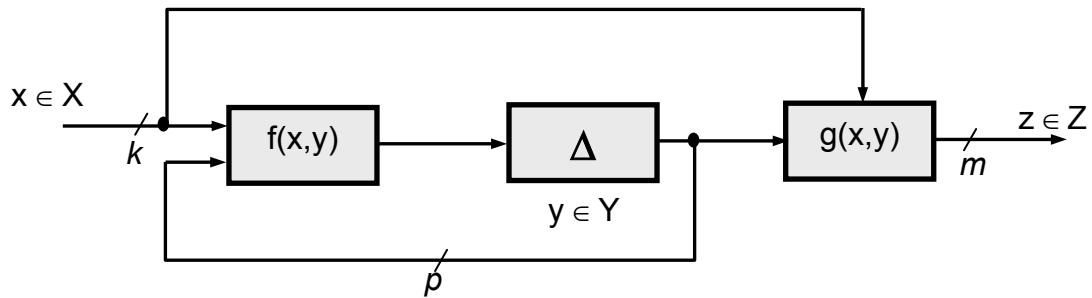


Figura 5.7 Automat Mealey

Un automat care răspunde acestor cerințe se numește *automat Mealey* și are structura prezentată în figura 5.7. Ecuațiile sale de funcționare sunt de forma (5.5).

$$\begin{cases} y_{n+1} = f(x_n, y_n) \\ z_n = g(x_n, y_n) \end{cases} \quad (5.5)$$

Dacă $Y = \emptyset \Rightarrow f : X \times \emptyset \rightarrow \emptyset$ atunci nu este definibilă noțiunea de stare iar $g : X \times \emptyset \rightarrow Z$ devine $g : X \rightarrow Z$.

Acest caz particular definește *circuitele combinaționale* (care se mai numesc de altfel și *automate triviale* sau *automate combinative*); ieșirile acestora sunt complet determinate la orice moment de timp numai de intrări.

Un alt caz particular este $g : Y \rightarrow Z$, adică *automatul de tip Moore*.

La automatele de tip *Mealey*, ieșirile sunt definite în timpul tranzițiilor dintre stări, în timp ce la automatele *Moore*, ieșirile sunt definite la atingerea stărilor.

Pentru realizarea fizică a acestor structuri, se folosesc *circuite combinaționale* pentru implementarea funcțiilor f și g și *elemente de memorare* pentru implementarea circuitelor de întârziere.

5.2 Analiza circuitelor secvențiale

Introducerea variabilelor de stare permite transformarea circuitelor de ieșire în circuite combinaționale. Pentru determinarea acestor variabile se atașează sistemului secvențial un *graf* în care fiecare nod reprezintă un circuit al sistemului, iar ramurile orientate sunt conexiunile dintre circuite.

Într-o primă etapă trebuie determinate variabilele de stare în număr suficient. Aceasta se face notând ieșirile circuitelor ce fac parte din cel puțin o buclă și suprimând ramurile din graf corespunzătoare acestor ieșiri până când graficul nu mai prezintă bucle. Circuitul inițial se va descompune în final în circuite de definire a evoluției variabilelor de stare și în circuite de ieșire. Se vor scrie și ecuațiile sistemului.

În etapa a doua se face o minimizare a numărului variabilelor de stare care permit scrierea ecuațiilor de funcționare. Pentru aceasta se construiește un *tabel de acoperire*, la care liniile corespund buclilor fundamentale, iar coloanele – circuitelor ce constituie buclele. O *buclă fundamentală* este o buclă pentru care orice subansamblu al circuitelor ce o alcătuiesc nu poate constitui o buclă. Tabelul se completează cu 1 în pozițiile pentru care circuitul de pe coloană intervine în bucla de pe linie.



Figura 5.8 Reprezentarea automatelor Mealey, respectiv Moore

În continuare se rezolvă problema de acoperire și se descompune sistemul în circuite de ieșire și circuite de descriere a evoluției de stare, corespunzător celei mai economice soluții obținute. Deasemenea, se scriu ecuațiile corespunzătoare.

În continuare, se construiesc diagramele Karnaugh pentru variabilele de stare și pentru variabilele de ieșire, obținându-se matricile de excitație, respectiv matricile de ieșire. Pornind de la acestea, se determină tabela de fluentă și graful de fluentă.

Tabela de fluentă se construiește după următoarele reguli: liniile corespund stărilor (intrărilor), coloanele corespund intrărilor (stărilor). La intersecția liniilor cu coloanele se definesc f și g în cadrul automatelor Mealey sau numai f în cadrul automatelor Moore, caz în care g se definește pe o coloană (linie) separată.

Graful de fluentă se construiește după următoarele reguli: nodurile corespund stărilor iar arcele corespund tranzițiilor între stări. Graful se marchează în funcție de tipul de automat definit (figura 5.8).

În continuare (figurile 5.9 ÷ 5.11) este prezentat un exemplu.

Exemplu:

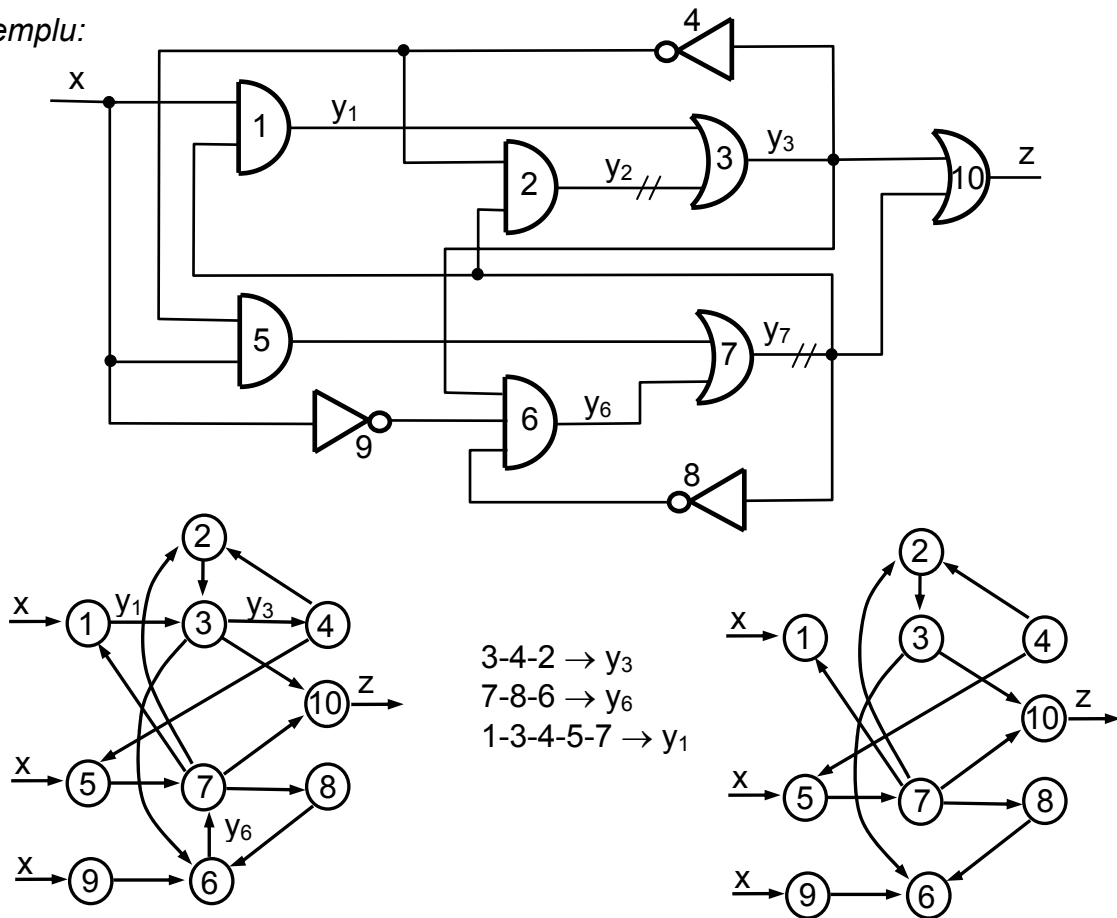


Figura 5.9 Reprezentarea unui circuit logic folosind grafuri

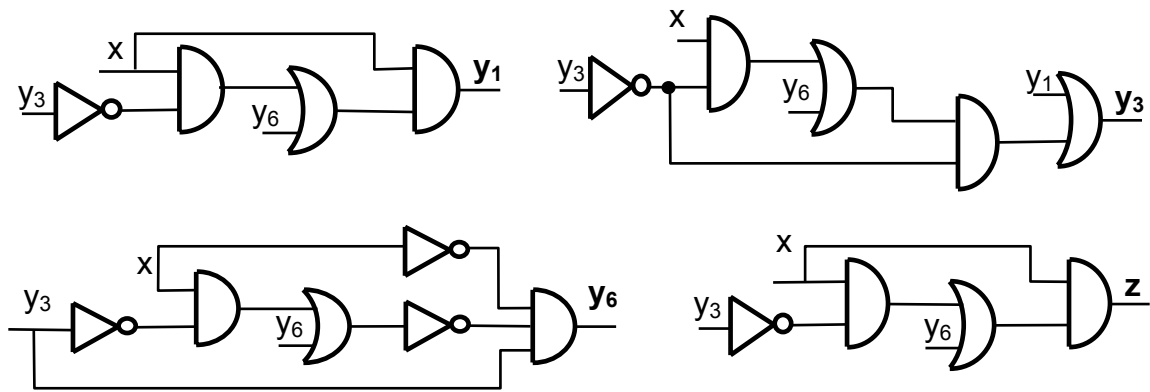


Figura 5.10 Descompunere în circuite de definire a evoluției variabilelor de stare și circuite de ieșire

Ecuțiile corespunzătoare circuitelor din figura 5.10 sunt (5.6):

$$\begin{cases} y_{1n+1} = x_n(\overline{y_{3n}} \cdot x_n + y_{6n}) \\ y_{3n+1} = y_{1n} + (\overline{y_{3n}} \cdot x_n + y_{6n}) \cdot \overline{y_{3n}} \\ y_{6n+1} = \overline{x_n} \cdot y_{3n}(\overline{y_{3n}} \cdot x_n + y_{6n}) \\ z_n = y_{3n} + (\overline{y_{3n}} \cdot x_n + y_{6n}) \end{cases} \quad (5.6)$$

Tabelul de acoperire are forma de mai jos.

	1	2	3	4	5	6	7	8
3-4-2		1	1	1				
7-8-6						1	1	1
1-3-4-5-7	1		1	1	1		1	

Din tabelul de acoperire rezultă ecuațiile (5.7).

$$\begin{aligned} (F_2 + F_3 + F_4)(F_6 + F_7 + F_8)(F_1 + F_3 + F_4 + F_5 + F_7) &= 1 \\ (F_2(F_1 + F_3 + F_4 + F_5 + F_7) + F_3 + F_4)(F_6 + F_7 + F_8) &= 1 \\ (F_3 + F_4 + F_1F_2 + F_2F_3 + F_2F_4 + F_2F_5 + F_2F_7)(F_6 + F_7 + F_8) &= 1 \\ F_3F_6 + F_3F_7 + F_3F_8 + F_4F_6 + F_4F_7 + F_4F_8 + \dots + F_2F_7 + \dots &= 1 \end{aligned} \quad (5.7)$$

Oricare dintre soluțiile evidențiate mai sus este mai economică decât soluția adoptată inițial. Dacă alegem, de exemplu, soluția oferită de $F_2F_7 = 1$, variabilele interne vor fi y_2 și y_7 . Sinteza acestora și a variabilei de ieșire z este prezentată în figura 5.11 iar ecuațiile corespunzătoare fiind cele din sistemul (5.8).

$$\begin{cases} y_{2n+1} = y_{7n} \cdot (\overline{x_n y_{7n}} + y_{2n}) \\ y_{7n+1} = (\overline{y_{7n}} \cdot x_n + y_{2n}) \cdot x_n + (y_{7n} \cdot x_n + y_{2n}) \cdot \overline{x_n} \cdot \overline{y_{7n}} \\ z_n = y_{7n} + (x_n \cdot y_{7n} + y_{2n}) \end{cases} \quad (5.8)$$

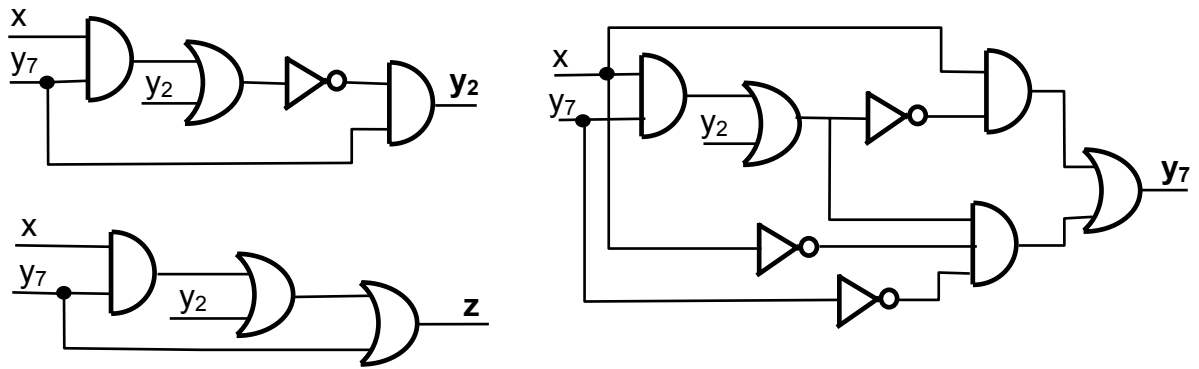


Figura 5.11 Descompunerea în circuite de definire a evoluției variabilelor de stare și circuite de ieșire, corespunzător soluției celei mai economice, $F_2F_7 = 1$

Pe baza structurilor obținute rezultă valorile de adevăr din tabelele de mai jos.

$y_2y_7 \setminus x$	0	1
00	00	01
01	10	00
11	00	00
10	01	00

$y_2y_7 \setminus x$	0	1
00	0	0
01	1	1
11	1	1
10	1	1

$y_2y_7 \setminus x$	0	1	z
00	00	01	0
01	10	00	1
11	00	00	1
10	01	00	1

Fiecărei stări îi este atașată o cifră zecimală, obținându-se în final graful asociat (figura 5.12).

00 → 0
01 → 1
11 → 2
10 → 3

Q \ x	0	1	z
0	0	1	0
1	3	0	1
2	0	0	1
3	1	0	1

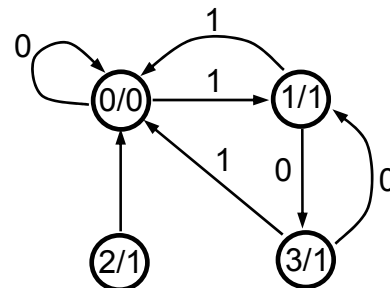


Figura 5.12 Definirea stărilor și obținerea grafului

5.3 Sisteme secvențiale asincrone, sisteme secvențiale sincrone

Sistemele secvențiale studiate anterior sunt sisteme asincrone deoarece la o modificare a mărimii de intrare nu se poate controla întotdeauna evoluția sistemului. În exemplul anterior, pentru $y_2y_7 = 00$ și $x = 0$ sistemul se află în starea stabilă 00. Când x devine 1, sistemul trece în starea 01, apoi 00, din nou 01 etc. Sistemul intră deci într-un *ciclu necontrolabil*.

Pentru a rezolva această problemă se introduce o variabilă suplimentară T (*tact, clock*) și se impune ca pentru $T = 0$ sistemul să nu evolueze, rămânând într-o stare stabilă. Numai pentru $T = 1$ sistemul va evolua spre o nouă stare.

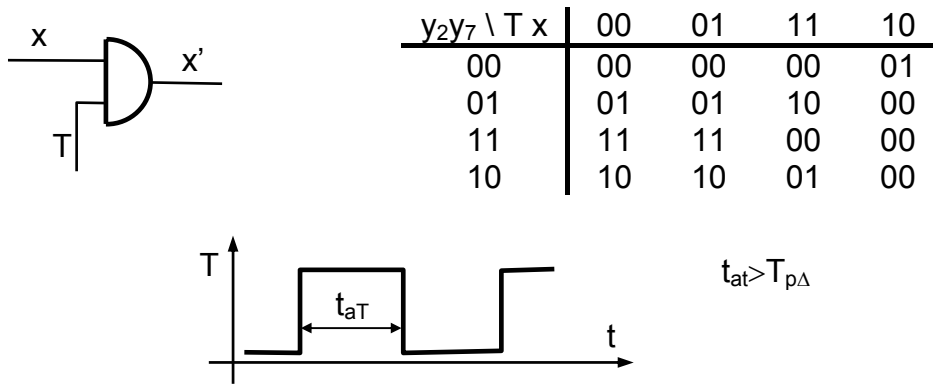


Figura 5.13 Introducerea variabilei tact T

$t_{p\Delta}$ - timp de bascularea circuitului de întârziere Δ

t_{pf} - timp de propagare prin structura combinațională ce realizează funcția f

t_{aT} - durata activă a ceasului T

Pentru un sistem asincron, ecuațiile variabilelor de stare sunt:

$$y_{in+1} = f_i(x_{1n}, \dots, x_{kn}, y_{1n}, \dots, y_{pn}), \quad i = \overline{1, p} \quad (5.9)$$

Ecuțiile de stare ale unui sistem sincron vor fi (5.10).

$$y_{in+1} = \overline{T}_n \cdot y_{in} + T_n \cdot f_i(x_{1n}, \dots, x_{kn}, y_{1n}, \dots, y_{pn}), \quad i = \overline{1, p} \quad (5.10)$$

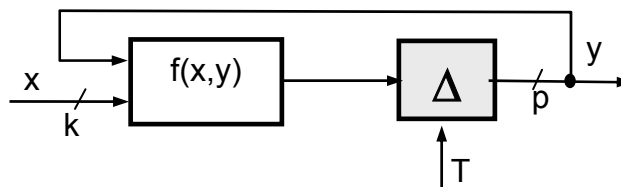


Figura 5.14 Structura unui sistem sincron

Pentru o funcționare corectă este necesar ca $t_{aT} < t_{p\Delta} + t_{pf}$. În caz contrar, sistemul poate evolua spre o altă stare decât cea impusă în matricea de excitație.

Pentru a elimina această constrângere se poate adopta una din următoarele soluții:

1. Introducerea unor întârzieri suplimentare pe buclele sistemului, soluție care este neeconomică;
2. Folosirea a două circuite de întârziere comandate de două ceasuri sincronizate dar defazate (figura 5.15). Se folosesc câte două circuite de întârziere pentru fiecare variabilă internă.

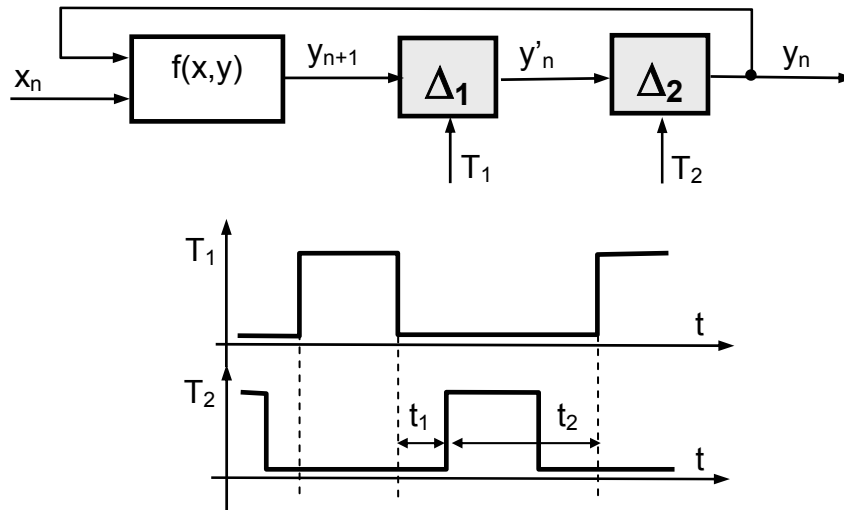


Figura 5.15 Sincronizarea variabilelor de stare folosind două ceasuri defazate

Comutarea are loc astfel:

$$\begin{aligned} T_1 = 1 &\rightarrow y'_n = y_{n+1} \\ T_2 = 1 &\rightarrow y_n \rightarrow y_{n+1} \end{aligned} \quad (5.11)$$

Valorile t_{aT1} și t_{aT2} sunt dictate de timpii de basculare ai circuitelor de întârziere Δ_1 și Δ_2 . Este necesar ca $t_1 > t_{p\Delta1}$ și $t_2 > t_{p\Delta2} + t_{pf}$.

Cele două blocuri Δ_1 și Δ_2 formează o structură MASTER - SLAVE (Δ_1 - master, Δ_2 - slave).

3. Utilizarea de circuite integrate care înglobează structuri de tip master-slave.

5.4 Metodologia de sinteză a circuitelor secvențiale

Rezolvarea unei probleme de sinteză presupune stabilirea structurii fizice a automatului, cunoscând corespondențele intrare-ieșire și evoluția sistemului. Sinteza are două etape principale:

A. Sinteza abstractă

Pornind de la datele problemei, se stabilesc elementele automatului finit atașat (intrările, stările, ieșirile, ecuațiile de excitație ale circuitelor de memorare, ecuațiile de ieșire). Se încearcă totodată eventuale simplificări pe mulțimea stărilor. Ecuațiile de control trebuie să rezulte cât mai simple. Sinteza abstractă presupune parcurgerea următorilor pași:

1. Definirea primară a stărilor: se stabilesc mulțimile de intrare, de ieșire și de stări pentru automat. Fiecare stare se atașează unor condiții distincte în care se poate găsi sistemul.
2. Determinarea grafului și matricii de fluentă.
3. Reducerea stărilor: se urmărește eliminarea eventualelor stări redundante introduse la etapa 1 prin evidențierea stărilor echivalente. În principiu, *două stări*

s_i și s_j sunt echivalente dacă și numai dacă pentru aceeași secvență de intrare automatul elaborează aceeași secvență de ieșire, indiferent de starea din care pornește experimentul (s_i sau s_j). Practic, rezolvarea acestei probleme se face folosind matricea de fluentă: dacă liniile (coloanele) corespunzătoare celor două stări sunt identice, ele se pot contopi.

4. Alocarea variabilelor de stare: se realizează o exprimare a stărilor prin cuvinte dintr-un anumit cod. Pentru codificarea stărilor se folosesc variabile de stare, numărul acestora trebuind să satisfacă relația:

$$2^{p-1} < k \leq 2^p \quad \begin{array}{l} p = \text{numărul variabilelor de stare} \\ k = \text{numărul stărilor distincte} \end{array} \quad (5.12)$$

Este indicată folosirea unui cod care păstrează adiacențele pentru stările vecine, evitându-se astfel hazardul în funcționare. Folosind variabilele de stare introduse se construiesc matricile de excitație și de ieșire.

B. Sinteza structurală

Pornind de la rezultatele obținute în etapa precedentă se realizează implementarea fizică a automatului în funcție de circuitele integrate pe care le are la dispoziție proiectantul. Acest ultim aspect este esențial, deoarece în funcție de tipul circuitelor integrate folosite se poate simplifica sau complica etapa de sinteză abstractă.

La sfârșitul sintezei se poate face o analiză a funcționării structurii obținute, ceea ce permite o verificare a corectitudinii sintezei.