



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale  
2007-2013



# Platformă de e-learning și curriculă e-content pentru învățământul superior tehnic

## Testarea Sistemelor

### 20. Introducere în conceptele BIST

## INTRODUCERE ÎN CONCEPTELE BIST

*Built-in self-test* (BIST) reprezintă capacitatea unui circuit (circuit integrat, placă cu circuite, modul cuprinzând un număr de plăci, sau sistem) de a se autotesta. BIST cuprinde reuniunea a două concepte : test încorporat (*Built-In Test*) și autotest (*Self Test*), și pentru acest motiv acronimul acesta a devenit sinonim, în textele de specialitate, cu acești doi termeni. Un termen înrudit cu BIST este BITE (*Built In Test Equipment*) și se referă la circuitele (hardware) și rutinele (software) încorporate într-o unitate furnizând funcționalitatea BIST sau DFT (*Design For Testability*).

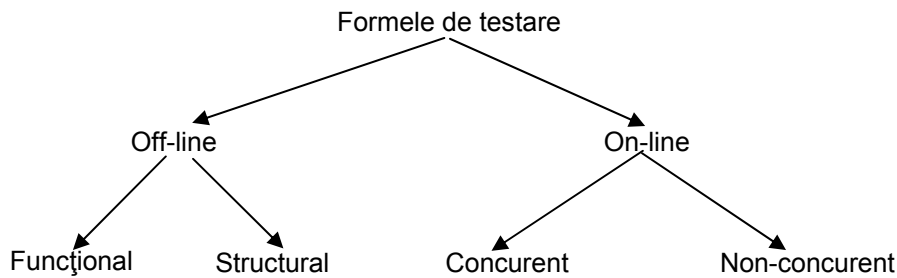


Figura 1. Formele de testare.

Tehnicile BIST pot fi clasificate în două mari categorii:

- *on-line* BIST, care include tehnici concurente și neconcurente funcționării curente, normale.
- *off-line* BIST, care include o tratare funcțională și structurală (așa cum se poate vedea din figura 1) dar nu în cadrul funcționării normale.

În tehnica *on-line* BIST, testările apar pe durata condițiilor de operare funcțională normală; de exemplu *circuitul aflat sub test* (CAT, termenul anglo-american este CUT - *Circuit Under Test*) nu este pus în modul de test, unde operare funcțională normală este blocată, în schimb este menținut în funcționare normală. Această formă de testare este, în general, mai laborioasă fiind îndeplinită prin tehnici de codare sau de duplicare și comparare. Aceste tehnici urmează să fie descrise ulterior. În tehnica *on-line* BIST neconcurent, testarea este realizată prin executarea rutinelor de diagnostic (macro-cod) sau rutinelor *firmware* de diagnostic (*micro-cod*). Procesul de test poate fi întrerupt în orice moment, astfel încât operarea normală să poată reîncepe.

Tehnica *off-line* BIST efectuează testarea unui sistem atunci când acesta este, eventual temporar, oprit din funcționarea normală. Sistemele, plăcile și circuitele integrate pot fi testate în acest mod. Aceasta formă de test este aplicabilă atunci când obiectul testat este inclus într-un cadru operațional, pe durata stocării, în laborator sau imediat după manufacturare (de producător). Deseori testarea *off-line* este îndeplinită folosind *generatoare de vectori de test* (GVT, termenul anglo-american fiind *Test Pattern Generator* - TPG). Aceste generatoare sunt incluse la nivelul circuitelor integrate sau al plăcilor imprimabile (*on-chip* sau *on-board*) și sunt însoțite de *analizoare ale răspunsului la ieșire* (ARE, termenul anglo-american fiind ORA) și / sau rutine de microdiagnostic. Testarea *off-line* nu detectează erorile în timp real, cum ar fi spre

exemplu, când apar prima oară așa cum este posibil cu cele mai multe tehnici *on-line BIST*.

Circuitele BIST funcționale se caracterizează prin execuția de teste bazate pe descrierea funcțională a CUT și deseori implica și un model de eroare funcțional sau de nivel înalt. În mod normal un astfel de test este implementat în *software* sau *firmware* de diagnostic.

BIST structural off-line se ocupa cu execuția de teste bazate pe descrierea funcțională a CAT. În acest caz poate fi folosit un model structural al erorii. În general testele sunt precalculate și răspunsurile sunt comparate folosind anumite construcții ale unor *registre de deplasare cu reacție liniară (RDRL)*, termenul anglo - american fiind *LFSR*).

Figura 2 prezintă diverse denumiri de tipuri de structuri de test folosite în circuitele BIST. Sunt folosite în mod frecvent două circuite GVT.

Un generator de vectori pseudo-aleatori este un dispozitiv multi-ieșire care în mod uzual este implementat folosind un *RDRL*, în timp ce un generator de șabloane cu registru de deplasare este un *RDRL* autonom cu o singură ieșire.

Există două circuite tipuri de ARE uzuale există. Unul este un *registru semnătură cu intrare multiplă (RSIM)*, termenul anglo-american fiind *MISR*, altul este un registru semn cu o singură intrare (*SISR*). Ambele sunt implementate folosind un *RDRL*.

Acest capitol se ocupă îndeosebi cu tehnicile structurale *off-line BIST*. De aceea vor fi folosite mult *RDRL*.

Înainte de discuta structura unui circuit *off-line BIST*, vor fi revăzute anumite concepte de bază.

- *BILBO* - built-in logic block observer (register)
- *LFSR* - linear feedback shift register
- *MISR* - multiple-input signature register
- *ORA* - (generic) output response analyzer
- *PRPG* - pseudorandom pattern generator
- *SISR* - single-input signature register
- *SRSR* - shift-register sequence generator; also a single-output PRPG
- *TPG* - (generic) test-pattern generator

Figura 2. Glosar de structuri de termeni BIST

### Nucleul

Anumite părți ale unui circuit trebuie să fie operaționale pentru ca poată fi executat un autotest. Acestea sunt referite ca fiind nucleul (*hardcore*) circuitului.

În mod minimal nucleul include sursa de energie, liniile de masă și dispozitivul de generare al ceasului. Nucleul este, în general, dificil de testat în mod explicit. Dacă acesta funcționează defectuos, în general, autotestul eșuează.

De aceea, eroarea este deseori detectată, și sunt rare situațiile când nu există capacități de diagnosticare.

Dacă un circuit generează o eroare în timpul autotestului problema poate fi (cu probabilitate mică) în nucleu sau (cu probabilitate mare) în restul circuitului testat. Nucleul este în general testat printr-un echipament extern de test sau, este proiectat să fie autotestabil prin folosirea unor forme de redundanță, cum ar fi duplicarea sau

autoverificarea. In mod uzual proiectanții încearcă să minimizeze complexitatea nucleului.

### Nivelele de test

#### Testarea în producție

Se referă la testarea componente manufacturate și are loc cât se poate de devreme. Testarea în producție poate apare la mai multe niveluri. Astfel se deosebesc nivelul chip, nivelul placă, sau nivelul sistem.

Folosind BIST la aceste nivele se reduce mult necesarul de *echipamente automate de test* (EAT), dealtfel costisitoare, atunci când se practică testarea merge / nu-merge (go / no-go) și se simplifică mult anumite aspecte ale testării cu diagnostic.

Spre exemplu, compania INTEL raporta o creștere cu 1,8% a circuitelor din microprocesorul 386 pentru BIST vizând zone din circuit care altfel ar fi fost deosebit de dificil de testat.

Partea BIST pentru câteva circuite integrate sau plăci este discutată în [Benowitz 1975], [Boney și Rupp 1979], [Fasang 1982], [Kuban și Brane 1984], [Beenker 1985] și [Karpovski și Nagvajara 1989].

Când este implementată la nivel de circuit integrat, împreună cu scanarea limită, tehnica BIST poate fi folosită practic la toate nivelele ierarhice ale sistemului. Deoarece multe tehnici BIST pot să ruleze în timp real, aceasta metodă este superioară multor altor soluții care nu folosesc BIST și cu anumite îmbunătățiri pot fi folosite și pentru testarea întârzierilor.

Această apreciere nu mai este valabilă în cazul testărilor parametrice.

#### Testarea ad-hoc

Tehnica BIST poate fi folosită pentru testarea la nivel ad-hoc, eliminând necesitatea unor echipamente dedicate de test (care au un cost ridicat) pentru detecția erorilor la nivelul unităților înlocuibile.

Această facilitate poate avea o mare influență în ceea ce privește întreținerea echipamentelor și subsistemelor, și implicit asupra costurilor pe ciclul de viață a echipamentelor militare și / sau comerciale.

Armata U.S., spre exemplu, încearcă să implementeze conceptul de întreținere pe dublu nivel. În acest caz un sistem îndeplinește autotestul și diagnostichează automat o, eventuală, eroare a unei unități înlocuibile, cum ar fi un circuit integrat de pe placă. În acest mod, respectiva placă este înlocuită pe loc și trimisă la reparație și testare.