



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Instrumente Structurale  
2007-2013



# Platformă de e-learning și curriculă e-content pentru învățământul superior tehnic

## Testarea Sistemelor

### 18. Proiectarea generică bazată pe scan

## PROIECTAREA GENERICĂ BAZATĂ PE SCAN

În abordările anterioare a fost urmărită sistematic cuantificarea efortului generării testelor dar și evaluarea algoritmilor utilizați în determinarea unui test, set de vectori de test, pentru circuite numerice cu complexități diferite și tratate prin nivele de abstractizare diferite. Complexitatea unui test poate fi evaluată prin determinarea acelor costuri asociate procesului practic de testare. Aceste costuri se pot referi la:

- costul generării vectorilor de test,
- costul verificării eficienței vectorilor de test (verificarea eficienței vectorilor de test se face de regulă prin simulare) și a stabilirii, eventuale, a posibilităților de localizare,
- costul echipamentului de test și
- costul corespunzător procesului de testare ca atare.

Deoarece aceste costuri pot fi mari și pot, uneori, chiar depăși costurile proiectării, este important ca aceste costuri să fie menținute în limite rezonabile. O cale de realizare a acestui deziderat este *proiectarea pentru testabilitate* (PPT) care este obiectul acestui curs. Modelul testului ce va fi considerat în continuare este cel al testării externe.

Testabilitatea unui circuit numeric este un concept abstract ce tratează o întreagă varietate de costuri asociate testării. Prin creșterea testabilității unui circuit se implică reducerea anumitor funcții ale acestor costuri deși nu se reduce individual fiecare cost în parte. Spre exemplu, proiectările de tip "scan" pot reduce costul generării testelor dar pot crește numărul de pini (borne, terminale) de I/E, suprafața "chip"-ului și durata testării în sine.

*Controlabilitatea, observabilitatea și predictibilitatea* sunt trei dintre cei mai importanți factori în determinarea complexității obținerii unui test pentru un circuit numeric. Primele două concepte au fost deja introduse iar al treilea, *predictibilitatea*, este abilitatea obținerii unor valori cunoscute ale ieșirilor, ca răspuns al circuitului la aplicarea unor stimuli la bornele de intrare. Printre factorii ce pot afecta predictibilitatea se pot enumera :

- starea inițială a unui circuit,
- cursele interne inter-stări,
- hazardurile și
- oscilatoarele care funcționează incomplet controlate.

Cea mai mare parte dintre tehnicile PPT tratează modalitățile de creștere ale controlabilității, observabilității și predictibilității.

### 1 Testabilitatea.

*Testabilitatea* este o caracteristică a proiectării ce influențează diferitele costuri asociate testării. În mod normal testabilitatea permite:

- determinarea stării unui circuit (circuit funcționând normal, circuit inoperabil, circuit funcționând dar care prezintă una sau mai multe mal-funcționări) aflat sub test și izolarea rapidă a defectelor (se reduce astfel timpul dar și costul testării);
- dezvoltarea eficienței, în raport cu costurile, a testelor dedicate circuitelor respective.

*Tehnicile de proiectare pentru testabilitate* sunt preocupările de proiectare special dezvoltate pentru a asigura faptul că un circuit (dispozitiv) numeric este complet testabil.

Două atribute importante legate de testabilitate sunt controlabilitatea și observabilitatea. *Controlabilitatea* este abilitatea stabilirii valorii dorite a semnalului în fiecare nod al unui circuit prin poziționarea valorilor intrărilor circuitului. *Observabilitatea* este abilitatea determinării valorii semnalelor în orice nod al circuitului prin controlul intrărilor circuitului și observându-i ieșirile.

Gradul de controlabilitate și observabilitate este adesea măsurat în raport cu modalitatea aleatoare sau deterministică a generării testelor. S-ar putea să fie dificil de condus (din cauza probabilității mici) ieșirea unei porți ȘI în valoarea 1 printr-un vector de test generat aleator în timp ce algoritmul D poate rezolva aceeași problemă fără un efort deosebit, spre exemplu. Astfel, expresia *controlabilitate aleatoare* se referă la conceptul de controlabilitate atunci când sunt folosite teste generate aleator. Se consideră, în mod uzual, că un nod al unui circuit are o controlabilitate aleatoare redusă dacă necesită, pentru stabilirea stării sale, un unic vector de intrare. În general, se apreciază că un nod are o slabă controlabilitate dacă necesită, pentru stabilirea stării sale, o lungă secvență de vectori de intrare. Spre exemplu, un numărator cu 16 ranguri ale cărui intrări paralele sunt inactive, necesită  $2^{15}$  impulsuri pentru ca plecând din starea inițială (*reset*) să se poziționeze, în valoarea 1, rangul cel mai semnificativ .

Circuite considerate, tipic, ca fiind dificil de controlat, sunt decodificatoarele, circuitele cu reacție, oscilatoarele și generatoarele de impulsuri de ceas.

Un circuit are observabilitate insuficientă dacă necesită un vector unic de intrare sau o secvență complexă, lungă de vectori de intrare pentru a propaga starea unui nod sau a mai multor noduri la ieșirea circuitului (cazul circuitelor cu stări). În categoria circuitelor mai puțin observabile sunt incluse în mod uzual:

- circuitele secvențiale,
- circuitele cu reacție negativă globală,
- circuitele care conțin rețele programabile PLA sau memorii RAM, ROM,
- circuitele de verificare concurrentă a erorilor și
- circuitele cu noduri redundante.

Impactul accesibilității asupra testării a condus la următoarele observații cu caracter general:

- logica secvențială este mult mai dificil de testat comparativ cu logica combinațională;
- logica de control este mult mai dificil de testat față de logica căilor de date;
- logica aleatoare este mult mai dificil de testat în raport cu logica proiectată structurat, orientată pe magistrale;
- circuitele asincrone sau acelea ale căror semnale nu au restricții de temporizare sunt cu mult mai dificil de testat decât circuitele sincrone care au, în general, o ușoară accesibilitate asupra generării semnalului de ceas și asupra rețelelor de distribuție ale semnalului de ceas.

### **1.1 Soluții de compromis**

Cea mai mare parte a tehnicilor PPT sunt orientate fie către resintetizarea unui proiect deja finalizat, fie spre adăugarea unor circuite (hardware) suplimentare la un proiect pus la punct.

Marea majoritate a abordărilor se prezintă ca fiind recomandări ale unor modificări ale circuitului considerat și au implicații asupra unor factori critici, cum ar fi:

- suprafața circuitului integrat,
- numărul de pini de I/E și
- timpul de răspuns.

Valorile acestor atribute ale circuitelor sunt în general crescute atunci când sunt folosite tehnici de PPT. Se dorește, în consecință, un echilibru critic între volumul de tehnici PPT și avantajul realizat.

Creșterea ariei și/sau a complexității unui circuit VLSI poate conduce la o creștere a puterii consumate și la o micșorare a producției. Deoarece testarea are implicații asupra identificării dispozitivelor defecte iar descreșterea producției conduce la o creștere a numărului de circuite defecte, trebuie păstrat cu grijă un echilibru între suplimentul de logică pentru PPT și productivitate. În mod normal producția descrește liniar odată cu creșterea ariei dispozitivului. Dacă hardware-ul adițional necesitat pentru implementarea PPT nu conduce la o creștere apreciabilă a acoperirii defectelor, atunci nivelul de defecte de fabricație va crește. În general PPT este folosită pentru a reduce costurile de generare a testelor și pentru a îmbunătăți calitatea testelor (acoperirea defectelor), conducând, astfel, la reducerea nivelelor defectelor. Tehnicile PPT pot deasemenea afecta, în mod pozitiv, lungimea secvențelor de teste, memoria necesară a testoarelor (echipamentele specializate de testare) și durata de aplicare a testelor.

În mod normal toate aceste atribute sunt direct legate, corelate, unul de celălalt. Din nefericire, atunci când se folosesc vectori de test fie deterministici, fie aleatori, nu există un model fiabil pentru o putea evalua previzional corect, pentru un circuit precizat, numărul de vectori de test necesar pentru a atinge un anumit nivel de acoperire al defectelor.

Pentru multe aplicații, timpul de dezvoltare al testelor este un factor critic. Prin folosirea tehnicilor PPT durata unor astfel de procese pot fi adesea substanțial reduse (uneori de la câteva luni, chiar la câteva săptămâni). Aceasta reducere a timpului de elaborare a testelor poate avea consecințe, benefice, semnificative asupra timpului de comercializare al unui produs și în final, poate asigura succesul său financiar.

Timpul de dezvoltare al testelor este o cheltuială făcută o singură dată care poate fi amortizată prin numărul de unități testate. În consecință, pe de-o parte, pentru o producție făcută în volum mare costul de dezvoltare al testului pe unitatea de produs poate să nu fie excesiv de mare. Pe de altă parte, echipamentul de test este scump, are un cost relativ fix de exploatare și se perimează (cele mai adesea moral și mai rar material) după doar câțiva ani. Ca și în cazul dezvoltării testului, costurile asociate echipamentului automat de testare pot fi adăugate la costul produsului testat.

În concluzie, timpul de testare poate fi un factor semnificativ în stabilirea costului unei unități de produs. Există tendința (conflictuală) de reducere a costurilor aplicării testului prin utilizarea unor teste mai scurte, cea ce poate conduce la o acoperire redusă a defectelor considerate și, implicit, la nivele mai mari de defecte în producție. Această situație are loc în mod special în cazul testării microprocesoarelor și al memoriilor RAM de capacitate mare.

Dacă un circuit integrat defect este plantat pe-o placă de circuit imprimat, placa respectivă este, fără îndoială, defectă. Descoperirea unui circuit integrat defect folosind teste aplicate la nivel de placă, este de obicei de 10 până la de 20 de ori mai scumpă decât testarea unui circuit. Această corelație nu implică ca testarea la nivel de circuit integrat, ar trebui să fie făcuta asupra tuturor

acestora. În mod evident această decizie este dictată de nivelul defectelor asociat cu fiecare tip de circuit integrat.

Atunci când o placă defectă este introdusă într-un sistem, sunt necesare testele la nivel de sistem pentru detecția și izolarea plăcii defecte. Aceasta formă de testare este la rândul său de 10 până la de 20 de ori mai costisitoare decât testarea la nivel de placă pentru identificarea unei plăci defecte. În mod curent, producția de plăci este suficient de joasă, ca volum, pentru ca să permită ca toate plăcile să fie testate.

## 1.2 Controlabilitatea și observabilitatea considerate în raport cu proiectarea circuitelor

La începutul anilor 70, din precedentul secol, s-au făcut încercări de cuantificare a conceptelor de controlabilitate și observabilitate. Se impunea o definiție pentru aceste concepte abstracte și o metodă formală pentru calculul valorilor lor. Ideea era să se modifice proiectarea unui circuit pentru a-i îmbunătăți valorile de controlabilitate și observabilitate. Această modificare se aștepta să conducă la o reducere a costurilor generării deterministice a testelor. Procesul de analiză trebuia să fie relativ scăzut, deoarece dacă procesul de calcul ar fi fost prea complex, atunci micșorarea costurilor în generarea testelor ar fi fost eclipsată de costul analizei și de costul PPT. Din nefericire, nici o astfel de definiție formală, ușor de calculat pentru aceste concepte, nu a fost încă descoperită. Ceea ce s-a făcut în mod curent a fost elaborarea unor proceduri pentru calculul observabilității și controlabilității iar, apoi, aceste concepte au fost definite prin intermediul procedurilor. Procedurile respective calculează un set de valori pentru fiecare linie din circuit. Aceste valori sunt intenționate să servească la aprecierea gradului relativ de dificultate în calculul unui vector de intrare sau a unei secvențe de vectori de intrare pentru fiecare din problemele următoare:

1. poziționarea liniei  $x$  la 1 (1-controlabilitate);
2. poziționarea liniei  $x$  la 0 (0-controlabilitate);
3. pilotarea unei erori de la linia  $x$  către o LPE (observabilitate).

În mod normal valorile mari astfel calculate implicau o testabilitate mai puțin eficientă decât valorile mici. Odată calculate aceste valori, este lăsat în seama proiectantului să decidă dacă valorile sunt acceptabile ori nu. Reducerea valorilor mari implică modificarea circuitului; cele mai simple modificări se dovedeau a fi adăugarea de pini de test suplimentari și circuite (logică) de control. În mod curent, valorile de observabilitate și controlabilitate ale tuturor nodurilor din circuit sunt combinate pentru obținerea a uneia sau mai multora dintre valorile de testabilitate globale ale circuitului.

Problema, în final, este dublă. În primul rând, nu a fost stabilită, încă, vreo corelație între valorile de testabilitate și costurile de generare ale testelor. În al doilea rând, nu este deloc clar cum să se modifice un circuit astfel încât să se reducă valorile acestor măsuri de testabilitate. Procedeele naive sau la bunul simț, cum ar fi adăugarea de puncte de test liniilor ce au cele mai ridicate valori de observabilitate sau adăugarea unor circuite suplimentare dedicate controlului liniilor cu cea mai mare valoare de controlabilitate, s-a dovedit că nu au avut, în mod curent, nici o eficiență.

Măsurile de testabilitate pot fi deasemenea calculate în legătură cu testarea prin vectori generați aleator ori pseudo-aleator. În acest caz aceste măsuri sunt corelate probabilității ca un vector aleator să poziționeze un nod anumit în valoarea 1 sau 0, ori propagarea unei erori de la acest nod

la o LPE. Chiar și pentru acest caz nu s-a dovedit să existe o prea strânsă corelație între valorile de testabilitate și costurile de generare a testelor.

Ca o concluzie, măsurile de testabilitate care există până în prezent nu s-au dovedit deosebit de utile în orientarea procesului de proiectare.

Este de reamintit că parametrii de controlabilitate și observabilitate au fost folosiți în dirijarea luării deciziilor în algoritmi deterministici de generare a testelor. Aceste concepte s-au dovedit a fi utile în acest context.

## 2. Tehnicile ad-hoc de proiectare pentru testabilitate

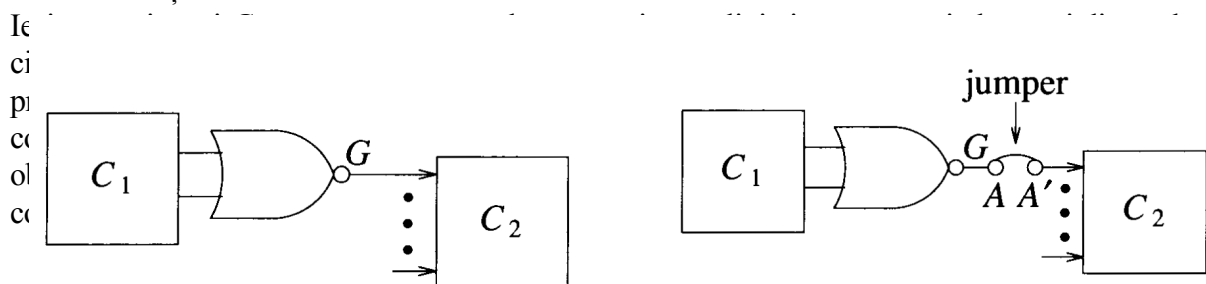
Multe din tehnicile de proiectare ad-hoc pentru testabilitate au fost dezvoltate pentru plăci cu circuite imprimate; unele dintre aceste tehnici sunt însă aplicabile și în proiectarea circuitelor integrate. Aceste tehnici sunt considerate ad-hoc (și nu algoritmice) deoarece nu reprezintă o tratare metodologică unitară a proiectării care să asigure o generare facilă a testelor, dar în schimb pot fi folosite la opțiunea proiectantului acolo unde acestea se pot aplica. Scopul acestor tehnici este să mărească controlabilitatea, observabilitatea și/sau predictibilitatea. Tehnicile ce vor fi examinate în continuare vor aborda următoarele concepte:

- punctele de test;
- inițializarea circuitelor;
- circuite cu monostabili;
- oscilatoarele și generatoarele de impulsuri de ceas;
- registrele numărătoare și de deplasare;
- partiționarea circuitelor mari;
- redundanța logică;
- desfacerea buclor de reacție negativă globală.

### 2.1 Punctele de test

*Regulă:* Se folosesc punctele de test pentru a îmbunătăți controlabilitatea și observabilitatea.

Există două tipuri de puncte de test, numite puncte de control (PC) și puncte de observație (PO). *Punctele de control* (asemenea LPI) sunt destinate îmbunătățirii controlabilității iar *punctele de observație* (sunt, în realitate, ieșiri suplimentare, similare LPE) sunt destinate creșterii observabilității.



O altă modalitate de introducere a punctelor de test poate face uz de liniile de intrare existente și eventual neutilizate ale unei porți. Se presupune că poarta  $G$  ar avea  $n$  intrări folosite în mod normal (pentru funcționarea nominală). La acestea se adaugă încă o linie de intrare ( a  $n+1$  - a intrare în poarta  $G$ ) notată prin  $CP$ . Câtă vreme linia  $CP$  va avea valoarea *non-control*, poarta  $G$  va funcționa normal, în circuitul respectiv. Deîndată ce linia  $CP$  are valoarea de control ieșirea porții  $G$  trece în 1 sau în 0 (depinzând de tipul porții). Astfel de tehnică se spune ca introduce un *circuit de injecție (unilaterală) a valorii 1/0*. Printr-o modificare simplă a tehnicii expuse anterior se poate face ca injecția de valoare sa fie bilaterală și evident comandată: 0 sau 1.

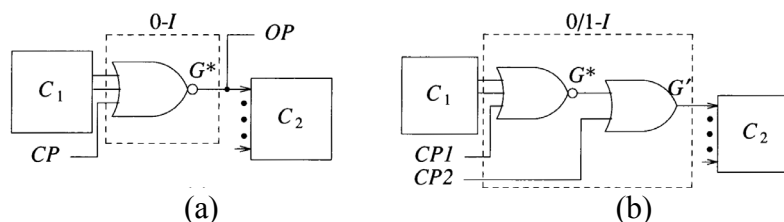


Figura 1.(a) Injecția unei valori 0 (0-I) prin linia suplimentară  $CP$ .  
(b) Injecția unei valori logice arbitrare 0/1 -I prin liniile suplimentare  $CP1$  și  $CP2$ .

Neajunsul major al punctelor de test este acela că necesită un număr suplimentar de pini de I/E. Acest aspect poate fi, într-o oarecare măsură, îmbunătățit prin introducerea unor decodificatoare / multiplexoare care să comande accesul mai multor puncte de test către un set redus de puncte de I/E dedicate.

Metoda rezolvă problema numărului suplimentar de pini de I/E menținând acest număr la o valoare rezonabilă, dar face ca accesul la valorile liniilor multiplexate să fie secvențial în timp, ceea ce conduce la o durată sensibil sporită a procesului de testare.

Alegerea liniilor (semnalelor) în vederea obținerii unei controlabilități sau observabilități mai bune se bazează pe experiența empirică.

Exemple de candidaturi de succes pentru punctele de control:

- a) magistralele de date, adrese și control din sistemele structurate pe magistrale;
- b) intrările de tipul ENABLE/HOLD la microprocesoare;
- c) intrările de tipul ENABLE și READ/WRITE la memorii;
- d) intrările de tipul CLOCK și PRESET/CLEAR la bistabili, numărătoare și registre de deplasare;
- e) intrările de tipul DATA SELECT la multiplexoare și demultiplexoare;
- f) liniile de control ale dispozitivelor cu trei stări (*tristate*).
- g)

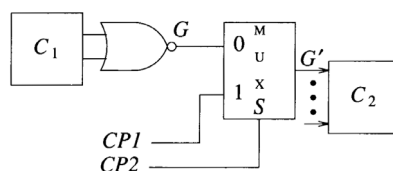


Figura 2. Injecția unei valori logice arbitrare printr-un multiplexor.

Pentru punctele de observație sunt citate în literatură linii de tipul:

- 1) liniile ramificate asociate unor semnale cu un factor mare de branșare;
- 2) liniile de reacție negativă globală;

- 3) liniile unor semnale redundante;
- 4) ieșirile unor dispozitive cu mai multe linii de ieșire, cum ar fi multiplexoarele și generatoarele de paritate;
- 5) ieșirile unor dispozitive cu stări, cum ar fi bistabilele, numărătoarele și registrele de deplasare;
- 6) magistralele de adrese, control și date.

În figura 3 este prezentată o soluție prin care  $N$  puncte de observație pot fi monitorizate pe rând la linia de ieșire  $Z$  prin intermediul a  $n$  linii de selecție ( $2^n = N$ ).

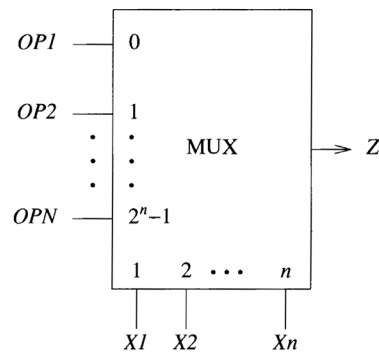


Figura. 3. Monitorizarea mai multor puncte de observație utilizând un multiplexor.

În figura 4 este înfățișat un mod acces a  $N$  puncte de control, cu un supliment mic de linii suplimentare, implementat printr-un demultiplexor cu  $n$  linii de selecție ( $2^n = N$ ).

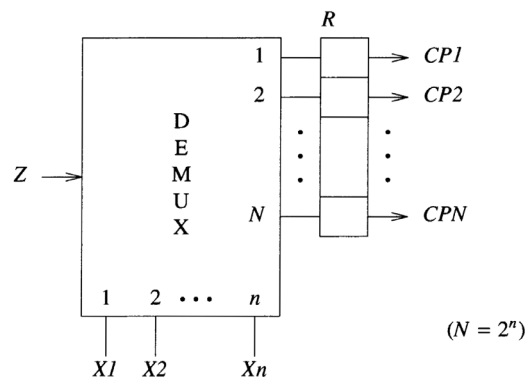


Figura 4. Accesarea a  $N$  puncte de control utilizând un demultiplexor.

## 2.2 Inițializarea circuitelor

*Regulă:* Circuitele proiectate trebuie să fie ușor inițializabile.

*Inițializarea* este procesul aducerii unui circuit secvențial într-o stare cunoscută la un anumit moment de timp (la punerea sub tensiune sau după aplicarea unei secvențe de inițializare). Necesitatea unei inițializări simple și ușor de aplicat este parțial justificată de cerințele generării testelor. Sunt de evitat, în general, circuitele care necesită o secvență foarte sofisticată de inițializare, deoarece arareori generatoarele automate de test determină eficient astfel de secvențe.



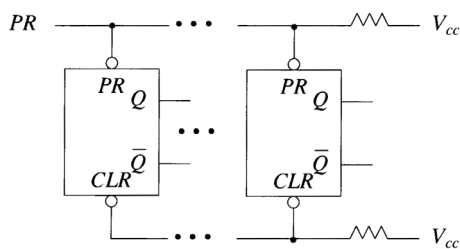


Figura 5. Inițializarea bistabililor.

În cazul multor circuite, în special pentru cele proiectate MSI și LSI, inițializarea se poate face utilizând intrările asincrone *PR* (*preset*, prin activarea acestei linii, ieșirea trece în valoarea 1) și *CLR* (*clear*, prin acționarea acestei linii, ieșirea ajunge în valoarea 0) ale bistabililor. Este recomandat ca aceste intrări asincrone, atunci când nu sunt utilizate, să fie conduse prin rezistențe (a se vedea figura 5) conectate la plusul alimentării (numite rezistențe "*pull-up*").

### 2.3 Circuitele care cuprind monostabili

*Regulă:* Monostabilii interni ai unui circuit aflat sub test trebuie deconectați.

Monostabilii (denumiți în limba engleză *one-shots*) generează, în anumite condiții, impulsuri în cadrul unui circuit și fac prin aceasta, dificilă sincronizarea unui echipament de test extern cu circuitul respectiv.

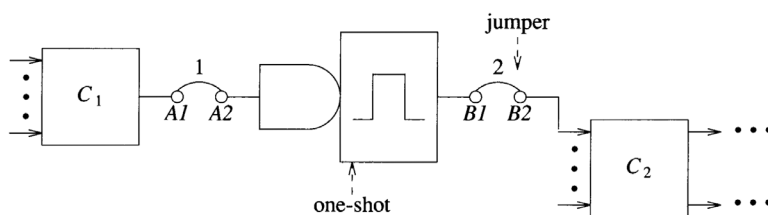


Figura 6. Controlul monostabililor prin conexiuni interruptibile (*jump*-eri).

În cazul unui circuit realizat pe o placa de circuit imprimat este necesar să se prevadă controlul asupra conectării/deconectării ieșirii monostabilului, controlul asupra funcționării acestuia, controlul asupra părții de circuit conectate la ieșirea monostabilului și să se prevadă posibilitatea observării ieșirii (ieșirilor) monostabilului respectiv. Toate aceste facilități se pot implementa fie cu ajutorul unor legături, conexiuni controlate, interruptibile (*jumpers*), fie cu ajutorul unei logici specifice de injecție

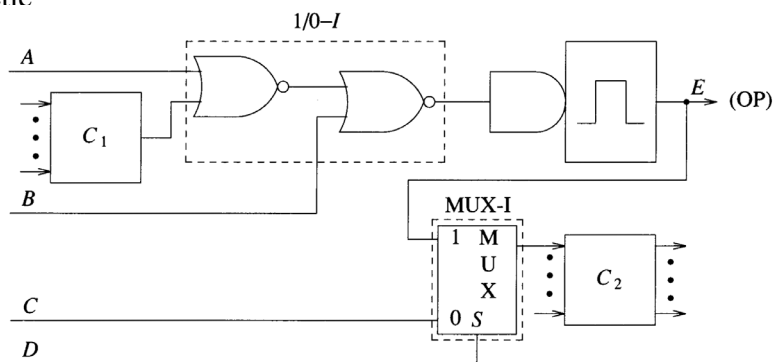


Figura 7. Controlul monostabililor prin logică specifică de injecție.

## 2.4 Oscilatoarele și generatoarele de impulsuri de ceas

*Regula:* Oscilatoarele și generatoarele de impulsuri de ceas se deconectează pe durata testului. Folosirea unor oscilatoare sau a unor generatoare de impulsuri de ceas aflate pe placa testată conduce la probleme de sincronizare similare celor descrise la circuitele ce conțin monostabili. Tehnicile ce permit controlul și observarea sunt, de asemenea, similare.

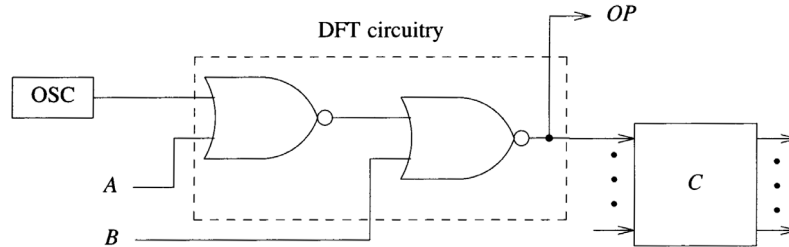


Figura 8. Logica de testabilitate asociată unui oscilator.

## 2.5 Divizarea numărătoarelor și registrelor de deplasare

*Regula:* Numărătoarele și registrele de deplasare lungi se divizează în entități similare mai mici.

Numărătoarele și într-o măsură mai mică registrele de deplasare sunt dificil de testat deoarece secvențele lor de test necesită un număr mare de impulsuri de ceas. Pentru a mări testabilitatea unor astfel de dispozitive este necesară o partiționare a lor astfel încât intrările de ceas și cele seriale să fie ușor de controlat, iar ieșirile de date să fie ușor de observat.

Figura 11.9 prezintă o posibilă implementare testabilă pentru un registru partiționabil în două subsecțiuni. Un registru numărător de 16 biți necesită un număr de impulsuri de ceas de până la  $2^{16} = 65536$  impulsuri de ceas pentru un test. Partiționat în două sub-registre fiecare cu câte 8 biți, având controlabilitate și observabilitate îmbunătățită, noul circuit poate fi testat în doar numai  $2^8 = 512$  impulsuri de ceas. Iar dacă cele două secțiuni sunt testate în paralel, numărul de impulsuri de ceas se reduce doar la numai 256.

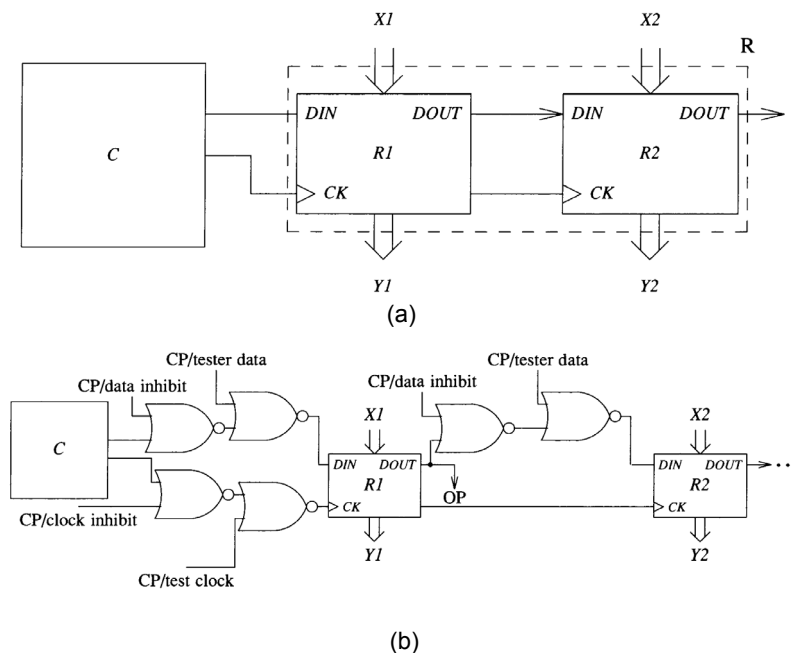


Figura 9. (a) Registru partiționabil. (b) Logica de partiționare a registrului.

## 2.6 Partiționarea circuitelor combinaționale mari

*Regula:* Se partiționează circuitele combinaționale mari în sub-circuite mai mici reducând, astfel, costul generării testelor. Deoarece complexitatea timpului unei generări de test și a simulării defectelor (verificarea testelor) crește mai repede decât o funcție liniară în mărimea circuitului, costul este sensibil redus prin partiționarea unui circuit mare în sub-circuite de mărime mai mică. O modalitate de partiționare este prezentată în figura 10.

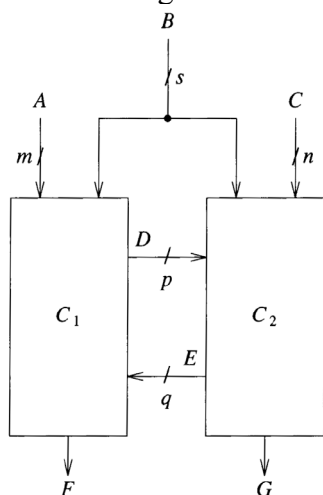


Figura 10. Partiționarea unui circuit combinațional.

Figura 11 ilustrează modificarea operată asupra acestui circuit în sensul PPT, prin adăugarea a două multiplexoare. Pentru  $T_1 T_2 = 00$  (operare normală) circuitul operează în aceeași manieră ca mai înainte, exceptând doar întârzierile prin multiplexoare.

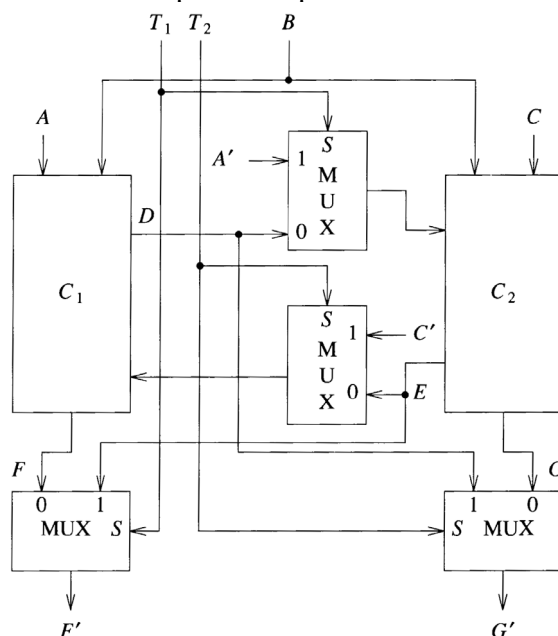


Figura 11. Versiunea modificată PPT a circuitului combinațional partiționabil.

Pentru  $T_1 T_2 = 01$ , circuitul  $C_1$  este alimentat de LPI  $A$  și  $C'$ ; ieșirile  $F$  și  $D$  sunt observabile în  $F'$  și respectiv  $G'$ . Deci  $C_1$  poate fi testat independent de  $C_2$ . Similar  $C_2$  poate fi testat independent de  $C_1$ . În parte și multiplexoarele pot fi testate atunci când sunt testate  $C_1$  și  $C_2$ .

Totuși nu toate căile prin multiplexoare sunt testate și sunt necesare anumite teste globale pentru a asigura o acoperire 100% a defectelor. Spre exemplu, calea de la  $D$  la  $C_2$  nu este testată atunci când sunt testate  $C_1$  și  $C_2$ , în mod separat.

Această schemă de partiționare crește controlabilitatea și observabilitatea intrărilor și respectiv, ieșirilor, asociate circuitelor  $C_1$  și  $C_2$ . Se presupune, spre exemplu, că procesul de generare al testelor necesită  $n^2$  pași de calcul pentru un circuit cu  $n$  porți, iar circuitul  $C$  are 10 000 de porți fiind partiționat în două sub-circuite  $C_1$  și  $C_2$  cu câte 5 000 de porți fiecare.

Atunci, generarea testelor pentru varianta nepartiționată necesită  $10^8$  pași de calcul, în timp ce generarea testelor pentru  $C_1$  și  $C_2$  necesită numai  $5 \times 10^7$  pași de calcul, adică jumătate din timpul de calcul necesitat pentru varianta nepartiționată.

Se presupune acum ipotetic că se dorește să se testeze exhaustiv același circuit, adică prin aplicarea tuturor intrărilor posibile. Fie  $m = n = s = 8$ , iar  $p = q = 4$ . Pentru a testa  $C_1$  și  $C_2$  ca o singură unitate sunt necesari  $2^{8+8+8} = 2^{24}$  vectori de test.

Testarea individuală a circuitelor  $C_1$  și  $C_2$  necesită doar  $2^{8+8+4} = 2^{20}$  vectori de test.

Procedeul prezentat poate fi iterat astfel încât partiționarea circuitului să se facă prin mai mult decât două blocuri și să se micșoreze, astfel, și mai mult complexitatea generării testelor.

## 2.7 Redundanța logică

*Regulă:* Se va evita redundanța logică.

Se reamintește că redundanța logică introduce defecte care în circuitele combinaționale și în cele mai multe dintre circuitele secvențiale, nu sunt detectabile prin teste statice. Exista mai multe motive pentru care redundanța logică trebuie evitată:

- dacă apare un defect redundant, acesta poate invalida anumite teste calculate pentru defecte neredundante.
- defectele redundante fac dificilă calcularea acoperirii defectelor.
- se poate consuma foarte mult timp de calcul încercând să se genereze un test pentru un defect situat pe o linie redundantă, presupunând că se cunoaște *a priori* că acel defect este situat pe o linie redundantă.

Din nefericire aici apare un paradox, deoarece procesul identificării redundanței logice într-un circuit este *NP-dificil*. Uneori redundanța este introdusă în circuite pentru a elimina anumite tipuri de hazarduri din circuitele combinaționale sau pentru a obține un nivel ridicat de fiabilitate. Pentru astfel de situații se pot introduce puncte de test care să inhibe redundanța logică pe durata testului fără să se modifice cu ceva funcționarea circuitului în sine.

## 2.8 Buclele de reacție negativă globală

*Regulă:* Trebuie prevăzută logica necesară desfăcerii buclelor de reacție negativă globală.

Se consideră o cale de reacție negativă globală dintr-un circuit. Această cale poate fi parte a unei bucle sincrone sau asincrone de reacție negativă.

Observabilitatea poate fi ușor de obținut prin plasarea unui punct de test pe un semnal aflat undeva pe această cale. Controlabilitatea poate realizată prin circuite de injecție logică așa cum s-

a văzut mai devreme. Cea mai simplă formă de circuit logic asincron este un *latch*, care este partea esențială a celor mai multe realizări de bistabile. În această secțiune vor fi considerate blocuri logice mari care au linii de reacție negativă globală. De reținut că dificultățile asociate hazardurilor sunt mult mai grave în circuitele asincrone decât în cele sincrone. Deasemenea, circuitele asincrone prezintă dificultăți proprii în termeni de curse. Problema generării testelor pentru astfel de circuite este cu mult mai dificilă decât pentru circuitele sincrone, în primul rând pentru ca semnalele se pot propaga prin circuit o dată sau de mai multe ori înainte ca circuitul să se stabilizeze. Din aceste motive, circuitele asincrone altele decât *latch*-urile trebuie evitate pe cât este posibil. Dacă nu este posibil să se renunțe la astfel de circuite, atunci liniile de reacție negativă globală trebuie făcute controlabile și observabile așa cum s-a arătat mai devreme.

### 3 Controlabilitate și observabilitate cu ajutorul registrelor scan

Prin folosirea punctelor de test se poate îmbunătăți controlabilitatea și observabilitatea unui circuit. Dar această îmbunătățire poate fi dezavantajoasă ca și costuri în termeni de pini de I/E. O altă cale de creștere a observabilității și/sau controlabilității se poate constitui prin folosirea unui *registru de scan* (RS). Un RS este un registru cu capacitatea de încărcare atât în mod paralel cât și serial. Celulele de stocare (memorie) din RS sunt folosite ca puncte de observație și/sau puncte de control. Folosirea RS, în locul pinilor de I/E, aparține de compromisul dintre timpul de test, suplimentul de arie dedicat PPT și numărul de pini de I/E. Figura 12 prezintă forma generică a unei *celule de stocare de scan* (CSS) și RS corespunzător. Atunci când  $N'/T = 0$  (modul normal), datele sunt încărcate în CSS din linia de intrare date ( $D$ ); iar când  $N'/T = 1$  (modul test), datele sunt încărcate din linia  $S_i$ .

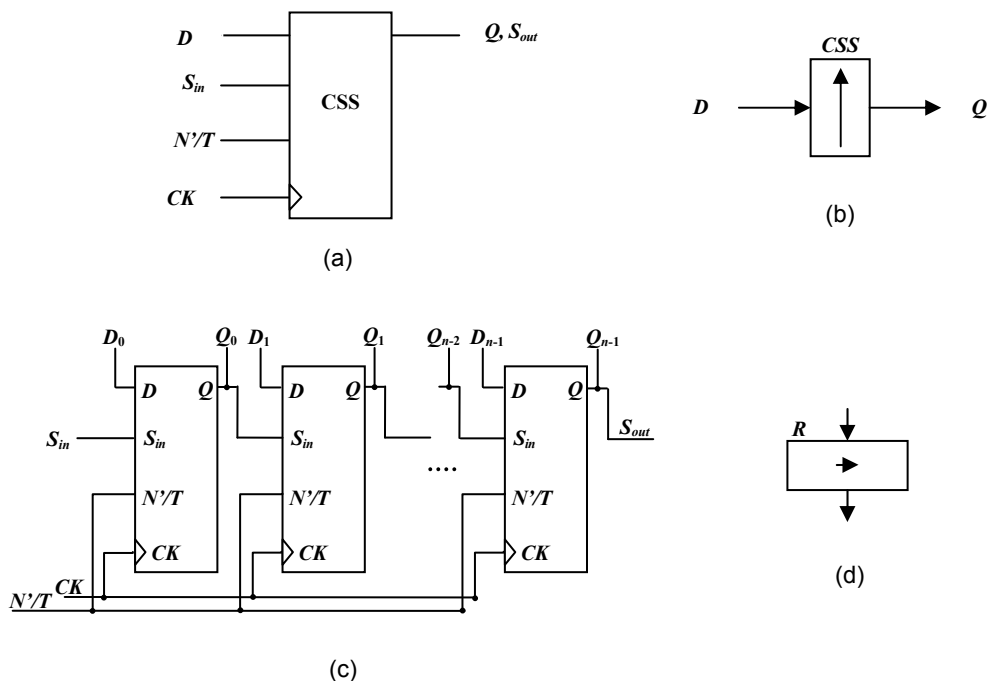


Figura 12. (a) O celulă de stocare scan (CSS); (b) simbolul unei CSS; (c) un RS cu  $n$  ranguri; (d) simbolul pentru un RS.

Un RS,  $R$  deplasează informația atunci când  $N'/T = 1$  și încarcă paralel date când  $N'/T = 0$ . Încărcarea datelor în  $R$  din liniile  $S_i$  când  $N'/T = 1$  este cunoscută sub denumirea *operație de scan-in*; extragerea datelor din  $R$  prin linia  $S_{out}$  este numită *operație de scan-out*.

### Controlabilitate și observabilitate simultan disponibile

Figura 13(a) prezintă două circuite complexe  $C_1$  și  $C_2$ . Aceste circuite pot fi, combinaționale ori secvențiale. În figură este arătat numai un singur semnal ( $Z$ ) dintre cele două circuite (pentru eventuale alte semnale între cele două circuite, procedeele ce vor fi examinate în continuare, sunt similare).

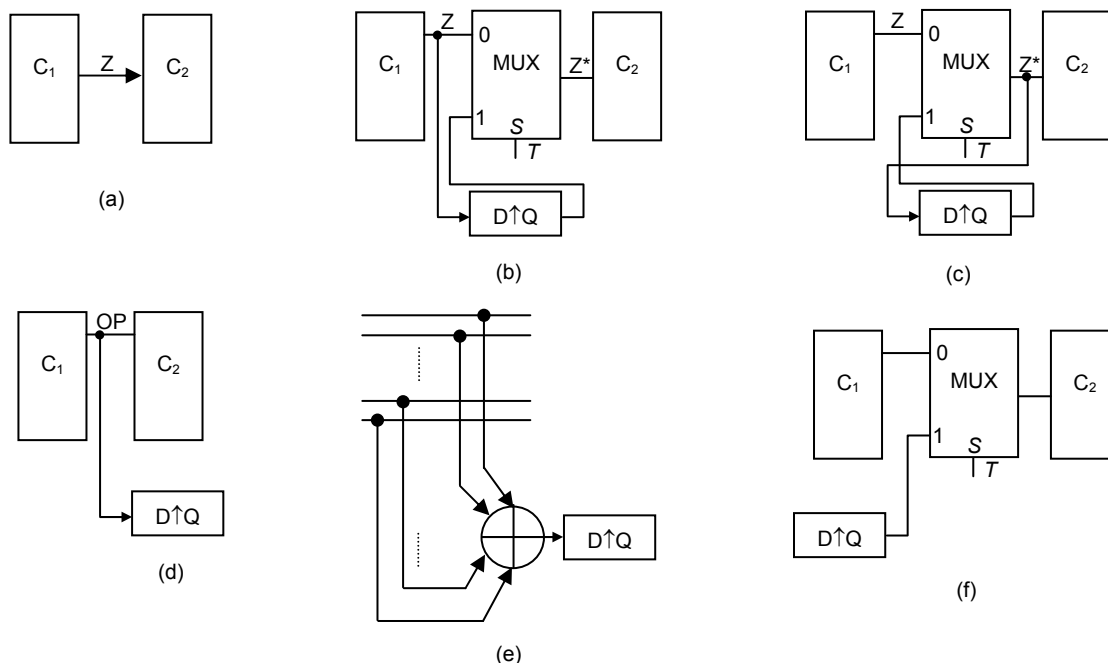


Figura 13.

- (a) Interconectare normală.
- (b) Simultan Control/Observabilitate.
- (c) Control/Observabilitate separate.
- (d) Circuit cu Observabilitate.
- (e) Compactarea datelor.
- (f) Circuit cu Controlabilitate.

Figura 13(b) prezintă maniera în care linia  $Z$  poate să fie făcută atât observabilă cât și controlabilă cu ajutorul unei CSS. Informația din linia  $Z$  poate fi încărcată în CSS și apoi observată prin intermediul unei operații *scan-out*. Informație poate fi încărcată și din exterior în CSS printr-o operație *scan-in* care să fie ulterior injectată în linia  $Z^*$ . Se ajunge astfel la obținerea unei simultaneități a observabilității și controlabilității asupra liniei  $Z$ . Astfel,  $RS$  poate fi preîncărcat cu informația ce urmează să fie injectată în circuit. Circuitul va funcționa uzual, normal, se presupune până la momentul  $t$ . La momentul  $t+1$ , dacă  $T = 1$ , atunci informația (data) din CSS va fi injectată în  $Z^*$ ; dacă  $N/T = 0$  atunci informația din linia  $Z$  va fi încărcată în CSS.

### Controlabilitate și observabilitate nesimultan disponibile

În figura 13(c) este prezentată o variantă a schemei deja introduse. În această variantă se poate, pe de-o parte, observa valoarea liniei  $Z^*$  cu ajutorul  $RS$ , iar pe de-altă parte, se poate controla valoarea liniei  $Z^*$ . Aceste două operații nu sunt realizabile simultan.

Figura 14 exemplifică o soluție CSS mai complexă, utilizabilă în circuitele secvențiale sensibile la parametrul timp, așa cum sunt circuitele secvențiale asincrone.

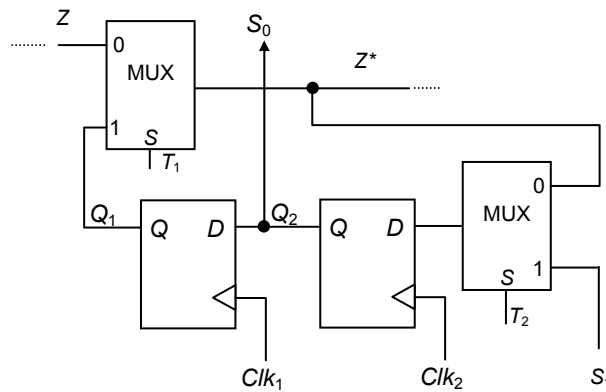


Figura 14. Structură CSS complexă

Bistabilul  $Q_2$  este parte a lanțului de *scan*; adică, poziționând  $T_2=1$  și aplicând un impuls de ceas pe linia  $Clk_2$ , această structură CSS formează un registru de deplasare. Prin încărcarea bistabilului  $Q_1$  și poziționarea  $T_1 = 1$ , se pot injecta valori convenabile în circuit. Similar, aplicând  $T_2 = 0$  și aplicând impuls de ceas  $Clk_2$ , se pot încărca date în registrul de scan.

Un posibil scenariu de folosire a CSS complexe din figura 14 este descris în cele ce urmează:

1. Se încarcă registrul de scan cu datele de test, poziționând linia  $T_2 = 1$  și aplicând impuls de ceas pe linia  $Clk_2$ ;
2. Se pilotează circuitul testat către o stare predefinită prin linia  $T_1 = 0$ ;
3. Se transferă conținutul bistabilului  $Q_2$  în bistabilul  $Q_1$ ;
4. Opțional:
  - a. Se încarcă  $Z^* = Z$  în  $Q_2$ , aplicând  $T_2 = 0$  și trimițând un singur impuls de ceas  $Clk_2$ ;
  - b. Se extrag datele din bistabilii  $Q_2$  prin operație scan-out.
5. Se injectează semnale în circuit prin poziționarea liniei  $T_1 = 1$ ;
6. (Opțional) Se administrează unul sau mai multe impulsuri de ceas circuitului;
7. Se culeg date din punctele de observație poziționând linia  $T_2 = 0$  și se trimite un singur impuls de ceas  $Clk_2$ ;
8. Se extrag aceste date poziționând  $T_2 = 1$  și aplicând impuls de ceas pe linia  $Clk_2$ .

Se observă că ultimul pas din scenariu coincide cu primul - adică informația poate fi simultan operată *scan-in* și *scan-out* într-un registru de scan, la un moment dat.

#### *Doar observabilitate*

Figura 13(d) arată cum poate fi conectat un punct de observație la o CSS dintr-un registru de scan pentru a câștiga observabilitate. În figura 13(e) volumul de CSS a fost redus prin combinarea mai multor puncte de observație printr-un sumator modulo-2 conectat apoi la o singură CSS. Metoda detectează erorile simple, dar are dezavantajul că nu detectează defectele care afectează două semnale legate la același generator de paritate.

## Doar controlabilitate

În cazul în care este necesară doar controlabilitatea unei linii se poate utiliza tehnica expusă în figura 13(f).

De remarcat faptul că, în toate cazurile expuse până acum, s-a presupus că pentru controlabilitate este necesară capacitatea injectării unei valori 1 sau 0 în circuit. Dacă nu este cazul, atunci multiplexorul MPX poate fi înlocuit printr-o poartă ȘI, ȘI-NU, SAU, ori SAU-NU.

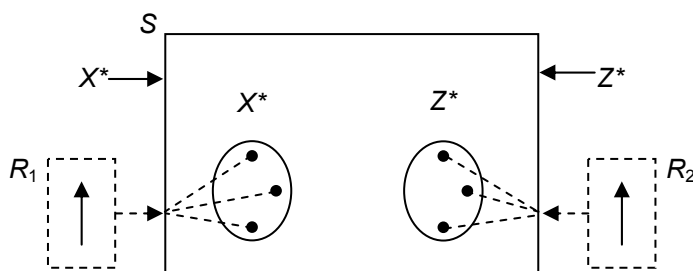


Figura 15. Arhitectura generală a utilizării punctelor de scan legate la registrele de scan.

## Aplicații

Se consideră un circuit secvențial  $S$  având intrările  $X$  și ieșirile  $Z$ . Pentru a crește controlabilitatea s-au adăugat puncte de control notate  $X^*$ . Aceste puncte de control pot fi conduse printr-un registru de scan,  $R_1$ . Pentru creșterea observabilității s-au adăugat puncte de observare, notate prin  $Z^*$ . Aceste puncte se pot conecta la porturile de intrare ale registrului de scan  $R_2$ . Astfel, liniile  $X^*$  acționează ca niște *pseudo-linii primare de intrare* iar,  $Z^*$  ca niște *pseudo-linii primare de ieșire*. Folosirea punctelor de test  $X^*$  și  $Z^*$  simplifică simțitor generarea automată a testelor. Se presupune că s-a rulat un algoritm secvențial de generare automată a testelor pentru circuitul  $S$  și că anumite defecte au rămas nedetectate. Fie  $d$  un astfel de defect. Prin simularea secvenței de test generate pentru defectele ce au fost detectate, este adesea posibil să se găsească o stare  $s_0$  astfel încât dacă semnalele ar fi injectate în anumite linii iar alte linii ar fi făcute observabile, defectul  $d$  ar putea fi detectat. Liniile specificate anterior definesc  $PC$  și  $PO$  ce vor trebui utilizate. Acum, pentru a detecta acest defect se încarcă registrul de scan  $R_1$  cu datele corespunzătoare operației de scan. Astfel, se aplică o secvență de intrare, de lungime arbitrară, care pilotează circuitul în starea  $s_0$ . Apoi, se aplică intrările corespunzătoare  $X^*$  circuitului  $S$ . Răspunsul circuitului din  $Z$  și  $Z^*$  poate fi, acum, observat și defectul detectat. Prin repetarea acestui proces pentru alte defecte nedetectate se poate obține o creștere a acoperirii defectelor. Bineînțeles, aceasta se obține pe seama adăugării a mai multe CSS.

Se remarcă faptul că bistabilii originali ai circuitului  $S$  nu sunt afectați în vreun fel. În final, se folosește o proiectare corespunzătoare a CSS și este posibil să se combine cele două registre  $R_1$  și  $R_2$  într-un singur registru unde fiecare CSS este folosită atât ca  $PC$  cât și ca  $PO$ . CSS expusă în figura 14, este potrivită pentru astfel de aplicații.