

Calculatoare Numerice 2.

TEMA de CASA I

(Termen de predare: saptamana 8-13 decembrie 2008)

Proiectarea si simularea la nivel de descriere Verilog a unui procesor Risc (β), fara banda de asamblare.

Se cer urmatoarele:

1. Prezentarea schemei procesorului β si descrierea resurselor hardware la nivel de blocuri structurale, cu indicarea semnalelor de intrare, iesire, comanda, sincronizare etc.
2. Prezentarea procesorului β la nivelul Arhitecturii Setului de Instructiuni (coduri de operatii, moduri de adresare, conditii etc).
3. Prezentarea modulelor Verilog pentru componentele structurale de la punctul 1.
4. Simularea sistemului in Verilog, plecand de la un program in cod masina scris pentru β .
5. Completarea schemei cu interfetele pentru tastatura si monitor, in conformitate cu lucrarile de laborator efectuate anterior.
6. Experimentarea conectarii tastaturii si a monitorului: introducerea de programe dela tastatura si afisarea informatiilor relevante pe ecranul monitorului
7. Concluzii

Bibliografie:

- [1] *** ANEXA la Cursul CN2_2. Procesorul RISC (Beta, fara banda de asamblare)
http://www.csit-sun.pub.ro/courses/cn2/CN2_2_ANEXA.pdf
- [2] *** Cursul CN2_5. Proiectarea unui procesor RISC, ale carui instructiuni se deruleaza intr-un singur ciclu de ceas. http://www.csit-sun.pub.ro/courses/cn2/CN2_5.pdf
- [3] *** BETA_DOC. Documentatie Beta. <http://www.csit-sun.pub.ro/courses/cn2/>
- [4] *** Lucrarile de laborator CN1, sem2. 2007
- [5] *** Cursul 6004 MIT, <http://6004.csail.mit.edu>