Descrierea sistemelor numerice la nivelul transferurilor
intre registre folosind limbajul AHPL.

Sistemele numerice de calcul au un caracter complex, ceea ce conduce la o serie de dificultati, atat in privinta descrierii lor functionale, cat si a proiectarii lor.

Plecand de la modul lor de functionare, ele pot fi partajate in subsisteme sau module mai simple, cu specificatii bine precizate in legatura cu semnalele de intrare si iesire, care vor reprezenta date, comenzi, stari, sincronizari etc, pe de-o parte, cat si in legatura cu algoritmul de operare.

Sub aspect functional, un sistem numeric poate fi descris prin proceduri si functii, plecand de la algoritmul pe care trebuie sa-l execute. Astfel, intr-o prima etapa, descriera sistemului numeric va fi asemanatoare cu cea a unui program de mare complexitate.

Procedurile vor avea ca implementari fizice modulele, in timp ce functiile vor fi realizate prin unitati logice combinationale.

In cadrul modulelor pot fi evidentiate unitatile de executie si de comanda. In descrierea modulelor se intalnesc in mod frecvent functii a caror implementare conduce la scheme logice combinationale. Pentru prezentarea modalitatilor de descriere a modulelor si functiilor se va folosi forma BNF (Backus-Naur Form).

Structura unei proceduri (modul) este urmatoarea:

MODULE: < nume modul >
< lista de declaratii >
< lista de pasi AHPL >
ENDSEQ
< lista de instructiuni individuale nesincronizate si instructiuni >
END

< lista de declaratii >:= < MEMORY (memorii) >
< INPUTS (intrari) >
< OUTPUTS (iesiri) >
< BUSES (magistrale) >
< LABELS (etichete) >
< ONE-SHOTS (monostabile) >

< COMBUSES (magistrale decomunicatii)>

< MEMORY >: < lista de bistabile >;< lista de registre >;<lista de memorii >

< lista de bistabile >:= < nume bistabil >;...;< nume bistabil >

< lista de registre>:= < nume registru[i]>;...;<nume registru[j] >

< i, j >:= dimensiunile registrelor

< i, j >:= 1|2|.....|n

< lista de memorii >:= < nume memorie[m;n] >;...;< nume memorie[r;q]

< m,r >:= numar de cuvinte in memorii

< n,q >:= numar de biti in cuvintele de memorie

< m, n, q, r >:= 1|2|.....|n

< INPUTS >: < lista de vectori >;< lista de semnale individuale>

< lista de vectori >:= < nume vector[i] >;...;< nume vector[j] >

< lista de semnale individuale >:= < nume semnal >;...;< nume semnal >

<OUTPUTS >: < lista de vectori >;...;< lista de semnale individuale >

< BUSES >: < lista de magistrale >

< lista de magistrale >:= < nume magistrala[i] >;...;< nume magistrala[j] >

< i,j >:= dimensiunile magistralelor

< LABELS >: < lista de etichete >

< lista de etichete >:= < nume eticheta >;...; < nume eticheta >

(etichetele sunt folosite pentru a referi campuri din anumite registre - subregistre etc)

< ONE-SHOTS >: < lista de monostabili >

< lista de monostabili >:= < numemonostabil[i] >;...;< nume monostabil[j] >

< i,j >:= duratele semnalelor la iesirile monostabilelor, date in multipli ai perioadei de tact

< COMBUSES >: < lista de magistrale de comunicatii >

< lista de magistrale de comunicatii >:= < nume magistrala[i] >;< nume magistrala[j]

(magistrala de comunicatii trebuie sa fie conectata la un set de linii de intrare/iesire in/din modul >

Exemplu de declaratii: Se considera un modul FILTRU DE CUVINTE plasat intre doua sisteme numerice A (emitator) si B (receptor), care permite trecerea unor vectori

binari ce indeplinesc anumite conditii. Modulul poseda registrele de intrare si iesire REGIN[16] si REGIES[16], registrul intern A[4] si bistabilul a, intrarea X[16] si iesirile Z[16], gatain, gataies.

Descrierea modulului va incepe astfel:

MODULE: FILTRU DE CUVINTE

MEMORY: REGIN[16]; REGIES[16]; A[4], a

INPUTS: X[16]

OUTPUTS: Z[16]; gatain; gataies

In continuare se va prezenta secventa de pasi AHPL. Un pas AHPL contine toate operatiile elementare, sincrone cu o perioada a ceasului, care au loc la nivelurile resurselor unitatilor de executie si comanda. Fiecare pas de comanda va consta in instructiuni AHPL de atribuire si/sau o instructiune AHPL de ramificare/control).

< secventa de pasi AHPL >:= < pas AHPL>
< pas AHPL >
.....
< pas AHPL >

< pas AHPL >:= < lista de instructiuni de atribuire >;< instructiune de ramificatie >

< instructiune de atribuire >:= < nul >|< transfer sincron >|< conexiune >|< transfer sicron; conexiune >

< instructiune de ramificare >:= < nul >|< $\rightarrow$ (F)/(S_j) >|< $\rightarrow$ (S_j) >|< DEAD END-fara continuare >

< nul >:= < absenta instructiunii de atribuire >|< instructiune implicita de ramificare la pasul urmator >

< transfer sincron >:= < VD <- VLCS >|< VD $\leftarrow$ MLCS*F >|< MD*F $\leftarrow$ VLCS >

VD - vector destinatie. El reprezinta fie un registru simplu, fie un vector format din unul sau mai multe elemente de memorie asamblate pe baza unor operatori de selectie. Indicii superiori si inferiori, care afecteaza operanzii, sunt in mod obligatoriu constante.

Se folosesc urmatorii operatori de selectie:

A_j - elementul j din vectorul

$A_{m:n}$ - elementele m, pina la n, din vectorul A

, - inlantuire (concatenare)

A ! B - inlantuire pe linii

M^j - linia j din matricea M

$M_{m:n}$ - liniile m, pina la n, din matricea M.

VLCS reprezinta un vector logic combinational sursa, constituit din expresii logice combinationale evaluate, ale caror argumente (operanzi) pot fi: elemente de memorie, intrari, functii logice, magistrale, constante binare.

Operatorii din expresii sunt de tip logic: $\cap$(SI), $\cup$ (SAU), $\overline{\ }$ (NU), $\cap$ / (SI aplicat elementelor vectorului), $\cup$/ (SAU aplicat elementelor vectorului), $\oplus$/ (SAU-Exclusiv), SYN (sincronizare).

In absenta parantezelor, in expresiile din VLCS, operatorii logici si de selectie vor avea urmatoarele prioritati:

1. Negatia si Sincronizarea,
2. Toti operatorii de selectie, cu exceptia inlantuirii,
3. $\cap$
4. $\cup$ sau $\oplus$,
5. Inlantuirea.

MD - *matrice de memorie sau asamblaj de registre* de memorare.

MLCS - *matrice logica combinationala sursa*, constituita din asamblaje de vectori logici combinationali.

F - *vector de selectie*, ale carui componente sunt expresii logice combinationale evaluate, care se exclud mutual:

$F = (f_1 (x_1 ,...,x_n),.....,fm (x_1 ,...,x_n),$

unde: $(f_i \cap f_j = 0)$ si $(\cup/F) = 1$; $i,j = 1,...,n; i = j; x_I \in \{ 0,1 \}$.

Expresiile: MLCS*F si MD*F sunt echivalente cu expresiile:

F/MLCS si F/MD (selectie pe linii).

< conexiune > := < BUS = VLCS >|< BUS = MLCS*F >|< Z = VLCS >|< Z= MLCS*F >

Exemple:

$D \leftarrow A_{m:n}$, $B_{p:q}$

$D \leftarrow A + B,C$

Fie matricea logica combinationala sursa: (A ! B ! C), unde A, B, C sunt vectori logici combinationali, si vectorul logic:

F = (d, e, f).

In aceste conditii se pot scrie urmatoarele instructiuni de atribuire:

1. $D \leftarrow$(A ! B ! C) * (d, e, f)

echivalenta cu:

$D \leftarrow d \cap A \ U \ e \cap B \ U \ f \cap C$

2. (A ! B ! C) * (d, e, f) $\leftarrow D$

echivalenta cu:

$d \cap A \cup e \cap B \cup f \cap C \ \leftarrow D$

3. BUS = (A ! B ! C) * (d, e, f)

reprezenand o conexiune conditionala la magistrala BUS a unuia dintre vectorii A, B, sau C.

In instructiunea de tip ramificatie, F are semnificatia prezentata mai sus, iar E constituie un vector ale carui componente (E_i) sunt numere/etichete de pasi AHPL, din secventa data, la care poate avea loc ramificarea (transferul comenzii).

De exemplu, ramificarea:

$\rightarrow (\overline{x}, \ x)/(E_i, E_j)$

asigura transferul comenzii la linia Ei , daca x = 1 sau la linia Ej , daca x = 0.

DEAD END marcheaza sfarsitul comenzii, terminarea operarii in sensul ca instructiunea de comanda nu mai genereaza trecerea la pasul urmator din secventa, acesta lipsind.

Dupa END SEQ (sfarsitul secventei de pasi AHPL), in descrierea modulului sunt plasate instructiunile individuale de atribuire nesincronizate, conexiunile permanente, operatiile de

comanda asincrone, cum ar fi operatia RESET(1), care forteaza reluarea secventei numerotate de pasi AHPL de la linia 1.

Descrierea AHPL a unei functii.

UNIT: < nume de functie >(<parametri>)

< declaratii >

< secventa de instructiuni de conexiune, contorizare,

transfer al comenzii >

END

< parametri > := < lista de intrari >

< lista de intrari >:= < VLC >|< MLC >

< declaratii >: < INPUTS >

< OUTPUTS >

< INPUTS >: < lista de intrari separate prin ; >

< OUTPUTS >:< vector logic combinational >

< secventa de instructiuni > := < conexiune >| < atribuire de valoare unui indice >|< transfer conditionat al comenzii >

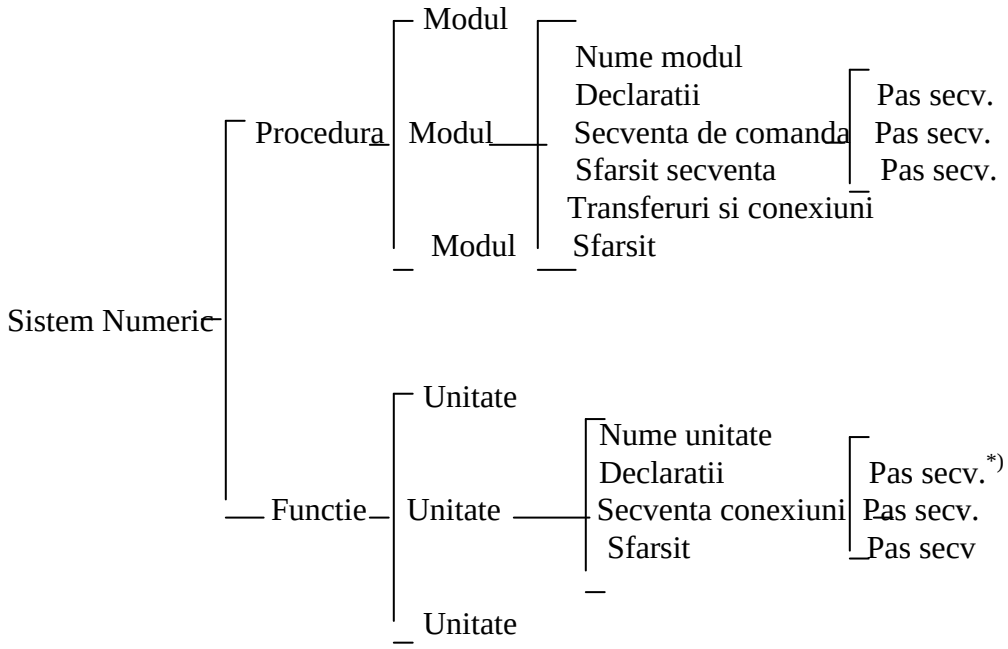
< atribuire de valoare unui indice > := < nume indice ⇐ valoare binara | zecimala >

< transfer conditionat al comenzii >:= < ⇒ (F)/(S) >

Efectul executiei unui program AHPL, ce descrie o unitate, reprezinta compilarea - generarea schemei hardware pentru acea unitate combinationala. Numai instructiunile de conexiune genereaza efectiv hardware. Instructiunile care manipuleaza indici si cele de transfer asigura efectuarea unor operatii de ciclare pentru generarea unor copii multiple ale aceleiasi scheme.

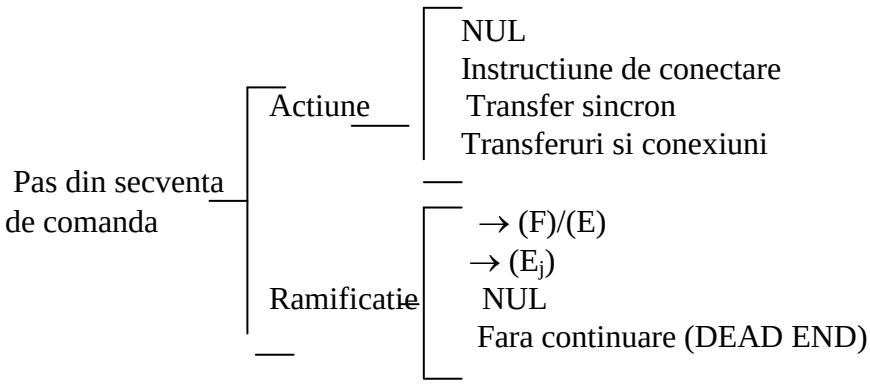
Folosirea functiilor, in cadrul unor module, presupune descrierea lor ca unitati, o singura data, in vederea compilarii/generarii schemei logice combinationale specifice. Unitatea poate fi apelata ca functie, in cadrul instructiunilor de atribuire (transfer | conexiune), din secventa de pasi AHPL ai unui modul.

In rezumat, structura bloc a unui sistem numeric consta in module si functii:

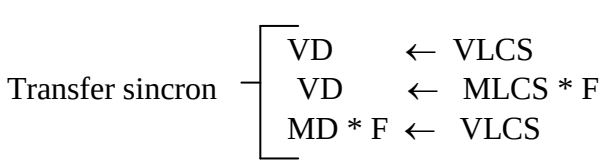


*) Specifica o conexiune

Sintaxa unui pas de comanda din secventa:



Transferul sincron poate avea unul din urmataoarele formate:



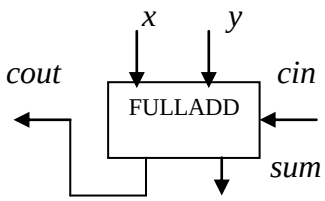
Instructiunea de conectare poate avea unul din urmatoarele formate:

Instructiune de conectare —
- BUS = VLCS
- BUS = MLCS*F
- z = VLCS
- z = MLCS * F

Exemple de descrieri AHPL ale unor UNITATI (Circuite Logice Combinationale) si ale unor module.

1. Sumatorul Complet (FULLADD).

Sumatorul Complet reprezinta un circuit logic combinational cu trei intrari: *x, y, cin* si doua iesiri: *sum, cout*. Intrarile *x* si *y* sunt intrari de date de cate un bit (corespunzatoare unui rang oarecare *i*, in cazul adunarii a doi vectori binari X si Y), iar *cin* este intrarea de transport (din rangul inferior). Iesirea *sum* corespunde sumei, pentru rangul curent, iar *cout* constituie transportul in rangul urmator.



Ecuatiile logice pentru *sum* si *cout* sunt urmatoarele:

$$sum = (x \cap \overline{y} \cap \overline{cin}) \cup (\overline{x} \cap y \cap \overline{cin}) \cup (\overline{x} \cap \overline{y} \cap cin) \cup (x \cap y \cap cin)$$

$$cout = (x \cap y) \cup (x \cap cin) \cup (y \cap cin)$$

Aceste ecuatii se pot implementa cu ajutorul portilor SI, SAU, NU.

Folosind si porti SAU-EXCLUSIV, expresiile de mai sus devin mai simple:

$$sum = x \oplus y \oplus cin$$

$$cout = ((x \oplus y) \cap cin) \cup (x \cap y)$$

Cu ajutorul ecuatiilor de mai sus se poate prezenta o secventa AHPL, de descriere a Sumatorului Complet, sub forma unei Unitati:

UNIT: FULLADD(*x* ; *y* ; *cin*)

INPUTS: *x* ; *y* ; *cin*

OUTPUTS: FULLADD[2]

1. $a = x \oplus y$
2. $b = x \cap y$
3. $sum = a \oplus cin$
4. $c = a \cap cin$
5. $cout = b \cup c$
6. $FULLADD_0 = cout$
7. $FULLADD_1 = sum$

END

Primele cinci instructiuni reprezinta pasi de conectare, iar ultimele doua instructiuni constituie iesirile.

Se poate observa ca secventa care descrie un Sumator Complet are un caracter “spatial”, in sensul ca pasii reprezentati corespund iesirilor/intrarilor portilor logice, care intra in componenta unei retele spatiale. Pasii 1-7 nu sunt legati de vreun mecanism de temporizare. Elementul timp intervine, in acest context, numai in legatura cu intarzierea in propagarea semnalelor prin porti.. Intrarile *x*, *y* si *cin* trebuie sa fie stabile pana la obtinerea rezultatelor *sum* si *cout*.

Pe baza Unitatii FULLADD se poate genera un sumator cu transport succesiv pentru numere binare de cate 16 biti.

Sumator, ADD, cu transport succesiv, pentru numere binare de cate 16 biti.

Pentru realizarea unui asemenea sumator, se vor utiliza, in calitate de blocuri constructive, componentele Sumatorului Complet: $FULLADD_0$ si $FULLADD_1$. Acestea vor fi chemate succesiv, in cadrul unor cicluri, pentru fiecare bit al sumatorului ADD. In programul AHPL, pentru controlul ciclurilor, se va introduce un indice *i*, care va fi initializat, decrementat si testat.

Operatiile corespunzatoare manipularii indicelui *i* vor fi marcate cu sageti cu corp dublu, care vor fi tratate intr-o maniera specifica de catre compilatorul, care va genera schema lui ADD.

UNIT: ADD(*X*; *Y*)

INPUTS *X*[16]; *Y*[16]

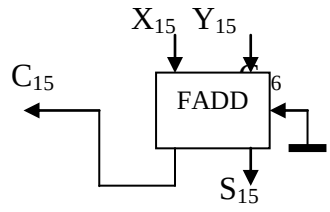
OUTPUTS: *ADD*[17]

1. $C_{16} = 0$
2. $i \Leftarrow 15$
3. $C_i = \text{FULLADD}_0 (X_i; Y_i; C_{i+1})$
4. $S_i = \text{FULLADD}_1 (X_i; Y_i; C_{i+1})$
5. $i \Leftarrow i - 1$
6. $\Rightarrow (i \geq 0)/(3)$
7. $\text{ADD} = C_0, S_{0:17}$

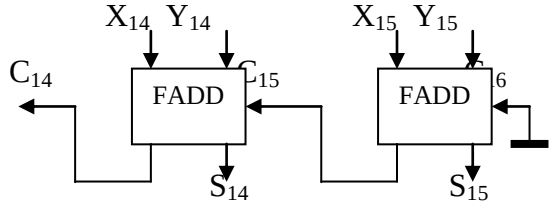
END

Compilarea manuala a acestui program AHPL, va genera elementele schemei sumatorului ADD, in maniera prezentata mai jos la nivelul primelor doua si al ultimei parcurgeri a programului.

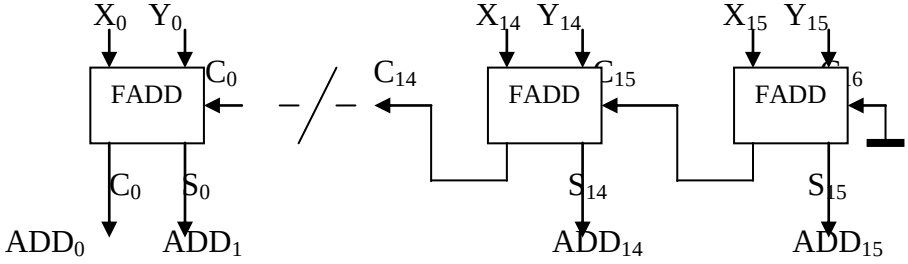
1.



2.

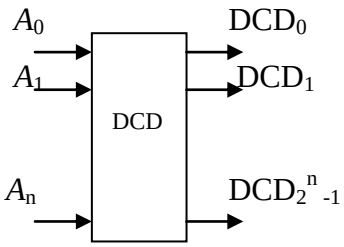


3.



2. Decodificatorul DCD.

Decodificatorul DCD(A), unde A este un vector binar de n biti, este un circuit combinational cu n intrari si 2^n iesiri. Pentru oricare vector binar, aplicat la intrare, numai o singura iesire a decodificatorului va fi activa.



Descrierea DCD(A) in AHPL este urmatoarea:

UNIT: DCD(A)
INPUTS: A[n]
OUTPUTS: DCD(2^n)
1. i $\Leftarrow$ 0
2. $DCD_i = \cap/((n \text{ T } i) / A), (\overline{n \text{ T } i}) / \overline{A})$
3. i $\Leftarrow$ i + 1
4. i $\Rightarrow$ (i < 2^n)/(2)

END

Primul pas initializeaza indexul i, pentru a stabili iesirea decodificatorului, care urmeaza sa fie evaluata. Operatiile inceteaza dupa evaluarea tuturor iesirilor decodificatorului DCD.

Pentru a intelege cum se evalueaza iesirile decodificatorului, sa considera cazul particular

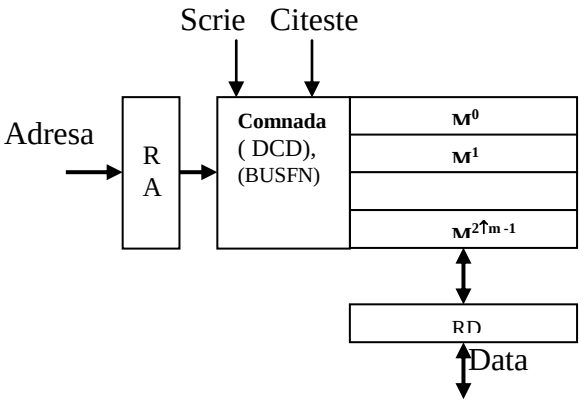
$n = 4$ si $i = 5$.

$$DCD_5 = \cap/((4 \text{ T } 5) / A), (\overline{4 \text{ T } 5}) / \overline{A})$$
$$= \cap/((0,1,0,1) / A), (\overline{0,1,0,1}) / \overline{A})$$
$$= \cap/((A_1, A_3), (\overline{A_0}, \overline{A_2})) = \overline{A_0}, A_1, \overline{A_2}, A_3$$

In cazul in care A = A_0, A_1, A_2, A_3 = (0, 1, 0, 1) se obtine DCD_5 =1. Celelalte iesiri DCD_j, pentru care $j \in \{0, 1, 2, \ldots, 2^{n-1}\} \cap j \neq 5$, vor lua valoarea 0.

3. Circuitul, BUSFN, de citire a unui cuvant dintr-o memorie M.

Se considera o memorie **M**, alcatuita din mai multe registre $\mathbf{M}^0$, $\mathbf{M}^1$, ……, $\mathbf{M}^{2\uparrow m\ -1}$. Memoria primeste informatiile de adresa de la un registru RA si efectueaza operatiile de citire/scriere prin intermediul unui registru RD.



Memoria M dispune de o unitate de comanda, care asigura controlul operatiilor de scriere si citire, pe baza semnalelor primite din exterior.

Operatiile de citire si scriere se pot descrie, la nivelul transferurilor intre registre, dupa cum urmeaza:

- **Citire**

  i. RA ← Adresa
  (i +1). RD ← BUSFN(**M**; DCD(RA)); Citeste = 1

- **Scriere**

  j. RA ← Adresa; RD ← Data
  (j +1). **M*** DCD(RA) ← RD; Scrie = 1

BUSFN(**M**; DCD(RA)) reprezinta o functie logica combinationala, care are ca argumente o matrice **M**, cu ρ2**M** linii si ρ1**M** coloane, pe de-o parte, si un vector DCD(RA), cu 2^m componente, pe de alta parte, unde ρ2**M** = 2^m.

Daca in locul vectorului DCD(RA) se utilizeaza un vector R[r], iar ρ1**M** este egal cu *p*, se poate obtine urmatoarea descriere AHPL:

UNIT: BUSFN(**M** ; R)

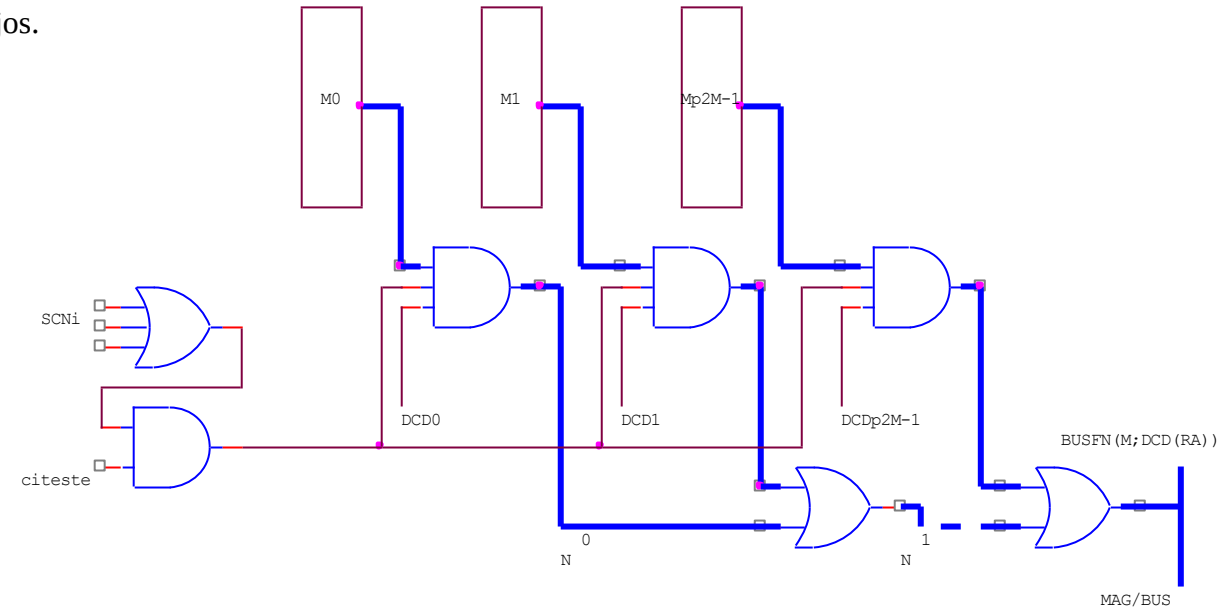
INPUTS: **M**[*r* : *p*]

OUTPUTS: BUSFN[p]

1. $\mathbf{N}^0 = \mathbf{M}^0 \cap R_0$
2. $i \Leftarrow 1$
3. $\mathbf{N}^i = (\mathbf{M}^i \cap R_i) \cup \mathbf{N}^{i-1}$
4. $i \Leftarrow i + 1$
5. $i \Rightarrow (i < r)/(3)$
6. BUSFN = $\mathbf{N}^{r-1}$

END

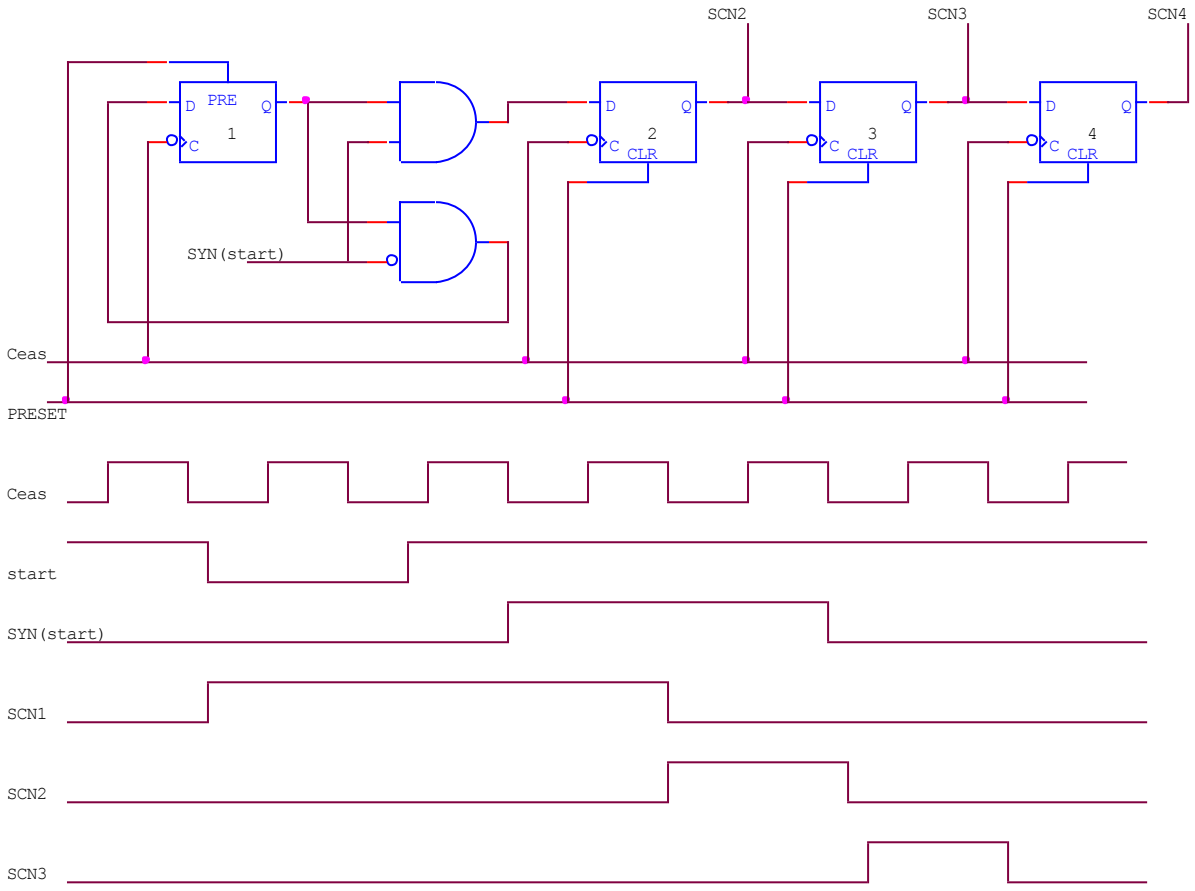
O schita a implementarii unitatii BUSFN, in contextul operatiei de citirere, este data mai jos.



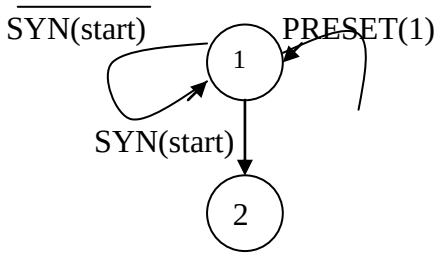
4. Implementarea secventei start/reset (PRESET).

Implementarea primilor pasi dintr-o secventa AHPL, din cadrul descrierii unui modul a carui operare este lansata de semnalul *start*, este prezentata mai jos. Primul bistabil (1), cat si celelalte bistabile (2), (3), (4) ale schemei de comanda au fost fortate, printr-un semnal *reset*/PRE/CLR asincron, in starile $Q_1 = 1$ si, respectiv, $Q_2 = 0$, $Q_3 = 0$, $Q_4 = 0$. Comanda *reset*, in cazul de fata PRESET, are un caracter asincron si apare, in secventa

AHPL, intre specificatiileENDSEQ si END, sub forma: PRESET(1), unde (1) constituie linia AHPL, la care se efectueaza saltul (un GO TO 1 asincron).



In continuare, operarea automatului cu stari complet decodificate, la nivelul primului bistabil, este prezentata sub forma diagramei de tranzitii:

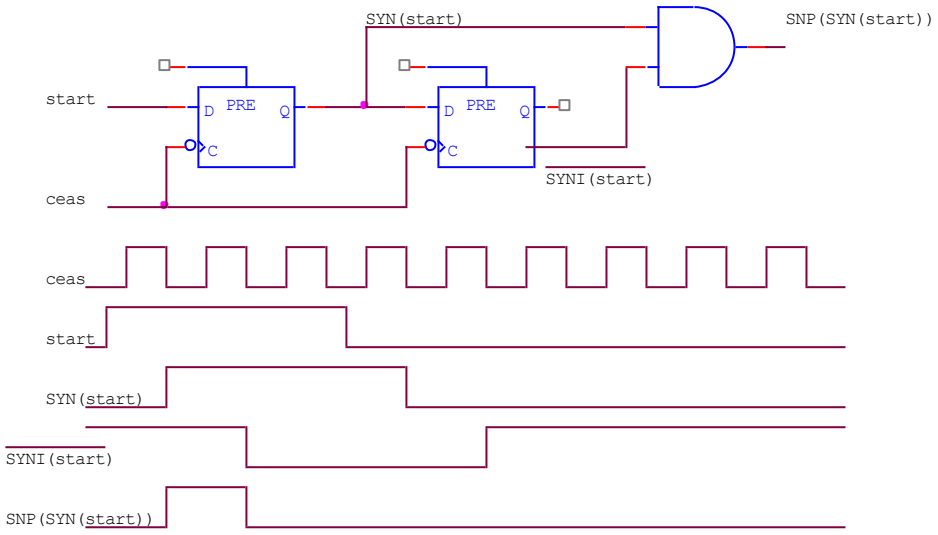


Dupa cum se constata, automatul va parasi starea (1) numai in conditiile in care semnalul SYN(*start*) va trece pe nivel ridicat. In caz contrar, starea (1) se va extinde pe un numar indefinit de perioade de ceas.

5. Sincronizarea semnalului *start*.

In cele prezentate mai sus, s-a vazut necesitatea existentei unui semnal de *start*, pentru activarea automatului de comanda al unui modul. De cele mai multe ori semnalul *start* este dat manual, ceea ce face ca el sa fie asincron cu ceasul sistemului si sa aibe o durata relativ mare.

Sincronizarea semnalului *start*, specificata prin operatorul SYN(*start*), se poate realiza cu ajutorul diferitelor scheme. Mai jos se prezinta una dintre acestea, impreuna cu diagramele de semnale.



Se poate usor observa ca, cel de-al doilea bistabilul reproduce sub forma negata, la iesirea Q, semnalul SYN(*start*), intarziat cu o perioada de ceas. Prin efectuarea produsului logic

intre SYN(*start*) si semnalul $\overline{\text{SYNI}(start)}$ se obtine un semnal de *start sincronizat*, de tip nivel, cu durata unei perioade de ceas: SNP(SYN(*start*)).

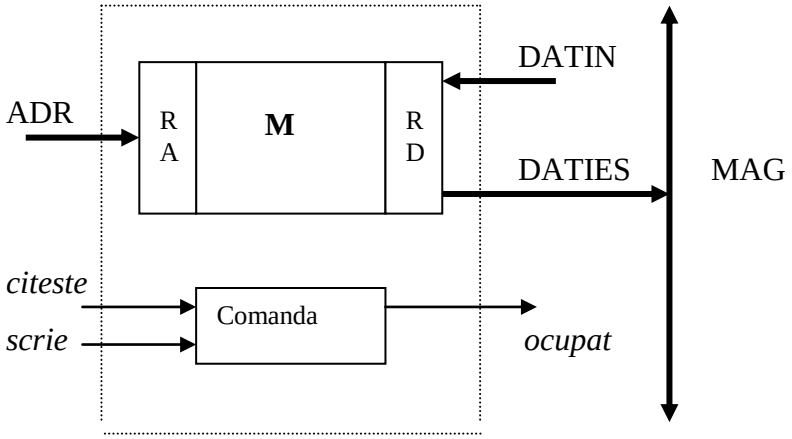
6. Comanda citirii instructiunii dintr-o memorie principala asincrona.

Memoriile principale ale calculatoarelor numerice reprezinta module, care opereaza asincron, de cele mai multe ori.

Secventa AHPL, pentru citirea unei instructiuni dintr-o memorie **M**, prevazuta cu registrele de adresa RA si registrul de date RD, in registrul de instructiuni RI, are urmatorul aspect:

2. RA ← CP /* CP este contorul programului
3. RD ← BUSFN(**M**;DCD(RA))
4. RI ← RD

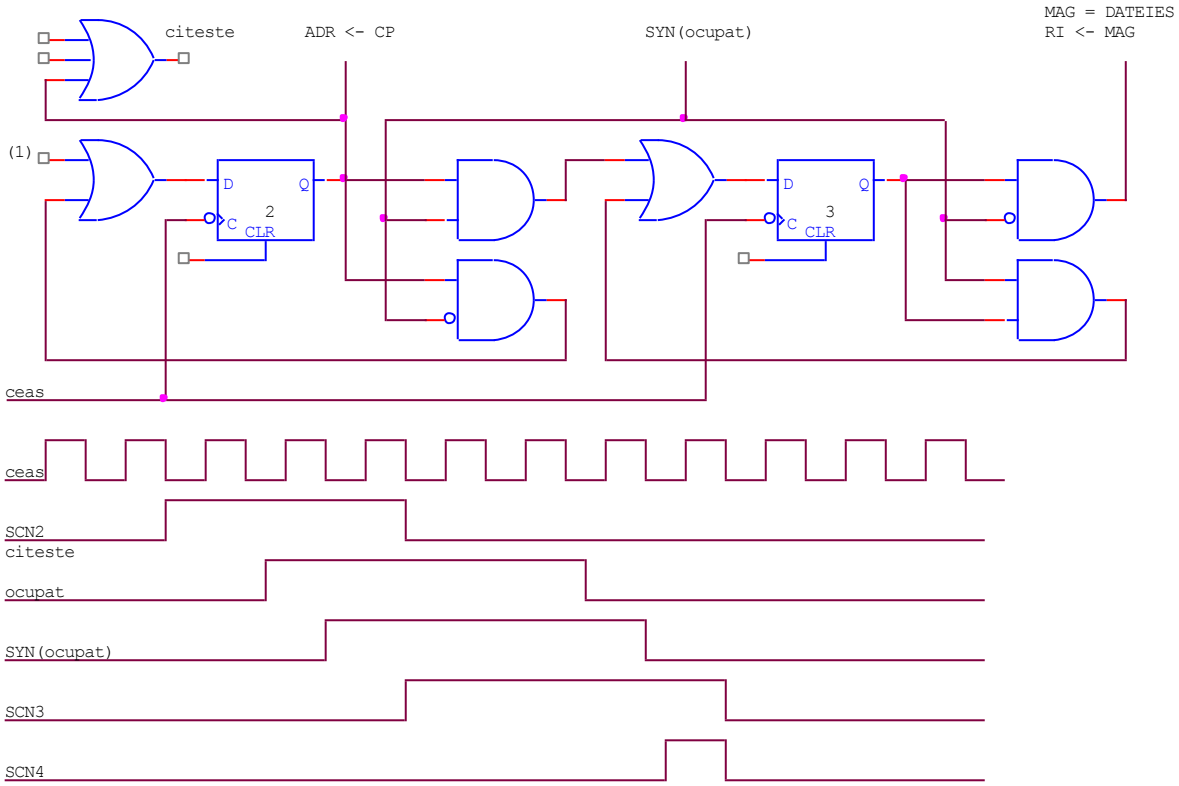
In cazul unei memorii asincrone, al carei model logic este dat mai jos, adresele si datele presupun, pe de-o parte, folosirea unor magistrale: ADR, DATIN, DATIES, iar comanda, pe de alta parte, utilizarea unor semnale de control *citeste*, *scrie* si de stare *ocupat*.



Modelul logic al modulului memoriei principale.

In aceste conditii secventa AHPL, de citire a unei instructiuni, din memorie, capata urmatorul aspect:

2. ADR ← CP; citeste = 1
   → $\overline{\text{SYN(ocupat)}}$/(2)
3. nul
   → SYN(ocupat)/(3)
4. FARA INTARZIERE
   MAG = DATIES; RI ← MAG



Se poate constata faptul ca, pasul (4), FARA INTARZIERE, este amorsat in ultima parte a pasului anterior (3), ceea ce conduce la castigarea unei perioade de tact.

7. Exemple de module descrise in AHPL.

7.1.Unitate de comanda pentru o masina unealta.

Se cere proiectarea unei unitati de comanda, pentru o masina unealta, care foloseste o memorie **ROM**[1024:18] pentru a stoca patru secvente, de cate 256 cuvinte x 18 biti, structurati sub forma a trei campuri, pentru a specifica pozitia uneltei in trei dimensiuni. Pozitia curenta a uneltei este memorata intr-un registru PR[18], care furnizeaza, conform structurarii sale pe cele trei campuri, vectori binari, de cate sase biti, pentru trei convertoare numeric/analogice CN/, care comanda echipamentul de actionare al masinii unelte. Comunicarea cu operatorul se realizeaza cu ajutorul unui bistabil *start*/*stop* *ss* (controlat din exterior de catre semnalele de comanda *start* si *stop*) si al unui registru

RSECV[2] (comandat din exterior prin semnalul SECV[2], in care se memoreaza numarul secventei, care se executa: 00, 01, 10, 11.

Prin fortarea in unu a bistabilului *ss*, se va lansa in executie secventa al carei numar este stocat in RSECV.

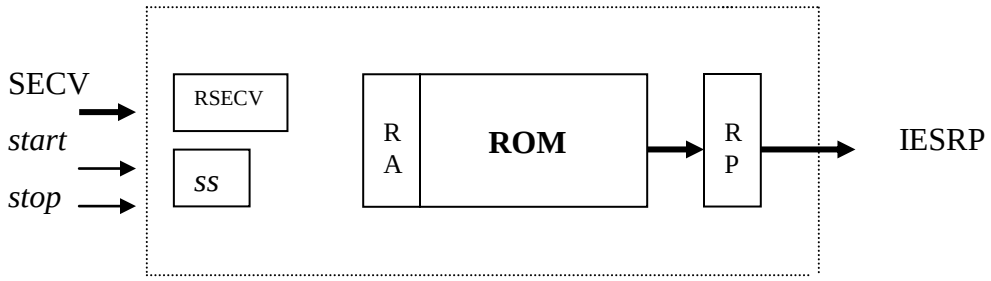
Daca, pe parcursul functionarii sistemului, operatorul forteaza in unu intrarea *stop*, bistabilul *ss* va lua valoarea zero, secventa curenta se va termina si in registrul RP se va stoca un vector binar cu 18 componente egale cu zero, iar unitatea de comanda va trece in starea initiala (1).

In cazul terminarii normale a secventei curente vor avea loc operatiile:

ss $\leftarrow$ 0 ; PR $\leftarrow$ 18 T 0 ; $\rightarrow$ (1)

Modificarile continuturilor lui ss si RSECV vor fi sincronizate cu ceasul.

Solutie: Pentru implementare, pe langa resursele mentionate mai sus, se va mai introduce un registru de adrese RA[10] de 10 biti. Cele patru secvente sunt notate cu A, B, C, D si vor avea, in zecimal, urmatoarele adrese de start: 0, 256, 512, 768. Frecventa ceasului este compatibila cu rata impusa de citirile efectuate de masina unealta. Un cuvant se citeste din memorie intr-o singura perioada de tact.



MODULE: Unitate_de _comanda_pentru_o_masina_unealta

MEMORY: **ROM**[1024:18]; RP[18]; RA[10]; RSECV[2]; *ss*

INPUTS: SECV[2]; *start*; *stop*

OUTPUTS: IESRP[18]

1. RSECV $\leftarrow$ SECV

   $\rightarrow$ ($\overline{ss}$, ss)/(1,2)

2. RA ←RSECV$_0$, RSECV$_1$, 8 T 0
3. RP ← BUSFN(**ROM**; DCD(AR))
4. RA ← INC(RA)

   → ((∩ /RA $_{2:9}$ ∩ *ss*), $\overline{ss}$, (∩ /RA $_{2:9}$ ∩ *ss*))/(5, 6 ,3)
5. *ss* ← 0
6. RP ← 18 ┬ 0

   → (1)

ENDSECV

ss ← (1 ! 0) * (*start*, *stop*)

IESRP = RP

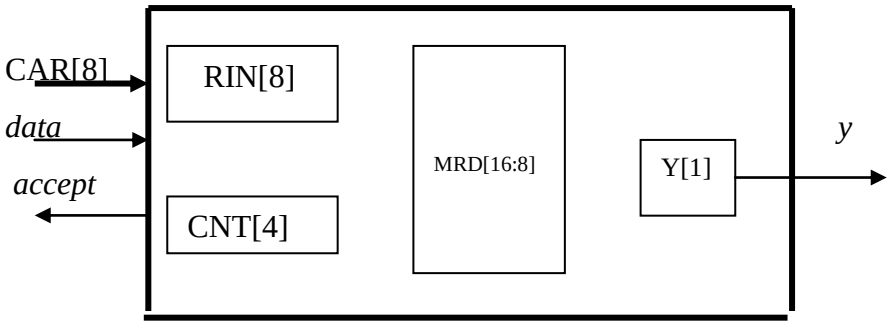
END

Plecand de la descrierea AHPL, de mai sus, sa se detalieze sectiunea de executie si sectiunea de comanda la nivelul schemelor cu porti, bistabile, registre, inclusiv semnalele de comanda.

7.2.Verificator de caractere duble.

Sa se proiecteze un modul numeric destinat verificarii caracterelor duble, prezente intr-un sir de caractere de cate 8 biti. Modulul poseda o linie de intrare, *data*, care va fi activata, pe nivel ridicat, de catre sursa de caractere, atunci cand un nou caracter este disponibil pe cele 8 linii de intrare CAR. Tranzitiile pe intrarile *data* si CAR[8] sunt sincronizate cu ceasul verificatorului de caractere. O linie de iesire, *accept*, va furniza un semnal de tip nivel, cu durata unei perioade de tact, dupa acceptarea caracterului de la intrarea CAR. O linie de iesire, *y*, conectata la un bistabil, Y, va fi activa pe nivel ridicat, in cazul in care cel mai recent caracter receptionat reprezinta o dublura a oricarui alt caracter din sirul de 16 caractere receptionate anterior. Iesirea *y* va trece in 0 atunci cand accept este fortat in 1, ceea ce indica receptionarea unui nou caracter. Intervalul intre spsirile a doua caractere succesive este suficient de mare pentru a permite verificarea seriala a existentei vreunei dubluri.

Sa se prezinte descrierea in AHPL a verificatorului de caractere duble.



Solutie: Verificatorul de caractere duble va contine un tablou de 8 registre de deplasare, a cate 16 biti fiecare. Acest tablou de registre va fi vazut ca o memorie **MRD** de 16 cuvinte a cate 8 biti: **MRD**[16:8]. In schema trebuie prevazute un registru de intrare RIN[8] si un contor de caractere CNT[4]. Caracterul curent, receptionat in RIN, este comparat cu fiecare caracter, stocat in MRD, in procesul rotirii caracterelor catre linia superioara. CNT va contoriza verificarea celor 16 caractere din **MRD.** Dupa terminarea verificarii ultimului caracter din **MRD**, caracterul curent, din RIN, este fortat in $\mathbf{MRD}^{15}$, in timp ce cuvantul, inregistrat de cel mai mult timp, care se afla in $\mathbf{MRD}^{0,}$ este pierdut. La detectarea unui caracter dublu semnalul *y* este fortat in 1.

Descrierea AHPL a modulului.

MODULE: Verificator_de_caractere_duble

MEMORY: MRD[16:8]; RIN[8]; CNT[4]; Y[1]

INPUTS: CAR[8]; *data*

OUTPUTS: *accept*; *y*

1. $\rightarrow (\overline{data},\ data)/(1, 2)$
2. *accept* = 1; $y \leftarrow$ 0;RIN $\leftarrow$ CAR; CNT $\leftarrow 4\top 0$
3. Y * $\cup$/(RIN $\oplus$ $\overline{\text{MRD}^0}$) $\leftarrow$1; CNT $\leftarrow$ INC(CNT); **MRD** $\leftarrow$ ($\mathbf{MRD}^{1:15}$! $\mathbf{MRD}^0$)
   $\rightarrow$ ($\cap$/CNT, $\cap$/CNT)/(4,3)
4. **MRD** $\leftarrow$ ($\mathbf{MRD}^{1:15}$! RIN) ; $\rightarrow$(1)

ENDSEQUENCE

y =Y

END