

LUCRAREA NR.5

CIRCUITE LOGICE CMOS

Scopul lucrării constă în cunoașterea elementelor de bază în utilizarea circuitelor CMOS, efectuându-se măsurători care să pună în evidență avantajele acestei familii de circuite logice, cu aplicații largi.

1. Schema de bază a circuitelor logice CMOS o constituie inversorul CMOS a cărei schemă este prezentată în *figura 5.1*. Caracteristica de transfer a circuitului este puternic dependentă de tensiunea de alimentare V_{DD} ; în *figura 5.2* sunt reprezentate cazurile când $V_{DD} > V_{pn} + V_{pp}$ (*figura 5.2.a*) și când $V_{DD} < V_{pn} + V_{pp}$ (*figura 5.2.b*).

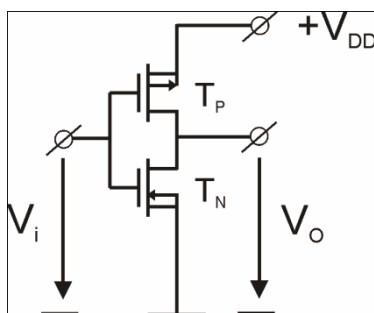


Fig. 5.1 Inversorul CMOS

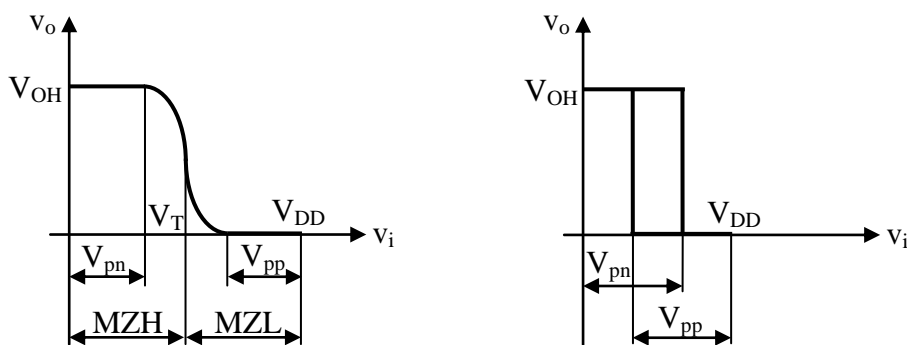


Fig. 5.2 a) Caracteristica de transfer a inversorului CMOS ($V_{DD} > V_{pn} + V_{pp}$) **Fig. 5.2 b)** Caracteristica de transfer a inversorului CMOS ($V_{DD} < V_{pn} + V_{pp}$)

Tranzistoarele MOS complementare sunt caracterizate prin tensiunile de prag V_{pn} și V_{pp} și prin factorii de curent k_n și k_p . În continuare se presupune că sunt valabile relațiile:

$$V_{pn} = V_{pp} = V_p \quad (5.1)$$

$$k = k_p = k \quad (5.2)$$

În cazul când $V_{DD} > 2V_p$, se definește o tensiune de transfer a inversorului, ca în *figura 5.2.a*, conform relației:

$$V_{pL} = \frac{V_{DD} + \sqrt{a}V_{pn} - V_{pp}}{1 + \sqrt{a}} \quad (5.3)$$

unde a este raportul $\frac{k_n}{k_p} = a = 1$

$$V_{oH} = V_{DD} \quad (5.4)$$

$$V_{oL} = 0 \quad (5.5)$$

atunci când circuitul funcționează în gol.

Dacă circuitul are o sarcină R_s cuplată la masă, tensiunea corespunzătoare nivelului logic "1", V_{oH} va deveni:

$$V_{oH} \cong \frac{V_{DD}}{1 + \frac{1}{k_p R_s (V_{DD} - V_p)}} \quad (5.6)$$

iar dacă aceeași sarcină este cuplată la tensiunea de alimentare, V_{DD} , tensiunea corespunzătoare nivelului logic "0", V_{oL} , devine:

$$V_{oL} \cong \frac{V_{DD}}{k_n R_s (V_{DD} - V_p)} \quad (5.7)$$

Marginile de zgomot, definite conform *figurii 5.2.a*, vor fi:

$$MZ1 = V_{pL} - V_{oL} = 0,5 V_{DD} \quad (5.8)$$

$$MZ0 = V_{oH} - V_{pL} = 0,5 V_{DD} \quad (5.9)$$

Se constată că valorile marginilor de zgomot statice au, teoretic, valorile maxim posibile; pentru circuitele CMOS fabricate se garantează o margine de zgomot statică de cel puțin $0,45 V_{DD}$.

În cazul în care tensiunea de alimentare, V_{DD} , este mai mică decât $2 V_p$, se obține caracteristica de transfer din *figura 5.2.b*, cu histerezis, care nu este corectă pentru circuite logice.

2. Inversorul CMOS nu consumă curent de la bateria de alimentare în nici una din stările logice staționare, cu excepția unui curent rezidual foarte mic neglijabil; dacă tensiunea de intrare ia și alte valori decât nivelurile logice, apare un curent absorbit de la bateria de alimentare; comportarea circuitului este descrisă de caracteristica de alimentare $I_{DD} = I_{DD}(v_i)$, prezentată în *figura 5.3*. Se absoarbe curent de la bateria de alimentare numai atunci când $V_p < v_i < V_{DD} - V_p$, ceea ce presupune și $V_{DD} > 2 V_p$.

Se determină valoarea maximă a curentului de alimentare obținută pentru $v_i = V_T$:

$$I_{Dmax} = \frac{k}{2} \left(V_{DD} - \frac{V_p}{2} \right)^2 \quad (5.10)$$

Se remarcă o dependență parabolică a vârfului de curent de alimentare de tensiunea de alimentare, V_{DD} .

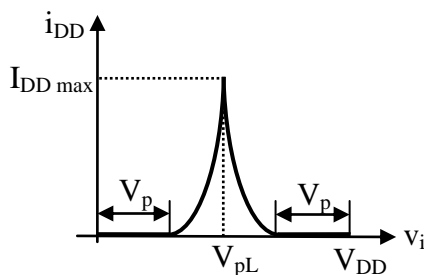


Fig. 5.3 Caracteristica de alimentare

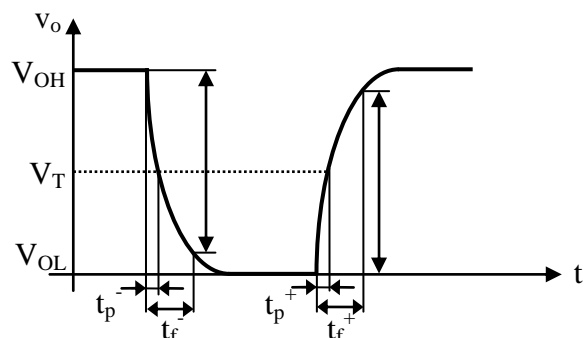


Fig. 5.4 Răspunsul inversorului la impulsul dreptunghiular

3. Inversorul cu CMOS asigură valori aproximativ egale pentru cele două fronturi (și deci și pentru timpii de propagare) datorită simetriei funcționării circuitului la cele două sensuri de variație a tensiunii de ieșire.

În figura 5.4 este prezentat răspunsul circuitului din figura 5.1, încărcat cu o capacitate de sarcină, C_S , la un impuls de comandă cu fronturi ideale, cu amplitudinea egală cu V_{DD} și cu durata suficient de mare.

Considerând că sunt valabile relațiile (5.1) și (5.2), se obțin următoarele expresii pentru timpii de comutare ai circuitului definiți ca în figura 5.4:

$$t_p^- = t_p^+ = \frac{2C_S}{k} \frac{V_p}{(V_{DD}-V_p)^2} + \frac{C_S}{k(V_{DD}-V_p)} \ln \frac{2V_{DD}-4V_p}{V_{DD}} \quad (5.11)$$

$$t_p^- = t_p^+ = \frac{2C_S}{k} \frac{V_p}{(V_{DD}-V_p)^2} + \frac{C_S}{k(V_{DD}-V_p)} \ln \frac{19V_{DD}-20V_p}{V_{DD}} \quad (5.12)$$

Se remarcă dependența fronturilor impulsurilor de la ieșire și a timpilor de propagare (până la atingerea tensiunii de transfer V_{pL}) de tensiunea de alimentare, constatându-se scăderea acestora la creșterea tensiunii de alimentare.

În cazul în care inversorul CMOS este comandat în impulsuri de frecvență joasă, curentul consumat de la bateria de alimentare este neglijabil (se consumă curent numai în intervalul de timp în care tranzistorul MOS, T_n , încarcă capacitatea de sarcină). La creșterea frecvenței, intervalul de timp în care tranzistorul MOS, T_n , este în conducție, începe să conteze în comparație cu perioada impulsurilor și se deduce relația:

$$P_d = V_{DD}^2 C_S f_0 \quad (5.13)$$

adică o dependență liniară de frecvența impulsurilor de comandă a puterii disipate de circuit.

4. Cu ajutorul inversoarelor CMOS se pot realiza circuite cu diferite funcții. În figura 5.5 este reprezentată schema unui multivibrator cu inversoare CMOS pentru care formele de undă în principalele puncte ale schemei sunt desenate în figura 5.6.

Presupunând că $R_p \gg R$ (R_p are rolul de a limita curentul prin diodele de protecție ale inversorului CMOS care se află pe intrarea sa; aceste diode de protecție, care nu apar în figura 5.1, au rolul de a nu permite tensiunii de intrare să ia valori în afara domeniului $0 \div V_{DD}$), se obține relația:

$$T_1 = T_2 = 2,2CR \quad (5.14)$$

Puterea disipată de circuit (deci puterea absorbită de la bateria de alimentare) depinde foarte puternic de valoarea V_{DD} a tensiunii de alimentare.

Stabilitatea formei de undă depinde de stabilitatea, de altfel, foarte bună, a caracteristicii de transfer a inversorului CMOS.

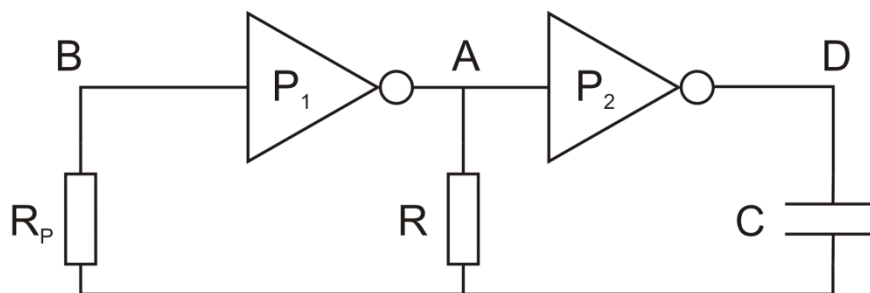


Fig. 5.5 Circuit astabil realizat cu inversoare CMOS

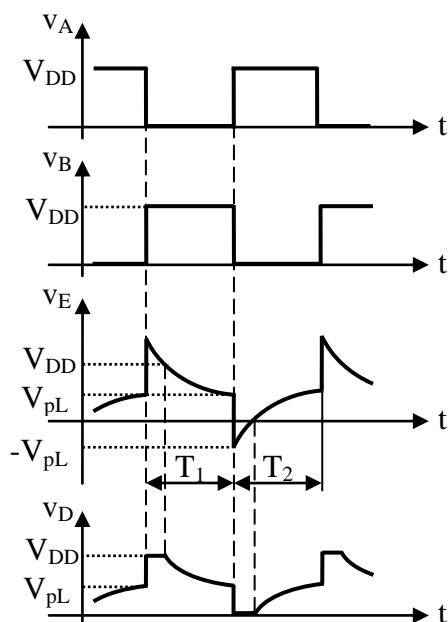


Fig. 5.6 Forme de undă în diferite puncte ale circuitului

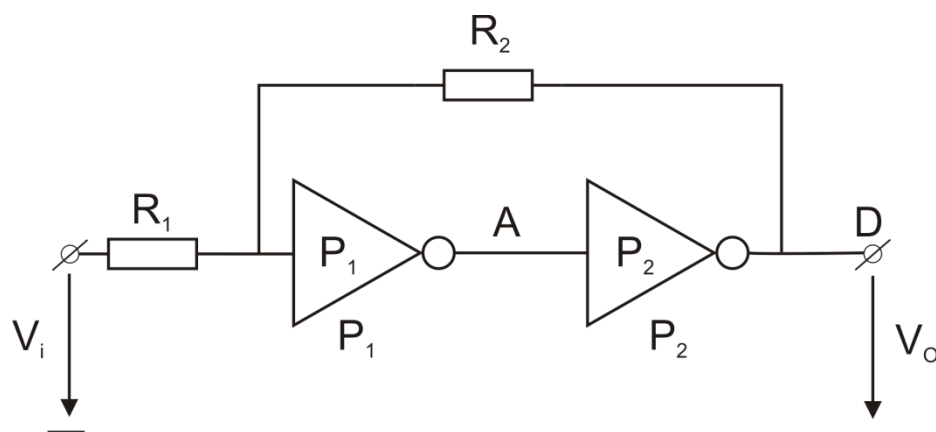


Fig. 5.7 Circuit cu prag și histerezis realizat cu inversoare CMOS

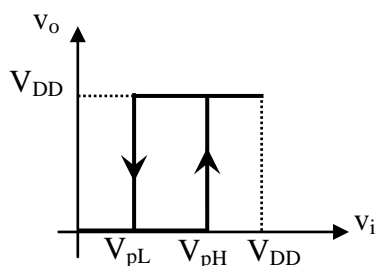


Fig. 5.8 Caracteristica de transfer a circuitului cu prag și histerezis

5. Cu două inversoare CMOS conectate în cascadă se poate realiza un circuit cu prag și cu histerezis, util pentru prelucrarea semnalelor de tip analogic (circuit de formare de impulsuri, circuit comparator de tensiune). Circuitul este desenat în *figura 5.7*, iar caracteristica sa de transfer în *figura 5.8*.

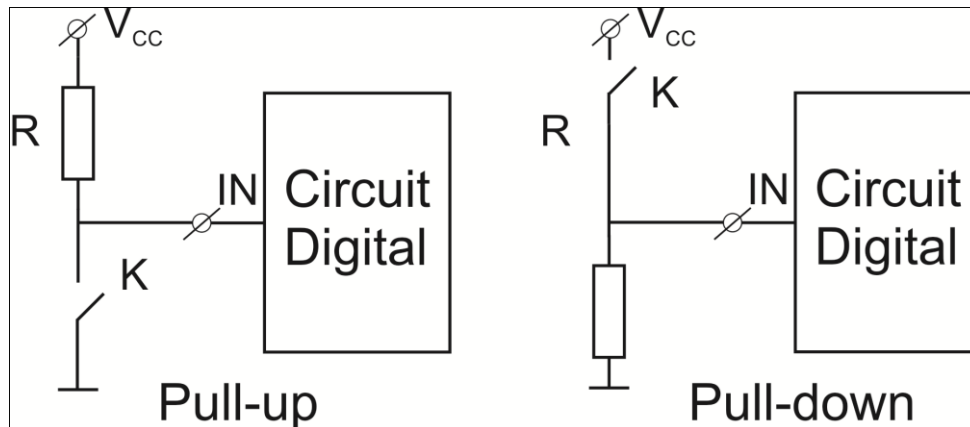
Nivelurile logice la ieșirea circuitului sunt cele ale inversorului CMOS (eventual încărcat cu sarcina $R_2 + R_1$), adică: $V_{oH} = V_{DD}$ și $V_{oL} = 0$, iar pragurile de basculare vor avea expresiile:

$$V_{pH} = \frac{R_1 + R_2}{R_2} \frac{V_{DD}}{2} \quad (5.15)$$

$$V_{pL} = \frac{R_1 - R_2}{R_2} \frac{V_{DD}}{2} \quad (5.16)$$

6. De multe ori în cadrul unui circuit digital, este necesară realizarea unei comenzi, prin acționarea unui buton sau închiderea unui alt circuit. Comanda constă în aducerea unei intrări de la 0 logic la 1 logic sau vice-versa.

Mai jos sunt prezentate două modalități de folosire a unui întrerupător la intrarea unui circuit digital – cu rezistența de pull-up și cu rezistența de pull-down (pentru intrare cu stare implicită de 1 logic, respectiv pentru intrare cu stare implicită de 0 logic).



În cazul circuitului cu rezistență de pull-up, în starea implicită, intrarea este dusă la V_{CC} prin rezistența R. În momentul în care comutatorul K se închide, intrarea este dusă la masă direct.

În cazul circuitului cu rezistență de pull-down, în starea implicită, intrarea este dusă la masă prin rezistența R. În momentul în care comutatorul K se închide, intrarea este dusă la V_{CC}.

Rezistența este necesară pentru a preveni punerea în scurt a alimentării în momentul închiderii comutatorului.

În general, pentru R se recomandă valori mari, de minim 10KΩ. Ca o regulă generală, valoarea trebuie să fie mai mare cu cel puțin un ordin de mărime față de restul rezistențelor din circuit, evitând astfel influențarea negativă a restului circuitului.

DESFĂȘURAREA LUCRĂRII

Se identifică circuitul din *figura 5.9* care conține un circuit integrat cu inversoare CMOS pentru care legăturile la pini sunt date în anexă. Alimentarea circuitului se poate face cu tensiuni de alimentare de până la 20 V.

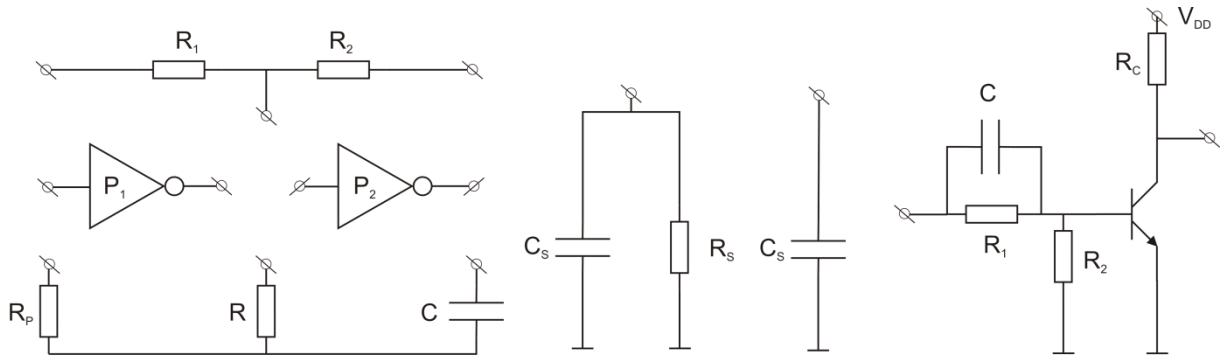


Fig. 5.9 Montajul de laborator 1

Se identifică, de asemenea, circuitul din *figura 5.10*, care conține două circuite integrate de tip CMOS precum și o serie de elemente ce vor fi discutate ulterior.

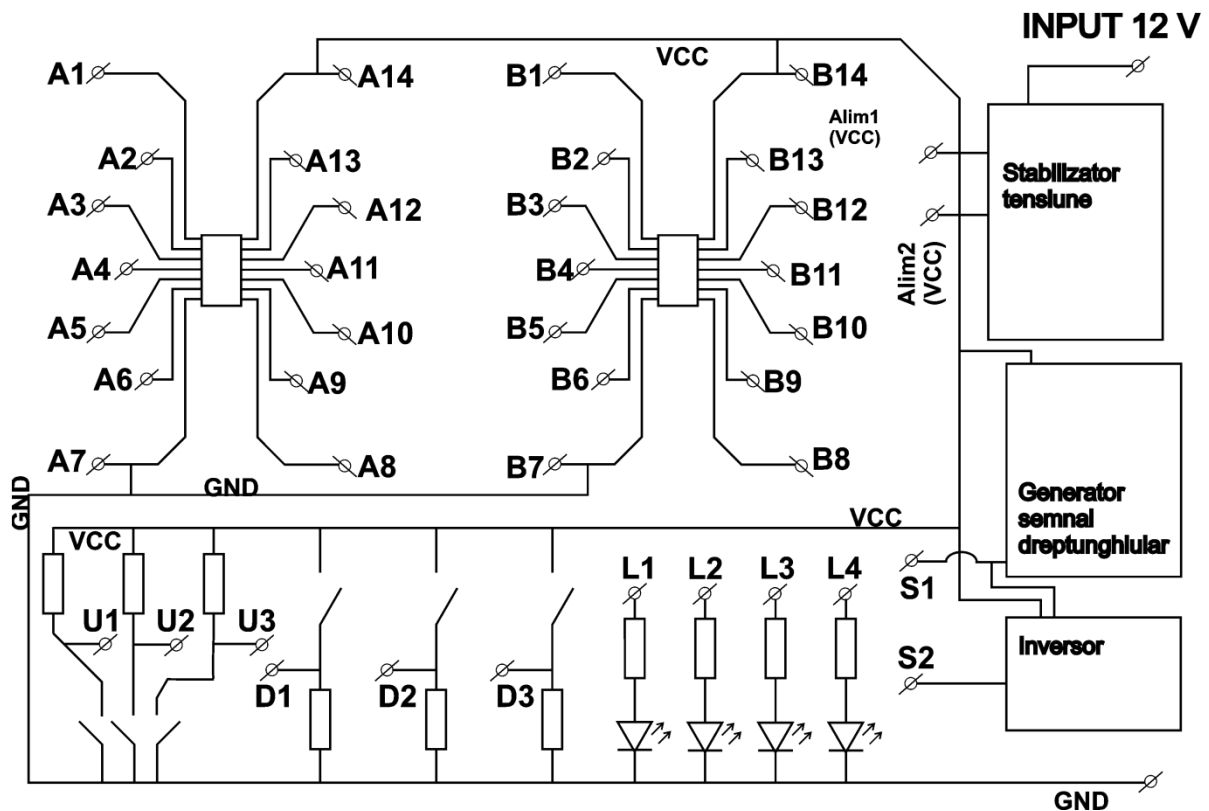


Fig. 5.10 Montajul de laborator 2

1. Se trasează caracteristica de transfer a unui inversor CMOS pentru $V_{DD} = 12\text{ V}$, variind tensiunea de la intrare între 0 și 12 V. Se determină nivelurile logice în cele două stări (V_{oH} și V_{oL}), tensiunea de transfer și marginile de zgomot statice, mărimi definite conform *figurii 5.2.a*.

Se determină tensiunile de prag ale celor două tranzistoare MOS, conform *figurii 5.2.a* și se va adopta, în continuare, ca tensiuni de prag identice (în valoare absolută) pentru cele două tranzistoare, media aritmetică a mărimilor determinate anterior.

Se verifică **(5.3)**, **(5.4)** și **(5.5)** pentru tensiunea de transfer a circuitului și pentru nivelurile logice ale inversorului.

2. Se trasează caracteristica de transfer pentru $V_{DD} < 2 V_p$. Tensiunea de intrare se va regla între 0 și V_{DD} și invers.

3. Se va determina influența sarcinii asupra nivelurilor logice ale circuitului. Pentru aceasta, rezistența de sarcină, R_S , se va conecta la masă și se va măsura tensiunea V_{oH} (cu intrarea la masă); apoi, R_S se va conecta la $+ V_{DD}$ și se va măsura V_{oL} (cu intrarea la $+ V_{DD}$). Din relațiile **(5.6)** și **(5.7)** se vor determina k_p și k_n și, în continuare, se va adopta pentru k media aritmetică a valorilor astfel determinate.

4. Pentru $V_{DD} = 12\text{ V}$, se va determina caracteristica de alimentare $I_{DD} = I_{DD}(v_i)$, măsurând curentul de alimentare (cu un instrument de curent continuu conectat în serie cu bateria de alimentare) pentru tensiune de intrare variabilă, aplicată pe intrarea unui inversor CMOS (celelalte inversoare nu consumă curent, unul dintre tranzistoare fiind blocat).

4.1 Se vor determina valorile vârfului de curent de alimentare pentru $V_{DD} = 6, 8, 10, 12, 14$ și 16 V și se vor compara cu valorile calculate cu relația **(5.10)** în care V_p și k au valorile determinate anterior. Se trasează curba $I_{DDmax}(V_{DD})$.

5. Se alimentează circuitul cu $V_{DD} = 12\text{ V}$ și se aplică impulsuri de comandă de amplitudine V_{DD} (aceste impulsuri se obțin cu un inversor cu tranzistor bipolar de comutație, ca în *figura 5.9*) și cu durata și perioada suficient de mari.

Se vizualizează formele de undă de la ieșirea circuitului și se măsoară timpii de comutare, verificându-se relațiile **(5.11)** și **(5.12)** pentru fronturile impulsurilor de la ieșire și pentru timpii de propagare, definiți ca în *figura 5.4*. Se va lua $C_S = 200\text{ pF}$. Se va lua în considerare și capacitatea de intrare a osciloscopului.

5.1 Se determină dependența timpilor de comutare de tensiunea de alimentare. Pentru V_{DD} se vor lua valorile 6, 8, 10, 12, 14 și 16 V. Determinările se vor face pentru o capacitate de sarcină $C'_S = 200\text{ pF}$.

5.2 Se mărește frecvența impulsurilor de comandă astfel ca perioada lor să fie de circa 5 ori mai mare decât durata frontului impulsului rezultat la ieșirea inversorului. Se măsoară curentul absorbit de la sursa de alimentare pentru valorile tensiunii de alimentare prezentate mai sus; se efectuează produsul dintre puterea absorbită de la tensiunea de alimentare și timpul de propagare și se reprezintă grafic dependența acestuia de tensiunea de alimentare. Se va lua $C_S = 200\text{ pF}$.

5.3 Pentru $V_{DD} = 12\text{ V}$, se aplică impulsuri cu factor de umplere 0,5 și cu frecvența variabilă. Se măsoară curentul de alimentare I_{DD} ca funcție de frecvență și se calculează puterea absorbită de la bateria de alimentare; se verifică relația **(5.13)**.

Se realizează circuitul multivibrator din *figura 5.5*, cu $R_P = 1 \text{ M}\Omega$, $R = 12 \text{ k}\Omega$ și $C = 10 \text{ nF}$ și se alimentează cu $V_{DD} = 12 \text{ V}$. Se măsoară formele de undă în punctele A, B, C și D ale schemei și se măsoară duratele T_1 și T_2 , factorul de umplere al impulsurilor și curentul de alimentare. Se verifică relația (5.14).

Se modifică tensiunea de alimentare la $V_{DD} = 15 \text{ V}$ și se repetă măsurătorile. Să se interpreteze rezultatele.

6. Se realizează circuitul cu prag și cu histerezis din *figura 5.7* și se alimentează cu $V_{DD} = 12 \text{ V}$. Se trasează caracteristica de transfer și se determină nivelurile logice de la ieșire și tensiunile de prag. Se verifică relațiile (5.15) și (5.16).

Se aplică semnal sinusoidal cu amplitudinea mai mare decât V_{pH} și se vizualizează forma de undă la ieșire. Se măsoară nivelurile logice și fronturile impulsurilor obținute la ieșire.

7. Se identifică pe montajul de laborator:

- intrările cu rezistențe de pull-up
- intrările cu rezistențe de pull-down
- ieșirile cu LED-uri
- generatorul de semnal dreptunghiular cu 555
- inversorul realizat cu un circuit integrat 74HC04

Sub îndrumarea asistentului, se vor experimenta diferite montaje cu circuite integrate CMOS ce implementează funcții logice: INVERSOR, NAND, NOR.

Circuitele integrate CMOS disponibile în laborator sunt prezentate în anexă.

Cerințe

Referatul va conține:

- scopul lucrării (0,5p);
- schema montajelor de laborator (0,5p);
- schemele realizate la fiecare punct, acolo unde este cazul, cu explicații privind conexiunile realizate (1p);
- Rezultatele măsurătorilor realizate la fiecare punct, acolo unde este cazul, inclusiv grafice și forme de undă (2p);
- Rezultatele calculelor teoretice, acolo unde este cazul (1p);
- Rezultatele simulărilor (1p);
- Comparații între rezultate și observații care oferă un răspuns cerințelor punctuale ale fiecărui paragraf (2p);
- Concluzii (2p).

ANEXĂ

74HC04 (INVERSOR):

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 3, 5, 9, 11, 13	1A to 6A	data inputs
2, 4, 6, 8, 10, 12	1Y to 6Y	data outputs
7	GND	ground (0 V)
14	V _{CC}	positive supply voltage

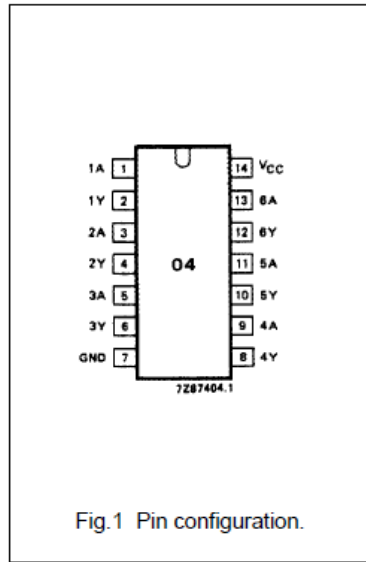


Fig.1 Pin configuration.

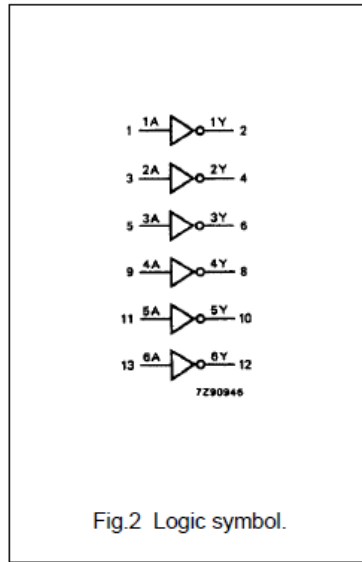


Fig.2 Logic symbol.

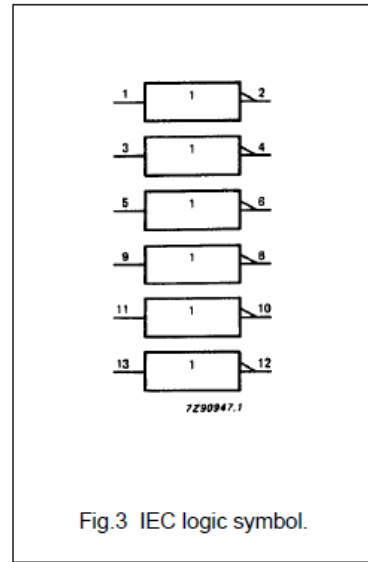


Fig.3 IEC logic symbol.

74HC00 (NAND):

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 4, 9, 12	1A to 4A	data inputs
2, 5, 10, 13	1B to 4B	data inputs
3, 6, 8, 11	1Y to 4Y	data outputs
7	GND	ground (0 V)
14	V _{CC}	positive supply voltage

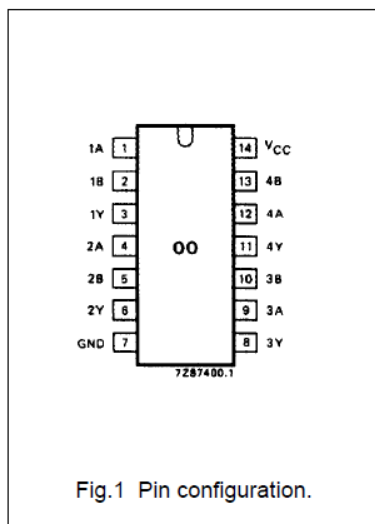


Fig.1 Pin configuration.

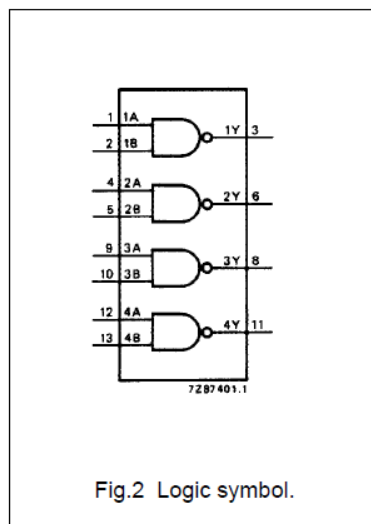


Fig.2 Logic symbol.

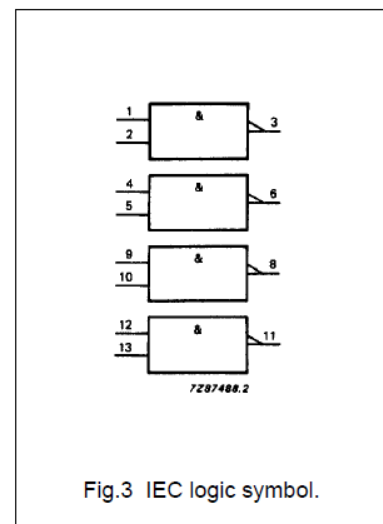


Fig.3 IEC logic symbol.

74HC02 (NOR):

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 4, 10, 13	1Y to 4Y	data outputs
2, 5, 8, 11	1A to 4A	data inputs
3, 6, 9, 12	1B to 4B	data inputs
7	GND	ground (0 V)
14	V _{CC}	positive supply voltage

