

GRILA TEST

1. Testarea exhaustivă se aplică:
 - a. circuitelor secvențiale cu mai mult de 20 de elemente cu memorie;
 - b. circuitelor combinaționale cu mai mult de 20 de nivele logice;
 - c. circuitelor secvențiale și combinaționale fără restricții;
 - d. circuitelor combinaționale cu cel mult 20 de intrări.

2. O diagramă de decizii binare ce conține un arc marcat cu un punct (asterisc) semnifică:
 - a. negația condiției asociate arcului respectiv;
 - b. negația condiției asociate arcului respectiv dar și a condiției asociate arcului dual;
 - c. negația rezultatului aceluia arc.

3. Un defect scurtcircuit între două linii p și q este modelabil printr-o poartă ȘI dacă:
 - a. valoarea logică zero domină;
 - b. valoarea logică unu domină;
 - c. liniile p și q au paritățile inversiunii egale;
 - d. scurtcircuitul nu este reactiv și valoarea logică unu domină;

4. Într-un circuit combinațional cu linii neramificate un test T detectează un defect scurtcircuit nereactiv ce induce un circuit ȘI între liniile p și q dacă și numai dacă:
 - a. detectează linia p $b-l-0$ și implică $q = 0$ sau detectează linia q $b-l-0$ și implică $p = 0$;
 - b. detectează linia p $b-l-1$ și implică $q = 0$ sau detectează linia q $b-l-1$ și implică $p = 0$;
 - c. detectează linia p $b-l-1$ și implică $q = 1$ sau detectează linia q $b-l-1$ și implică $p = 1$;
 - d. detectează linia p $b-l-0$ și implică $q = 1$ sau detectează linia q $b-l-0$ și implică $p = 1$.

5. Algoritmul D se folosește pentru:
 - a. găsirea testelor circuitelor combinaționale afectate de defecte scurtcircuit nereactive;
 - b. găsirea testelor circuitelor combinaționale afectate de defecte modelabile prin blocaje simple;
 - c. găsirea defectelor de întârzieri în circuitele secvențiale sincrone.

6. Modelarea RTL se referă la:
 - a. modelarea defectelor scurtcircuitate nereactive din circuitele combinaționale realizate în tehnologie CMOS;
 - b. modelarea defectelor scurtcircuitate reactive astabile din circuitele combinaționale realizate în tehnologie TTL;
 - c. modelarea sistemelor numerice în care datele procesate sunt grupate în vectori iar informațiile de control sunt descrise la nivel logic;
 - d. modelarea logicii cablate și a circuitelor logice cu rezistențe și tranzistoare.

7. Un circuit combinațional testat printr-o secvență de lungime fixă de vectori de test generați pseudoaleator, va avea o acoperire mai bună a defectelor dacă:
- are mai multe nivele logice;
 - are mai multe linii primare de intrare;
 - are mai multe linii primare de ieșire;
 - are mai multe linii de circuit ramificate și reconvergente.
8. Probabilitatea ieșirii unui circuit ȘI-NU este dată de:
- produsul probabilităților liniilor de intrare, dacă intrările sunt probabilistic independente;
 - 1 minus produsul probabilităților liniilor de intrare, dacă intrările sunt probabilistic independente;
 - suma probabilităților liniilor de intrare, dacă intrările sunt probabilistic independente;
 - 1 minus suma probabilităților liniilor de intrare, dacă intrările sunt probabilistic independente.
9. Considerând doar defecte blocaje simple, testarea completa a unui circuit ȘI cu n intrări necesită un număr minim de:
- $n(n+1)/2$ vectori de test;
 - 2 la puterea n vectori de test;
 - $n + 1$ vectori de test;
 - $2n+1$ vectori de test.
10. Găsirea testelor pentru un circuit care conține o singură poartă ȘI-NU cu 16 intrări având un defect modelabil printr-un blocaj simplu la 1/0 al uneia dintre intrări se face cel mai convenabil:
- generând aleator vectori de test și simulând;
 - generând algoritmic vectori de test;
 - generând pseudoaleator vectori de test și simulând.
- (010)
11. Un set minimal de teste complete pentru defecte blocaje simple dintr-un circuit combinațional cu n intrări și o singură ieșire, fără ramificații reconvergente, circuitul fiind alcătuit din circuite ȘI, SAU, NU trebuie să cuprindă:
- teste pentru toate defectele aferente căii (căilor) de lungime maximă din circuit ce leagă ieșirea de o intrare;
 - teste pentru toate defectele liniilor de ieșire din inversoarele din circuit;
 - teste pentru toate defectele blocaj atașate liniilor primare de intrare în circuit;
12. Într-un circuit cu n linii (primare de intrare, primare de ieșire și interne) numărul maxim de defecte blocaje multiple este:
- $2n$;
 - $n(n + 1)(2n + 1)/6$;
 - 2^n ;
 - 3^n .

13. Într-o rețea combinațională modelată printr-un graf aciclic direcționat un defect blocaj la 1/0 simplu ce afectează linia de intrare a unui nod, poate fi modelat prin:
- modificarea corespunzătoare a tuturor funcțiilor nodurilor ce utilizează semnalul respectiv;
 - modificarea corespunzătoare a funcției nodului pe a cărui linie de intrare se află plasat defectul.
 - modificarea corespunzătoare a funcției nodului ce alimentează acea linie dacă ieșirea nodului este ramificată.
14. Într-un circuit *J-frontiera* este mulțimea porților:
- ce au linia de ieșire cu valoarea definită și cel puțin o linie de intrare cu valoarea D sau D' ;
 - ce au cel puțin un semnal D sau D' pe o linie de intrare;
 - ce au linia de ieșire cu valoarea definită și cel puțin o linie de intrare cu valoarea nedefinită;
 - ce au linia de ieșire cu valoare nedefinită și cel puțin o linie de intrare cu valoarea nedefinită.
15. Un nod cu funcția SAU-NU ce are două din liniile sale de intrare definite cu valorile D și respectiv D' va propaga la ieșirea sa în cadrul operației de pilotare a erorii (defectului) o valoare:
- D ;
 - D' ;
 - 0;
 - 1.
16. Un generator pseudoaleator de vectori binari are proprietățile:
- generează aleator secvențe de vectori care pot să se repete într-o secvență de lungime finită;
 - generează aleator o secvență de vectori ne-distinși cu lungimea secvenței nedefinită;
 - generează aleator vectori distinși, cu bune proprietăți statistice într-o secvență de lungime fixă.
17. Într-o rețea combinațională un defect d_1 domina un alt defect d_2 dacă:
- orice test pentru defectul d_1 este test și pentru defectul d_2 ;
 - orice test pentru defectul d_2 este test și pentru defectul d_1 ;
 - defectul d_1 este testabil printr-un singur vector de test iar defectul d_2 este ne-testabil.
18. Micșorarea numărului defectelor pentru testarea deterministică se face prin:
- colapsarea defectelor prin echivalență funcțională și dominantă;
 - simularea paralelă a defectelor;
 - simularea concurentă a defectelor;
 - simularea deductivă a defectelor.
19. Un circuit ȘI-NU are:
- valoarea de control 1 și inversiunea 1;
 - valoarea de control 1 și inversiunea 0;
 - valoarea de control 0 și inversiunea 1;
 - valoarea de control 0 și inversiunea 0.

20. Un circuit combinațional în două nivele este iredundant atunci când:
- nu conține nici un defect blocaj simplu ne-detectabil;
 - funcția implementată se exprimă printr-o sumă cu un număr minim de literal;
 - nu are hazarduri statice și dinamice.
21. Cardinalitatea unei instrucțiuni este:
- numărul de operanzi ai acelei instrucțiuni;
 - numărul de registre accesate pe durata fazei de execuție a instrucțiunii;
 - numărul de moduri de adresare posibil de utilizat cu acea instrucțiune;
 - numărul de registre utilizate numai în formarea adresei operanzilor.
22. Observabilitatea unei instrucțiuni arată:
- gradul de echivoc existent la interpretarea execuției instrucțiunii;
 - măsura în care rezultatul operațiilor în registre efectuate de instrucțiune sunt direct observabile la nivelul liniilor primare de ieșire ale microprocesorului.
 - o măsură a latenței unui defect existent într-un microprocesor, defect ce afectează o singură instrucțiune.
23. În testarea sistemelor numerice un model funcțional al unui sistem numeric este:
- o reprezentare a funcționării sale logice;
 - o reprezentare a funcționării sale logice cuplate cu o reprezentare a relațiilor temporale asociate.
 - o reprezentare realizată prin interconectarea unor blocuri a căror funcționare nu este precizată (cutii negre).
24. Acoperirea defectelor pentru un sistem numeric se referă la:
- o măsură a testabilității circuitului;
 - o tehnica de proiectare pentru testabilitate;
 - o modelare a mulțimii defectelor nedetectabile;
 - o măsură a robusteții sistemului față de defectele de tip scurtcircuit;
 - raportul dintre cardinalitatea mulțimii defectelor detectate de o secvență de vectori de test T și cardinalitatea mulțimii defectelor considerate;
 - o măsură a redundanței respectivului sistem numeric.
25. Modelarea unui circuit *SI-cablat* se referă la modelarea:
- sistemelor numerice la nivelul procesor;
 - defectelor scurtcircuitate nereactive;
 - sistemelor numerice la nivelul logic;
 - defectelor scurtcircuitate reactive;
 - sistemelor numerice la nivelul registru.

26. Testarea aleatoare a unui circuit integrat se referă la:
- a. observarea întâmplătoare a unei malfuncționări a circuitului;
 - b. aplicarea unor vectori de test generați aleator;
 - c. extragerea aleatoare dintr-un volum oarecare de circuite a unor eșantioane în vederea verificării bunei lor funcționări;
 - d. aplicarea unor stimuli la intrările circuitului integrat având proprietatea ca acei stimuli au întârzieri relative aleatoare.