

Laborator 8

Buffer FIFO pentru scrierile unui procesor in cadrul modelului de consistenta de procesor pentru memoria partajata

Implementarea modelului de consistenta de procesor pentru memoria partajata

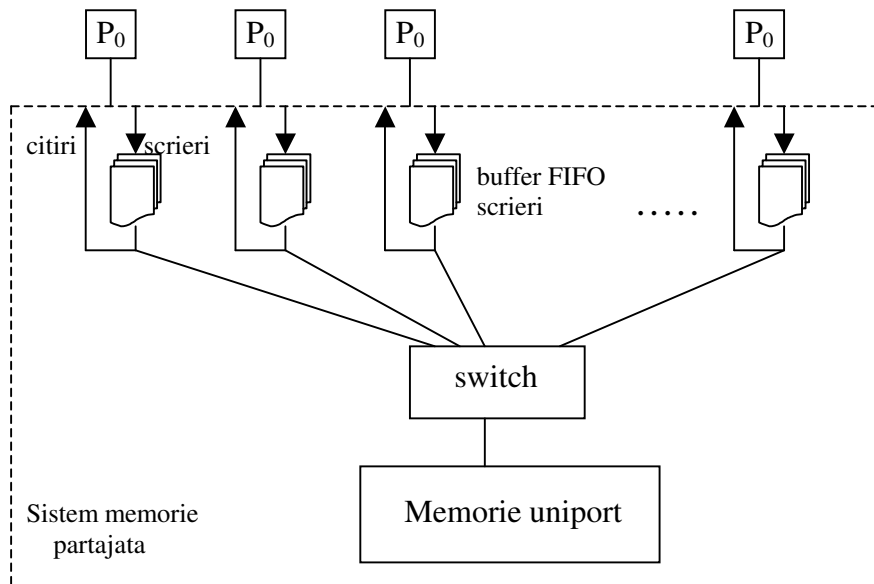
Consistența de procesor (“processor consistency”) este definită de următoarele proprietăți:

- scrierile oricărui procesor sunt văzute de toate procesoarele în aceeași ordine în care au fost emise;
- pentru fiecare cuvânt de memorie toate procesoarele văd toate scrierile în aceeași ordine.

Exemplu: procesorul P1 scrie în x valorile 100, 200, 300 (în această ordine), iar procesorul P2 scrie tot în x valorile 400, 500, 600. Unele procesoare din sistem, prin citiri succesive din locația x văd succesiunea de valori 100, 400, 200, 500, 300, 600, altele văd succesiunea 100, 200, 400, 300, 500, 600 și alte combinații, dar nici un procesor nu va vedea o combinație, de exemplu, de tipul ...,200, 100,...

A doua proprietate este importantă ca toate procesoarele să fie de acord cu ultima scriere dintr-o succesiune de scrieri, pentru ca locația x să aibă o valoare neambiguă.

O soluție de implementare a consistenței de procesor, utilizată în arhitectura SPARC este prezentată în schema bloc următoare:

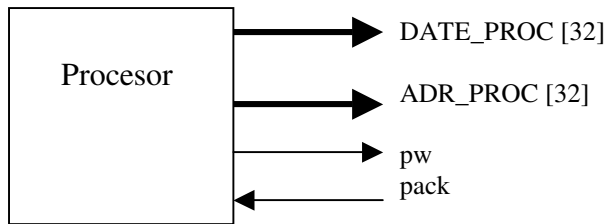


Pentru fiecare procesor se utilizează un buffer FIFO care garantează efectuarea scrierilor în ordinea în care au fost emise. Ordinea în care procesoarele fac scrieri în aceeași locație este determinată de logica de control a switch-ului. La o citire lansată de un procesor se face o căutare în bufferul FIFO pentru operații de scriere la aceeași adresă: dacă există scrieri la

aceeasi adresa este livrata ultima valoare trimisa de procesor, fara a mai face acces la memorie pentru o operatie efectiva de citire.

Tema

Sa se proiecteze un buffer FIFO pentru memorarea operatiilor de scriere ale unui procesor in cadrul modelului de consistenta de procesor a memoriei partajate. Semnalele procesorului sunt:

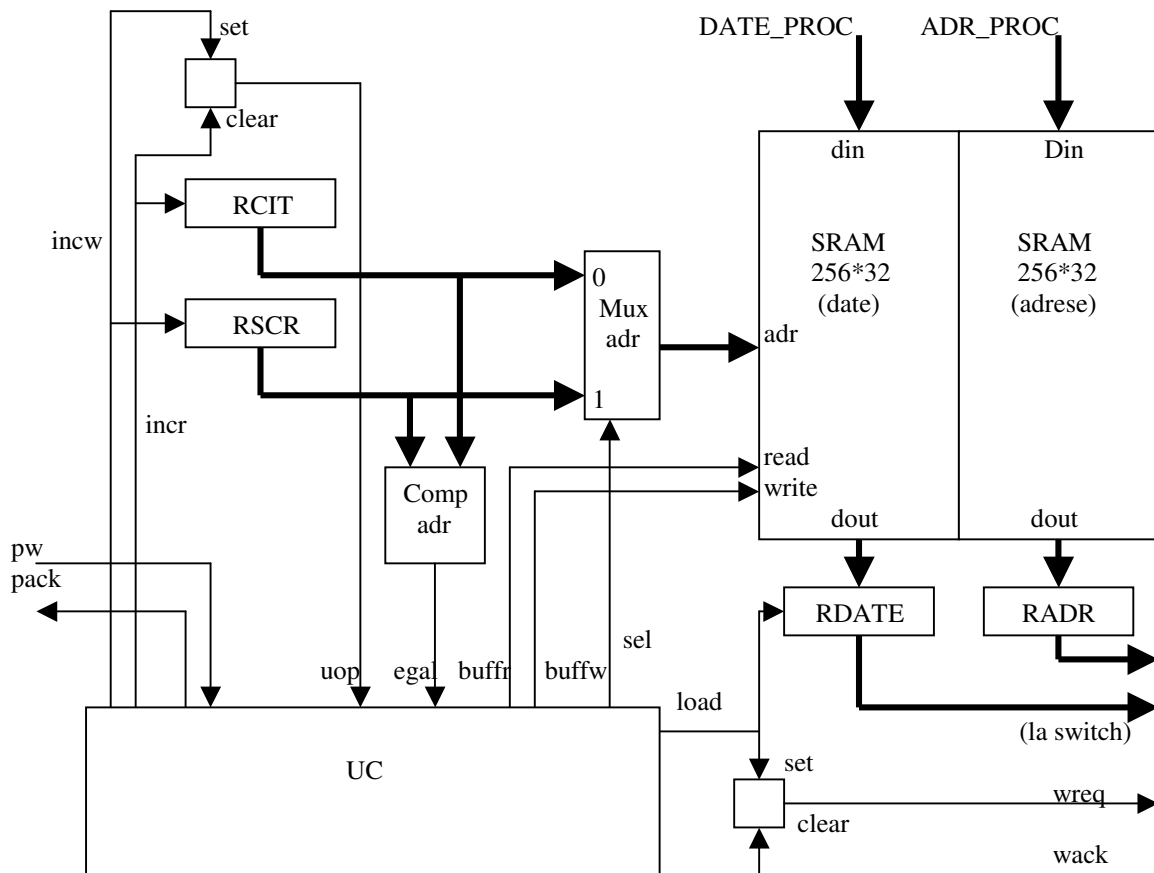


unde

pw = comanda de scriere in memorie emisa de procesor

pack = semnal de achitare a cererii, generat de unitatea de comanda a bufferului FIFO

(implementarea efectiva va fi pe 4 biti). Schema bloc a bufferului FIFO:



unde:

- incr*: incrementeaza (modulo 256) registrul de adresa pentru citire *RCIT* (8 biti);
- incw*: incrementeaza (modulo 256) registrul de adresa pentru scriere *RSCR* (8 biti);
- uop*: memoreaza tipul ultimei operatii efectuate cu bufferul FIFO (0 citire din buffer pentru transmiterea cererii la memoria partajata, 1 scriere in buffer, memorarea unei cereri din partea procesorului);
- buffr*, *buffw*: comanda operatia de citire, respectiv scriere la bufferul FIFO;
- egal*: semnaleaza egalitatea intre adresele de scriere si citire;
- load*: incarca informatia citita din buffer in registrele de date si adresa, pentru transmiterea cererii la memoria partajata;
- wreq*: cerere de scriere in memoria partajata;
- wack*: achitarea cererii;

Organigrama unitatii de comanda:

