

CN2_Cursul 1.

1. Arhitectura si organizarea unui calculator.

1.1.Arhitectura-Introducere.

Arhitectura unui calculator = Arhitectura Setului de Instructiuni +

Organizarea calculatorului/masinii

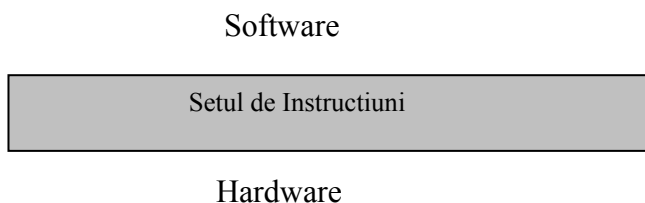
Arhitectura Setului de Instructiuni – ASI- (ISA- Instruction Set Architecture)

conform lui: Amdahl, Blaaw si Brooks (1964)

*.....atributele unui sistem (de calcul) vazute de catre programator:
structura conceptuala si comportarea functionala, spre deosebire de
organizarea fluxurilor de date si de control, de proiectarea logica si de
implementarea fizica:*

- *organizarea memoriei pentru stocarea programelor,*
- *tipurile de date si structurile de date: codificare si reprezentari,*
- *setul de Instructiuni*
- *formatele Instructiunilor*
- *modurile de adresare si accesare ale obiectelor reprezentand date si instructiuni*
- *conditiile de exceptie.*

Setul de instructiuni realizeaza interfata intre software si hardware:



La nivelul masinii conventionale se defineste notiunea de arhitectura a unui calculator numeric prin cadrulul:

$A = \langle PI, PE, RG, I \rangle$

unde:

$PI = \{ PI_0, \dots, PI_i \}$ este multimea porturilor de intrare,

$PE = \{ PE_0, \dots, PE_j \}$ este multime porturilor de iesire,

$RG = \{ RG_0, \dots, RG_k \}$ este ansamblul registrelor generale din unitatea de executie,

$I = \{ I_0, \dots, I_l \}$ este setul instructiunilor calculatorului.

Porturile de intrare si iesire sunt utilizate pentru schimbul de informatii cu mediul inconjurator, prin intermediul echipamentelor periferice, in timp ce registrele generale sunt folosite pentru stocarea diferitelor variabile de stare, inclusive date.

Unele Exemple de Arhitecturi de Seturi de Instructiuni:

- Digital Alpha (v1,v3) 1992-1997
- HP PA (Precision Architecture) (v1.1,v2.0) 1986- 1996
- Sun Sparc (v8,v9) 1987-1995
- SGI (MIPS I, II, III, IV, V) 1986-1996
- Intel (8086,80286,80386,80486,Pentium,MMX,...,QX6700Δ) 1978-2007

Arhitectura Setului de Instructiuni pentru MIPS R3000 (rezumat)

Categorii de instructiuni:

- Incarca/Stocheaza (Load/Store)
- Aritmetice-Logice (Instructiuni de Calcul)
- Salt si Ramificare
- Virgula Mobila
- coprocesor
- Gestiune/Management Memorie
- Speciale

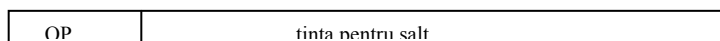
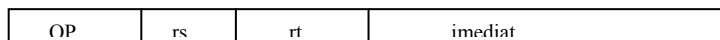
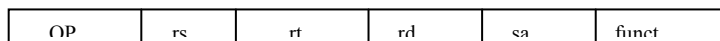
Registre: R0 – R31

PC

HI

I/O

Trei Formate de Instructiuni cu lungimea de 32 de biti.



1.2. Organizarea calculatorului.

Organizarea calculatorului se refera la:

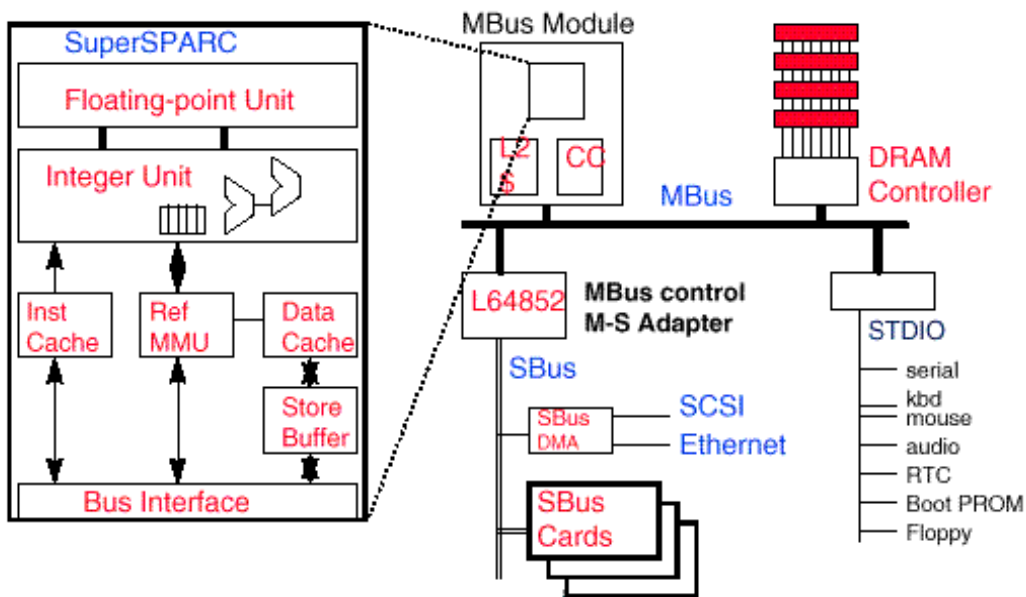
- Capabilitatile, Performantele si Caracteristicile principalelor Unitati Functionale (ex.: Registe, UAL, Unitati Logice, Circuite de Deplasare,...)
- Modurile in care aceste componente sunt interconectate;
- Fluxul informatiei intre componente;
- Logica si mijloacele folosite pentru controlul fluxului informatiei;
- Sincronizarea operarii Unitatilor Functionale pentru a realiza ASI;
- Descrierea operarii sistemului numeric la Nivelul Transferurilor intre Registre, NTR, (RTL – Register Transfer Level).

1.2.1. Punctul de vedere al Proiectantului la Nivel Logic:

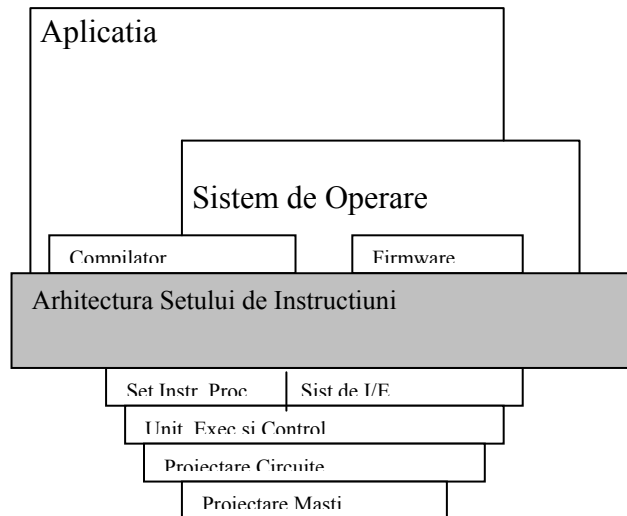
Nivel ASI \longleftrightarrow Unitati Functionale si Interconexiuni

Exemplu de Organizare:

TI SuperSPARC TMS390Z50 din statia Sun SPARCstation20:



Ce este “Arhitectura Calculatorului?”



- Coordonarea mai multor niveluri de abstractizare
- Existența mai multor forțe care se modifică rapid:
 - Tehnologia;
 - Aplicațiile
 - Limbajele de programare;
 - Sistemele de operare;
 - Istoria/Tradiția;
 - Ingeniozitatea proiectanților
- Proiectare, Măsurare și Evaluare

1.2.2. Tehnologia

Tehnologia se perfecționează continuu:

- Procesoarele:
 - Capacitatea logică crește cu circa 30%/an;
 - Frecvența ceasului crește cu circa 20%/an.
- Memoria:
 - Capacitatea memoriei Dinamice DRAM crește cu circa 60%/an
 - Viteza memoriei crește cu circa 10%/an

- Costul pe bit scade cu circa 25%/an.
- Disc:
 - Capacitatea creste cu circa 60%/an

Capacitatea circuitelor de memorie DRAM:

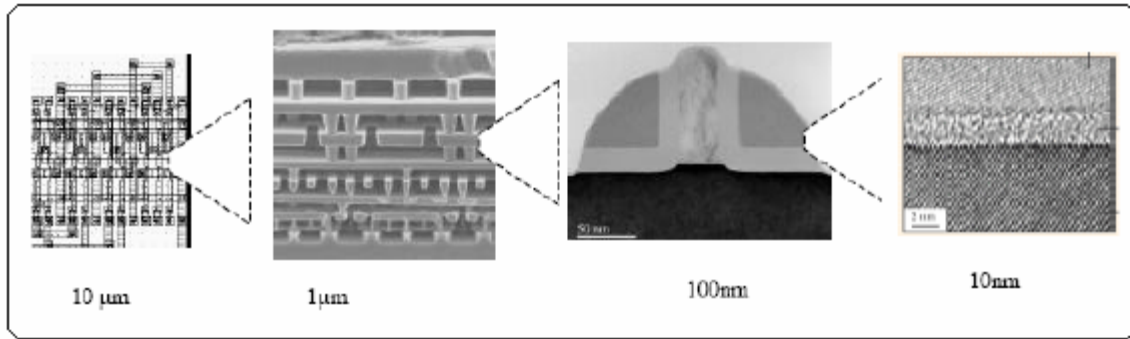
Anul :	1980	1983	1986	1989	1992	1996	1999	2001	2007
Capacitatea:	64Kb	256Kb	1Mb	4Mb	16Mb	64Mb	256Mb	1Gb	4Gb

In 1985 au aparut procesorul pe o singura pastila si calculatorul pe o singura placheta. Aceste realizari au propulsat puternic: statiile de lucru, calculatoarele personale, sistemele multiprocesor. Dupa 2002, acestea din urma pot aparea in postura de sisteme “mainframes” in comparatie cu calculatoarele pe una sau doua pastille.

Se aminteste ca tranzistorul a fost inventat in anul 1947 si ca primele exemplare ocupau o suprafata de 3,5 mm². La sfirsitul anilor 50 a aparut circuitul integrat care, grupand pe aceeasi pastila mai multe tranzistoare, a avut o evolutie spectaculoasa in sensul dublarii numarului de componente pe pastila, la fiecare 18 luni. Aceasta s-a datorat in primul rand numeroaselor perfectionari ale proceselor tehnologice, care au permis rezolutii de ordinul a 2,5µm – 0,09 µm. In continuare se vor da unele date privind tehnologiile circuitelor VLSI, in general, evolutia memoriilor si a procesoarelor

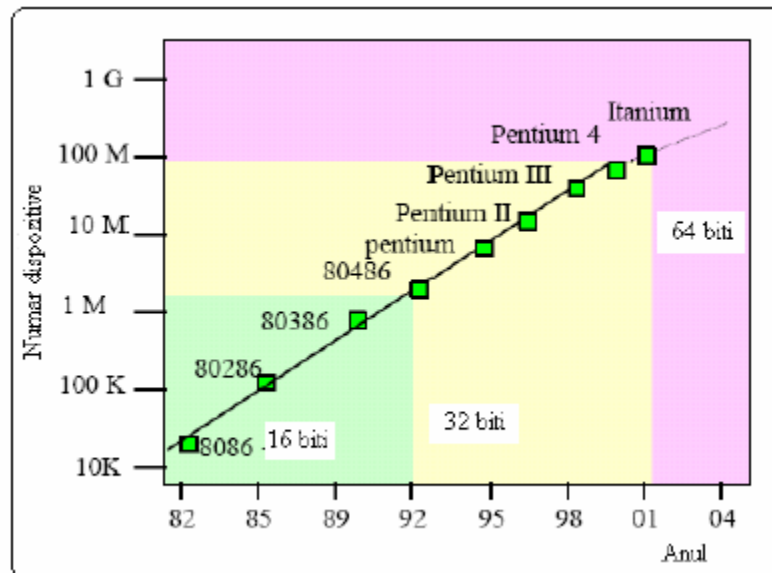
Tendinte generale privind dezvoltarea domeniului VLSI.

Evolutia tehnicilor de fabricatie a circuitelor integrate este unica in istoria industriei moderne. Tendintele privind cresterea vitezei, marirea densitatii, cat si reducerea costului circuitelor integrate s-au mentinut in mod constant, pe parcursul ultimilor 30 de ani. In continuare se prezinta tendintele de scalare a tehnologiei.



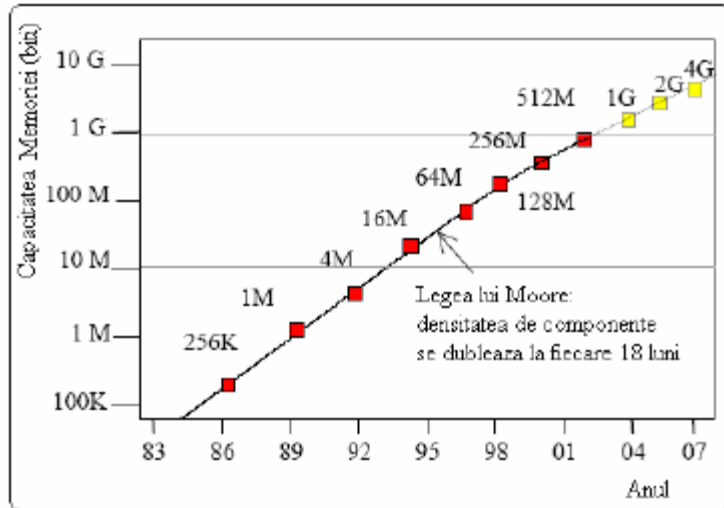
Structuri reprezentative pentru un circuit integrat la diverse niveluri de detalieri de la 10μm la 1nm. (IBM, Fujitsu)

Mai jos se prezinta evolutia in timp a complexitatii procesoarelor Intel, ca numar de dispozitive pe un circuit integrat. Pentium IV, care se producea in 2003, avea circa 50.000.000 tranzistoare MOS, pe o pastila de 2x2 cm². Pentru anul 2007 se preconizeaza realizarea unui microprocesor (80986) cu 10¹² tranzistoare, care opereaza la o frecventa de ceas de 24 GHz (vezi Anexa 1)



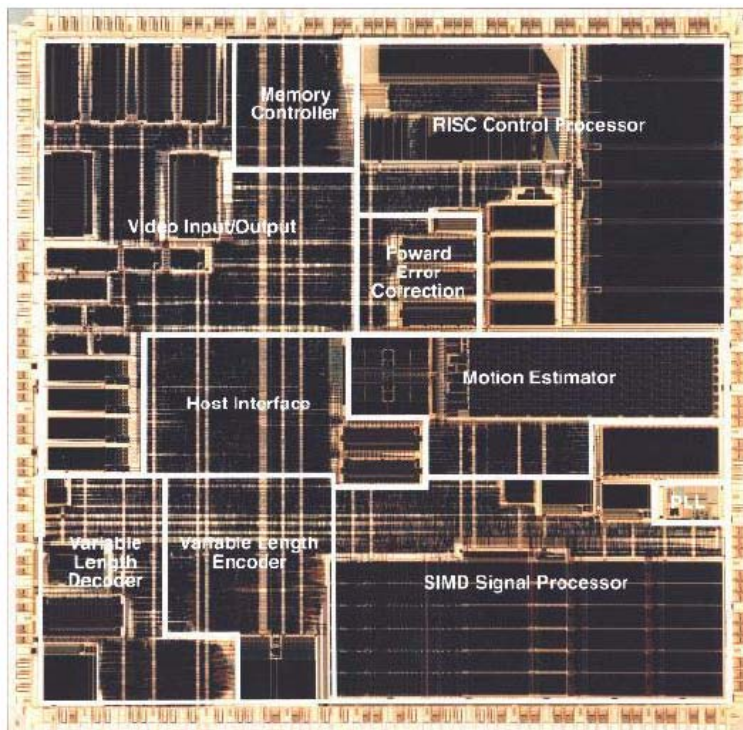
Evolutia procesoarelor Intel.

Incepand cu memoria de 1Kb, realizata de catre Intel, in 1971, memoriile semiconductoare au avut o evolutie sustinuta in termeni de capacitate si performanta: 256Mb in anul 2000, 1Gb in anul 2004, cu tinta de 16Gb, in 2008, conform previziunilor ITRS (International Technology Roadmap for Semiconductor Technology).



Evolutia capacitatii in biti a circuitelor de memorie (ITRS)

Organizarea la nivelul planului de amplasare a blocurilor componente ale unui circuit specializat destinat aplicatiilor video este prezentata mai jos.



Componentele unui circuit specializat destinat aplicatiilor video

In ceea ce priveste reducerea dimensiunilor, se considera patru generatii de tehnologii pentru circuitele integrate la nivelurile de:

- micrometru;

- submicrometru, 1990 - tehnologie 0,8 μm ;
- adanc submicrometru (deep submicron), 1995 – tehnologie 0,3 μm ;
- ultra-adanc submicrometru (ultra deep submicron) – tehnologie 0,1 μm .

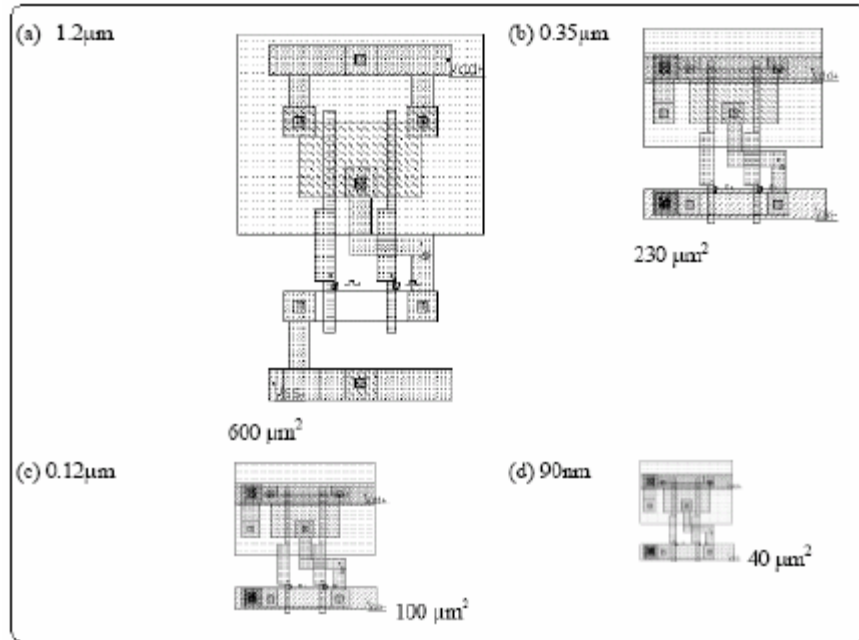
Conform figurii de mai jos cercetarea se afla cu circa 5 ani inaintea productiei de masa, in ceea ce priveste tehnologia. Se asteapta ca in anul 2007 procesele litografice se coboare sub 0,07 μm . Litografia, exprimata in μm , corespunde celor mai mici forme care pot fi realizate pe suprafata unui circuit integrat.

Tabela de mai jos prezinta parametrii mai importanti si evolutia lor odata cu perfectionarea tehnologiilor. Trebuie mentionate cresterea numarului de straturi de metal, pentru interconectari, reducerea tensiunii de alimentare VDD, micșorarea grosimii stratului de oxid al portii, pana la dimensiuni atomice. Se remarca, de asemenea, cresterea dimensiunilor pastilei, cat si marirea numarului de ploturi de I/E, disponibile pe o singura pastila.

Litografia	Anul	Straturi de metal	Tensiunea de alimentare (V)	Grosimea Oxidului (nm)	Aria Circuitului mm x mm	Ploturi de I/E	Fisierul de reguli Microwind2
1.2 μm	1986	2	5.0	25	5x5	250	Cmos12.rul
0.7 μm	1988	2	5.0	20	7x7	350	Cmos08.rul
0.5 μm	1992	3	3.3	12	10x10	600	Cmos06.rul
0.35 μm	1994	5	3.3	7	15x15	800	Cmos035.rul
0.25 μm	1996	6	2.5	5	17x17	1000	Cmos025.rul
0.18 μm	1998	6	1.8	3	20x20	1500	Cmos018.rul
0.12 μm	2001	6-8	1.2	2	22x20	1800	Cmos012.rul
90nm	2003	6-10	1.0	1.8	25x20	2000	Cmos90n.rul
70nm	2005	6-12	0.8	1.6	27x20	3000	Cmos70n.rul

Fig. 5. Parametrii mai importanti si evolutia lor odata cu perfectionarea tehnologiilor

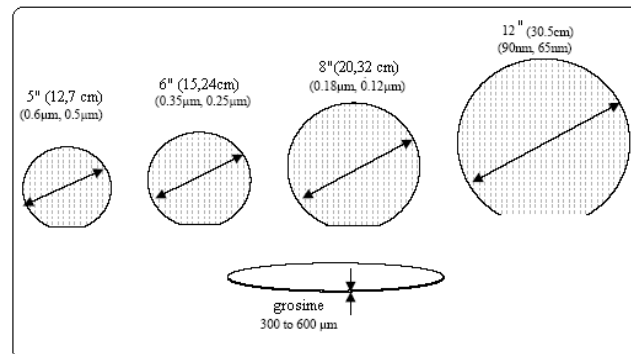
Ca o consecinta a perfectionarii procesului litografic, pe aceeasi arie de siliciu se pot implementa mai multe functii. Cresterea numarului de straturi de metal, pentru interconectari, a condus la o utilizare mai eficienta a ariei de siliciu, ca si pentru circuitul imprimat. De asemenea, dispozitivele MOS pot fi plasate la distante mai mici unul fata de celalalt.



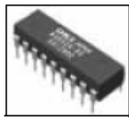
Evolutia ariei de Si utilizata pentru implementarea portii NAND

Cresterea densitatii conduce la reducerea ariei si la micșorarea capacitatilor parazite ale jonctiunilor si interconexiunilor, avand ca efect cresterea vitezei de operare. In acelasi timp, dimensiunile mai mici ale dispozitivelor permit, in continuare, sporirea vitezei de lucru, respectiv, cresterea frecventei ceasului.

Dimensiunile discurilor (wafers) de Si au crescut in mod continuu. Un diametru mai mare al discului inseamna mai multe structuri produse in acelasi timp, dar necesita echipamente ultra-performante pentru manipularea si prelucrarea acestora cu precizie la scara atomica. Aceasta tendinta este prezentata in figura de mai jos.



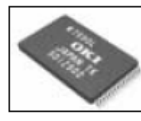
Evolutia dimensiunilor discurilor (wafers) de Si



DIP
Dual In-line
Package



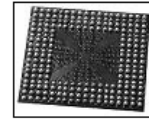
SOJ
Small Outline J-lead



TSOP
Thin Small Outline
Package



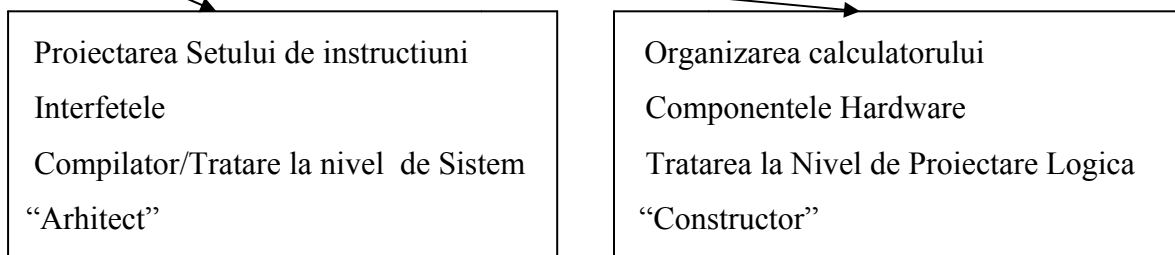
LQFP
Low Profile Quad
Flat Package



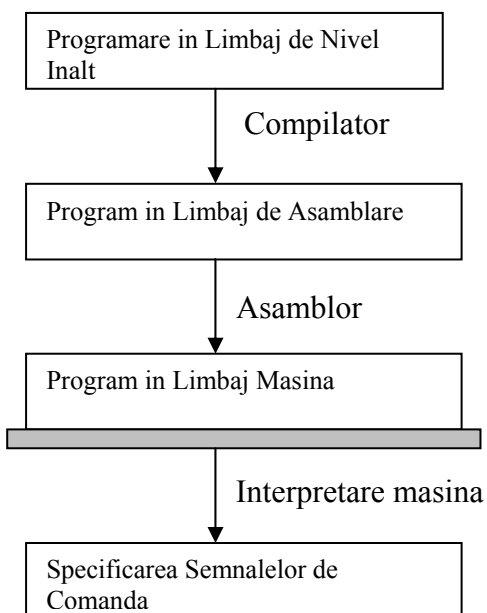
FBGA
Fine Ball Grid Array

Tipuri de terminale ale circuitelor integrate pe scara larga

1.3. Arhitectura si Ingineria Calculatoarelor



Niveluri de Reprezentare



```
temp=v[k];
v[k]=v[k+1];
v[k+1]=temp;
```

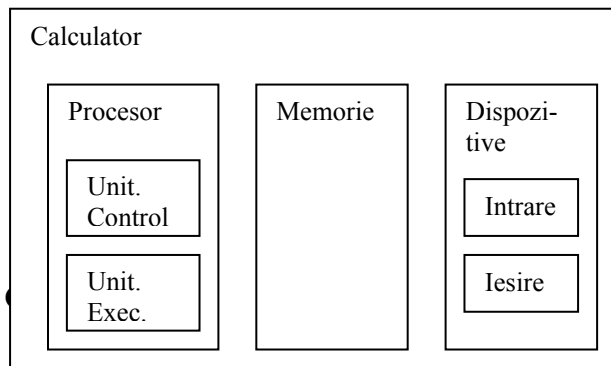
```
lw$15, 0($2)
lw$16, 4($2)
sw $16,0($2)
sw$15,4($2)
```

```
0000 1001 1100 0110 1010 1111 0101 1000
.....
0101 1000 0000 1001 1100 0110 1010 1111
```

```
UAL[1:3] <= RI[9:11] ^ MASK
```

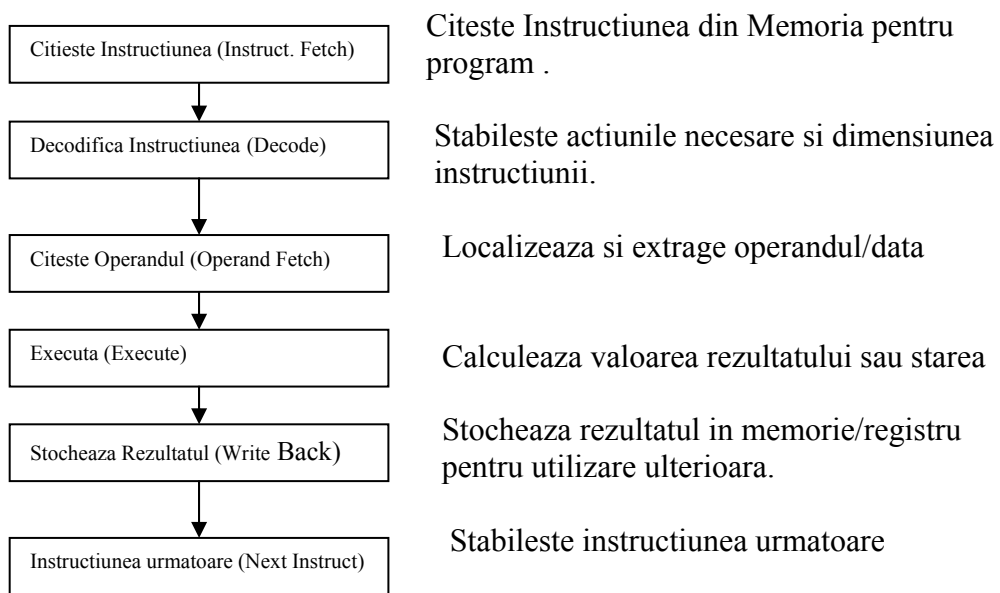
Niveluri de Organizare

Pe exemplul SPARCstation20

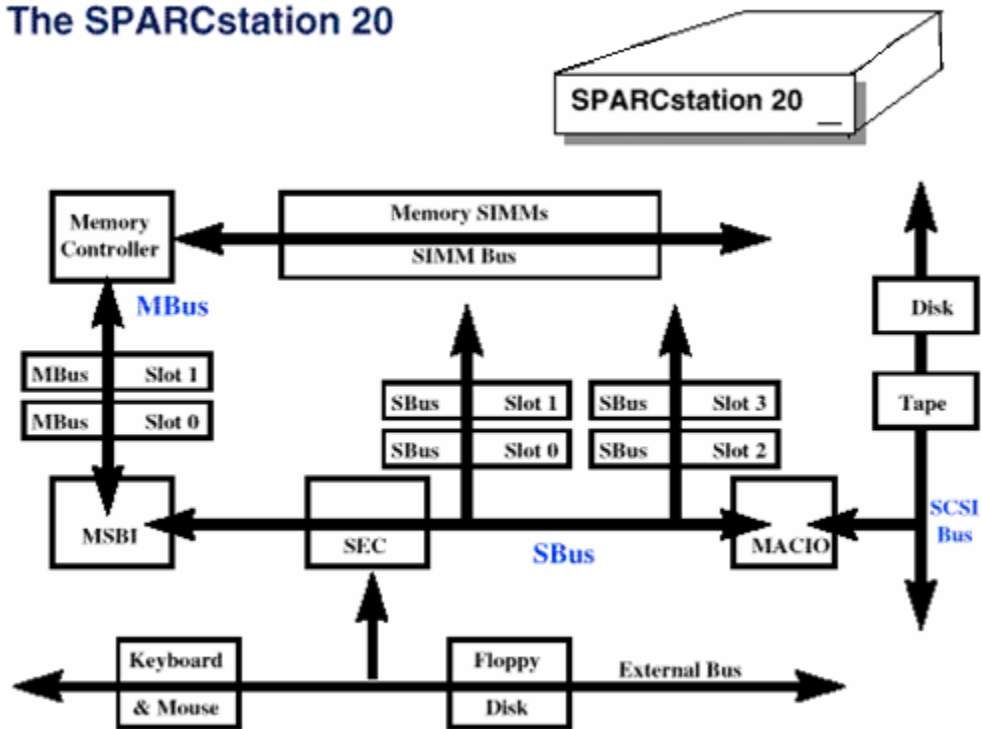


Tinta Proiectarii Statiilor de Lucru:

- Cost Procesor ~25%
- Cost Memorie cap. minima ~ 25%
- Cost Dispozitive de I/E, Surse alimentare, cabinet etc. ~ 50%



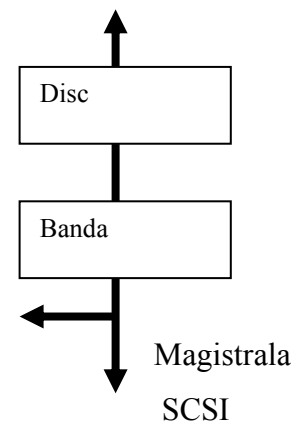
The SPARCstation 20



Dispozitive Standard de I/E

(SPARCstation 20 –SS20)

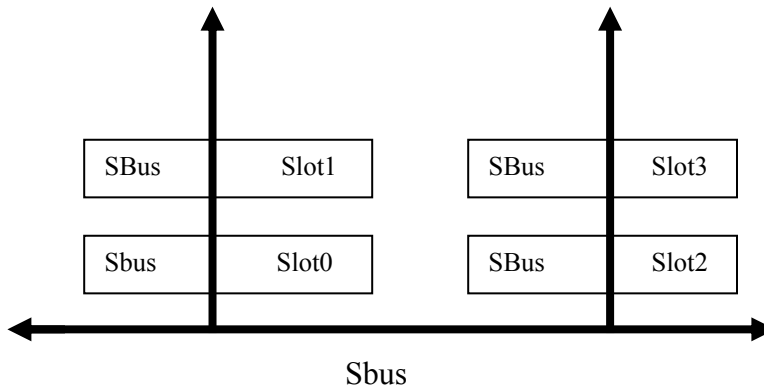
- SCSI = Small Computer Systems Interface
- Interfata Standard (IBM, Apple, HP, Sun etc)
- Calculatoarele si Dispozitivele de I/E comunica unul cu altul.
- Discul dur este unul dintre dispozitivele de I/E , care se conecteaza la Magistrala SCSI



Dispozitive de I/E rapide

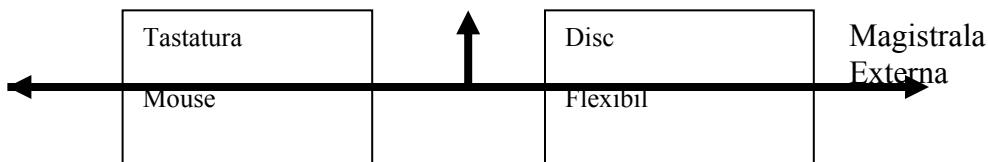
- SBus reprezinta magistrala proprietara SUN, pentru dispozitive rapide de I/E
- SS20 dispune de patru conectori SBus, pentru dispozitivele de I/E
- Exemple: accelerator grafic, adaptor video etc..

- Termenii de viteza ridicata si viteza coborata sunt relativi



Dispozitive de I/E lente

- SS20 poseda numai patru conectori Sbus, deoarece spatiul pe placa este limitat
- Viteza unor dispozitive de I/E este limitata de timpul de reactie a operatorului, care este extrem de mare, din punctul de vedere al calculatorului
- Exemple: tastatura si mouse-ul
- Nu sunt motive pentru utilizarea unui conector SBus costisitor.

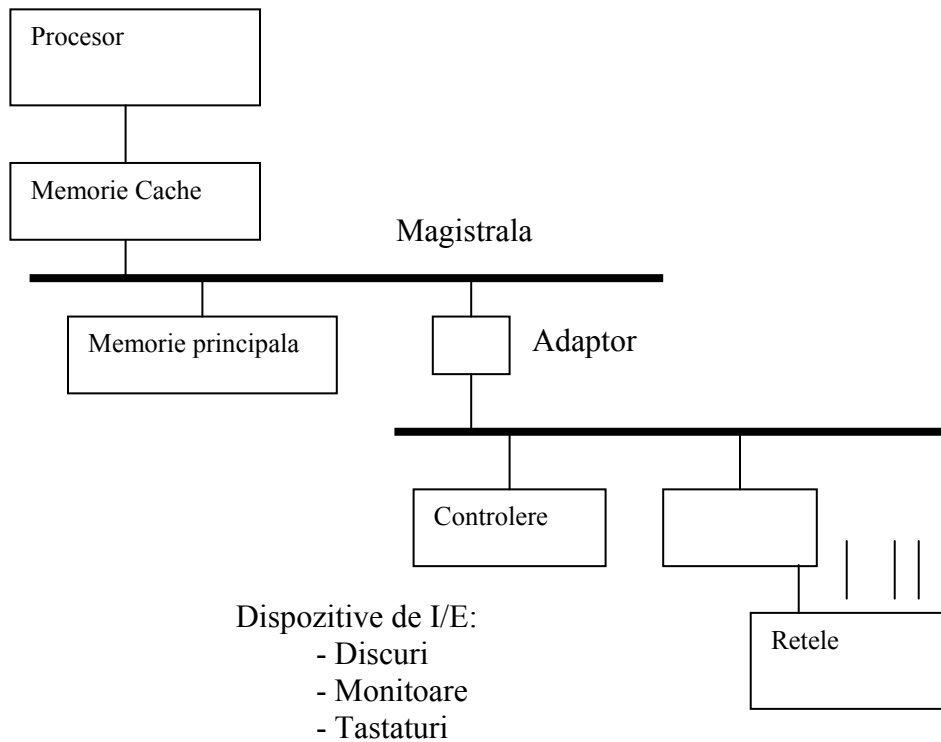


Rezumat

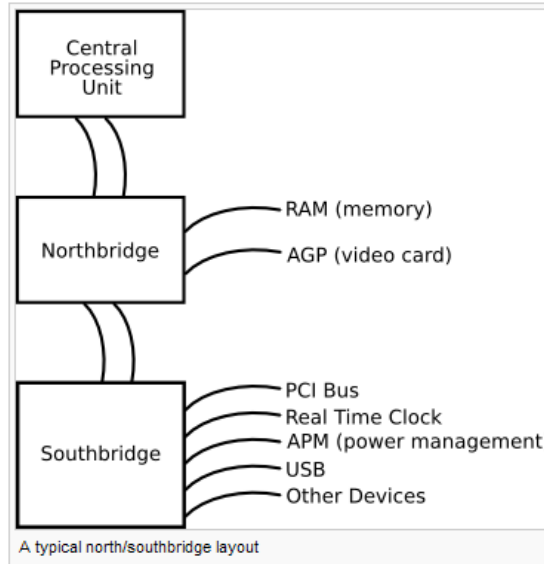
- Toate calculatoarele poseda cinci componente:
 - (1) Unitatea de Executie } Procesor
 - (2) Unitatea de Comanda }
 - (3) Memoria
 - (4) Dispozitivele de intrare
 - (5) Dispozitivele de iesire
- Memoria nu este omogena ca tehnologie, amplasare, cost, performanta etc
 - Memoria Cache (intermediara) este costisitoare, rapida si plasata in apropierea procesorului.
 - Memoria principala este mai putin costisitoare si este solicitata la capacitati din ce in ce mai mari
- Interfetele intre unitatile functionale si intre calculator si mediul inconjurator ridica

probleme

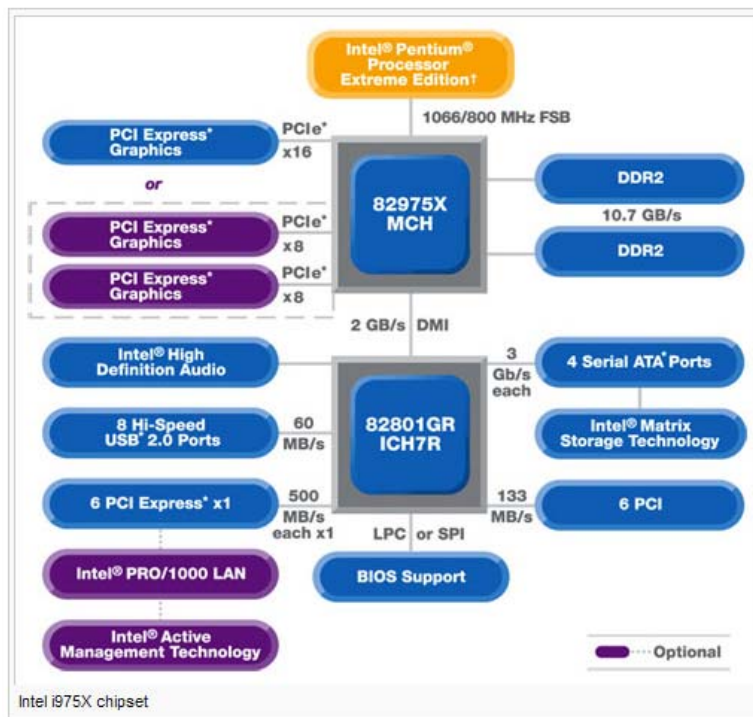
- Proiectarea intregului sistem se realizeaza in conditiile unor restrictii de performanta, putere consumata, arie ocupata si cost



Interconectarea procesorului cu memoria principala, diferitele coprocesoare si unitati de control pentru diferite echipamente periferice se realizeaza cu ajutorul unui ansamblu de circuite integrate, comercializate sub forma unui produs de sine statator, care poarta numele de "chipset". Circuitele din gama "chipset" sunt folosite pentru realizarea placilor de baza sau a placilor de extensie. Ca exemple de producatori de "chipsets" pentru placile de baza se pot da: NVIDIA, ATI, VIA Technologies, SiS si Intel (*northbridge* si *southbridge*)



Organizare tipica pentru northbridge si southbridge.

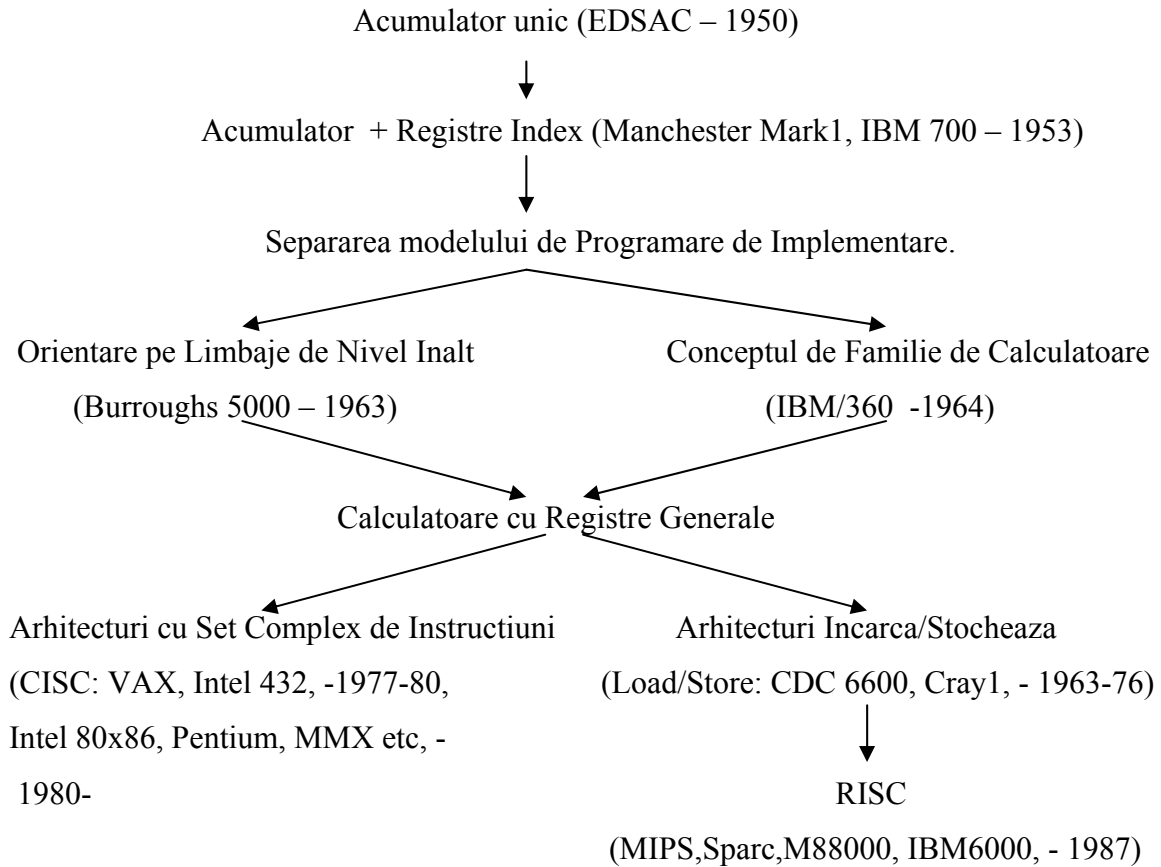


Exemplu de “chipset” Intel i975X

1.3. Arhitectura Setului de Instructiuni.

ASI - Clase fundamentale (cele mai multe masini reale constituie hibrizi ai acestor clase).

Evolutia Arhitecturii Setului de Instructiuni.



Acumulator (un registru):

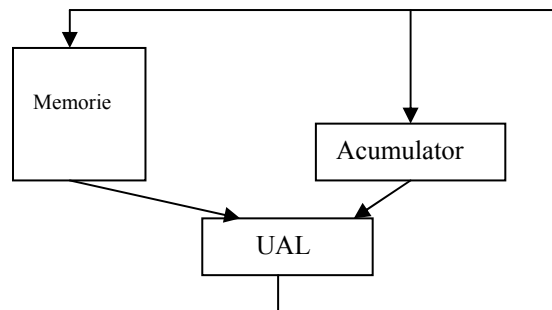
1 adresa add A

$acc \leftarrow acc + mem[A]$

1 adresa + x *) addx A

$acc \leftarrow acc + mem[A+x]$

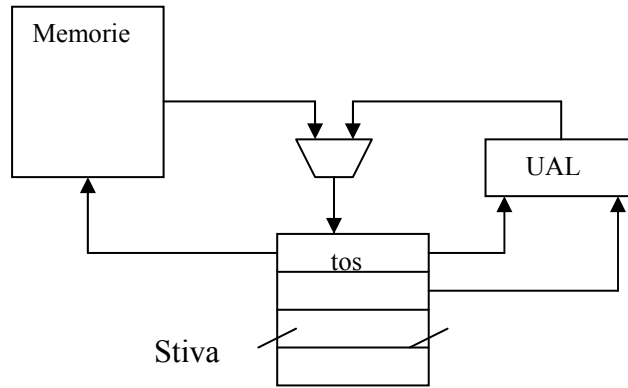
*) x este registru index



Fluxul datelor

Stiva:

0 (zero) adrese add $tos \leftarrow tos + urmator$



Fluxul datelor

Registre Generale (poate fi memorie/memorie)

2 adrese add A B $EA[A] \leftarrow EA[A] + EA[B]$

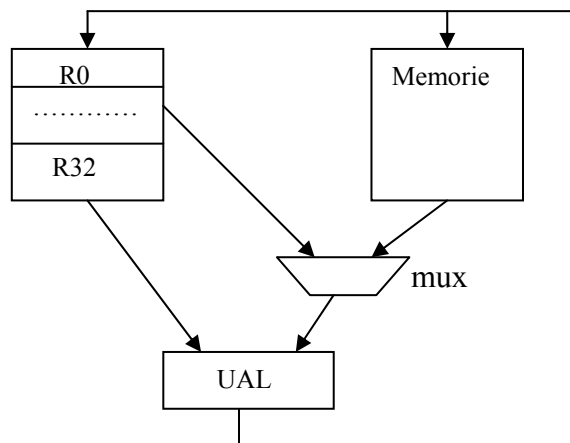
3 adrese add A B C $EA[A] \leftarrow EA[B] + EA[C]$

Incarca/Stocheaza: (Load/Store)

3 adrese add Ra Rb Rc $Ra \leftarrow Rb + Rc$

2 adrese load Ra Rb $Ra \leftarrow mem[Rb]$

store Ra Rb $mem[Rb] \leftarrow Ra$



Fluxul datelor

Comparatii:

- Octeti pe instructiune?
- Numar de instructiuni?
- Cicluri pe instructiune?

Compararea numarului de instructiuni.

Fie secventele de coduri pentru expresia $C = A + B$

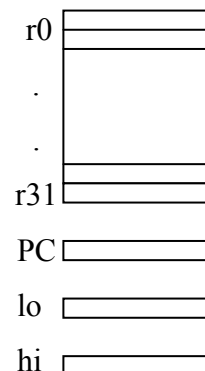
Stiva	Acumulator	Registre (reg-mem)	Registre (citeste/stocheaza)
Push A	Load A	Load R1, A	Load R1, A
Push B	Add B	Add R1, B	Load R2, B
Add	Store C	Store C, R1	Add R3, R1, R2
Pop C			Store C, R3

Organizarea bazata pe registre generale este dominanta

- Toate calculatoarele realizate intre 1975 si 2000 utilizeaza registre generale
- Avantajele folosirii registrelor generale:
 - Registrele sunt mai rapide decat memoria
 - Registrele sunt mai usor de utilizat de catre compilator, de ex.:
in expresia $(A*B) - (C*D) - (E*F)$ inmultirile se pot efectua indiferent de ordine, in comparatie cu stiva.
 - Registrele pot stoca variabile:
 - traficul cu memoria este redus, programul se poate executa mai repede (registrele sunt mai rapide decat memoria).
 - densitatea codului creste deoarece numele registrelor pot fi codificate cu mai putini biti decat locatiile de memorie

Registrele procesorului MIPS I

- Memoria programabila:
 - 2^{32} octeti de memorie
 - 31 x 32- biti RG (Registre Generale, R0=0)
 - 32 x 32 biti registre FP (DP-perechi)
 - HI, LO, PC

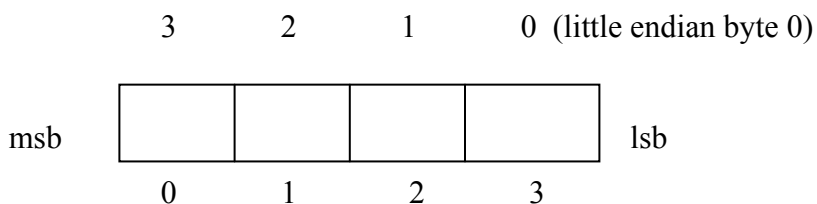


Adresarea Memoriei

- Incepand cu 1980 cele mai mule calculatoare utilizeaza adrese la nivel de octet – byte
- Pentru proiectarea ASI apar doua probleme:
 - Un cuvand de 32 de biti poate fi extras prin patru citiri de octeti succesivi, de la adrese secventiale de octeti, sau poate fi extras ca un singur cuvand de la o adresa de octet. Cum se mapeaza adresele de octeti in cuvinte?
 - Un cuvand poate fi plasat la oricare pozitie de octet?

Adresarea Obiectelor: “Endiani” si Aliniere.

- Big Endian: adresa celui mai semnificativ octet = adresa cuvantului.
(xx00 = “Big End” al cuvantului)
IBM 360/370, Motorola 68k, MIPS, Sparc, HP PA
- Little Endian: adresa celui mai putin semnificativ octet = adresa cuvantului
(xx00= “Little End” al cuvantului)
Intel 80x86, DEC Vax, DEC Alpha (Windows NT)



(big endian byte 0)

Aliniere: toate obiectele se plaseaza la adrese care sunt multipli ai dimensiunilor lor.

Moduri de Adresare (VAX 11/780)

Moduri de Adresare	Exemplu	Semnificatie
Registru	Add R4, R3	$R4 \leftarrow R4 + R3$
Imediat	Add R4, #3	$R4 \leftarrow R4 + 3$
Deplasata	Add R4, 100(R1)	$R4 \leftarrow R4 + \text{Mem}[100 + R1]$
Registru Indirect	Add R4, (R1)	$R4 \leftarrow R4 + \text{Mem}[R1]$
Indexat/Bazat	Add R3, (R1+R2)	$R3 \leftarrow R3 + \text{Mem}[R1 + R2]$
Direct sau Absolut	Add R1, (1001)	$R1 \leftarrow R1 + \text{Mem}[1001]$
Memorie Indirect	Add R1, @(R3)	$R1 \leftarrow R1 + \text{Mem}[\text{Mem}[R3]]$
Post-increment	Add R1, (R2)+	$R1 \leftarrow R1 + \text{Mem}[R2]; R2 \leftarrow R2 + d$
Pre-decrement	Add R1, -(R2)	$R2 \leftarrow R2 - d; R1 \leftarrow R1 + \text{Mem}[R2]$
Scalata	Add R1, 100(R2)[R3]	$R1 \leftarrow R1 + \text{Mem}[100 + R2 + R3 * d]$

Utilitatea adresarilor Post-increment, Pre-decrement, Scalata?

Utilizarea Modurilor de Adresare (se ignora modul registru)

Trei programe masurate pe un calculator cu toate modurile de adresare (VAX)

- Deplasare: 42% medie, 32%-55%, \updownarrow 75%
- Imediat: 33% medie, 17% - 43% \updownarrow 85%
- Registru indirect: 13% medie, 3% - 24% \updownarrow
- Scalate: 7% medie, 1% - 16%
- Memorie indirect: 3% medie, 1% - 6%
- Diverse: 2% medie, 0% - 3%

75% cu deplasare si imediate

88% cu deplasare, imediate si registru indirect.

Dimensiunea Campului Deplasare?

Media asuratorilor efectuate pe programele 5SPECint92 si 5SPECfp92:

- 1% din adrese >16 biti
- 12-16 biti sunt necesari pentru deplasare.

Dimensiunea pentru campul Imediat?

- 50% - 60% se incadreaza in 8 biti
- 75% - 80% se incadreaza in 16 biti

Adresare (Rezumat).

- Modurile de adresare a datelor care sunt importante:
Deplasare, Imediat, Registru indirect.
- Dimensiunea campului Deplasare trebuie sa fie de 12 – 16 biti.
- Dimensiunea campului Imediat trebuie sa fie de 8 – 16 biti

Intrebari.

1. Cum se poate defini arhitectura unui calculator?
2. Care sunt componentele arhitecturii unui calculator?
3. Ce reprezinta Arhitectura Setului de Instructiuni? Exemple.
4. Ce reprezinta organizarea unui calculator? Exemplu.
5. Nivelurile de reprezentare a unui calculator.
6. Etapele/ciclurile derularii unei instructiuni.
7. Organizarea unui calculator la nivel de magistrale.
8. Clase de arhitecturi de seturi de instructiuni.
9. Arhitecturi bazate pe registre generale: CISC, RISC.
10. Adresarea memoriei. Big Endian, Little Endian.
11. Exemple de moduri de adresare: Vax 11/780, MIPS3000

ANEXA 1

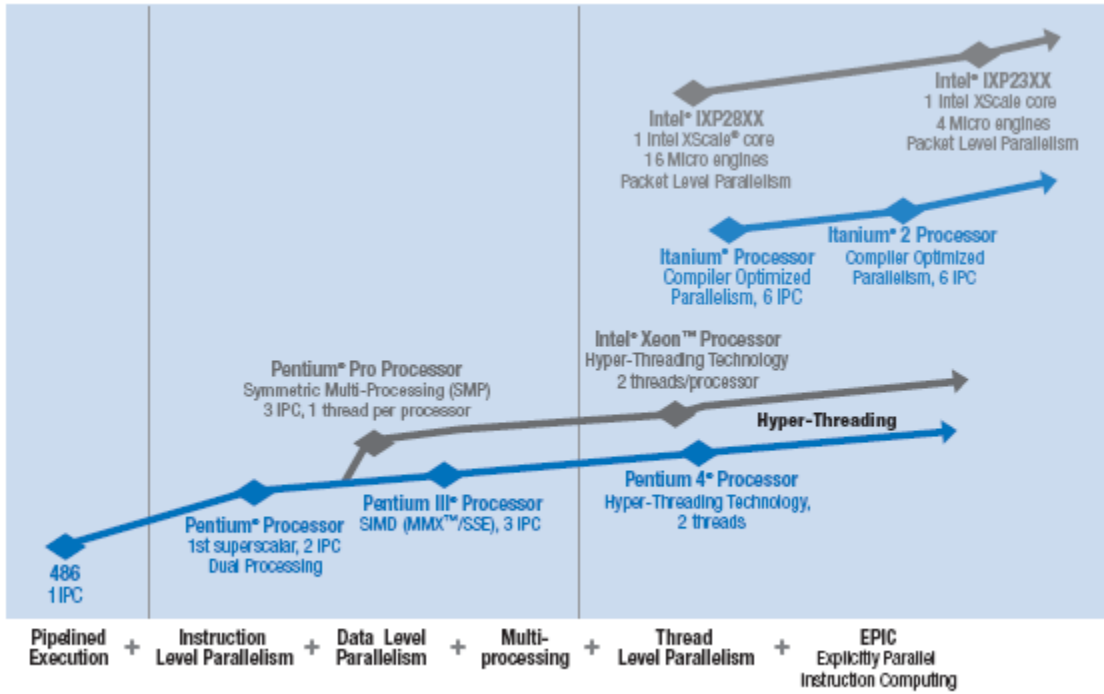


Figure 1. Driving increasing degrees of parallelism on Intel® processor architectures.

Processor Roadmap

Desktop

Laptop

Server

Workstation

July-December 2006	January-June 2007
Extreme	
<p>Intel® Core™2 Extreme processor QX6700Δ Quad-core processor 8 MB L2 cache, 2.66 GHz, 1066 MHz FSB Intel® 975X Express Chipset</p>	<p>Intel® Core™2 Extreme processor QX6700Δ or greater Quad-core processor 8 MB L2 cache, 2.66 GHz, 1066 MHz FSB Intel® 975X Express Chipset</p>
<p>Intel® Core™2 Extreme processor X6800Δ Dual-core processor 4 MB L2 cache, 2.93 GHz, 1066 MHz FSB Intel® 975X Express Chipset</p>	<p>Intel® Core™2 Extreme processor X6800Δ or greater Dual-core processor 4 MB L2 cache, 2.93 GHz, 1066 MHz FSB Intel® 975X Express Chipset</p>
Mainstream	
	<p>Next Generation quad-core processor Intel® 965 Express Chipset family Next generation Intel® Chipset</p>
<p>Intel® Core™2 Duo processor E6700Δ Dual-core processor 4 MB L2 cache, 2.66 GHz, 1066 MHz FSB Intel® 965 Express Chipset family</p>	<p>Intel® Core™2 Duo processor E6700Δ or greater Dual-core processor 4 MB L2 cache, 2.66 GHz, 1066 MHz FSB Intel® 965 Express Chipset family Next generation Intel® Chipset</p>
<p>Intel® Pentium® D processor 960Δ or greater Dual-core processor 2x2 MB L2 cache, 3.60 GHz, 800 MHz FSB Intel® 965 Express Chipset family</p>	
Value	
<p>Intel® Pentium® 4 processor 661Δ supporting Hyper-Threading Technology† or greater 2 MB L2 cache, 3.60 GHz, 800 MHz FSB Intel® 945 Express Chipset family Intel® 946 Express Chipset family</p>	<p>Intel® Pentium® 4 processor 661Δ supporting Hyper-Threading Technology† or greater 2 MB L2 cache, 3.60 GHz, 800 MHz FSB Intel® 945X Express Chipset family Intel® 946X Express Chipset family</p>
<p>Intel® Celeron® D processor 360Δ or greater 512 KB L2 cache, 3.46 GHz, 533 MHz FSB Intel® 945 Express Chipset family Intel® 946 Express Chipset family</p>	<p>Intel® Celeron® D processor 360Δ or greater 512 KB L2 cache, 3.46 GHz, 533 MHz FSB Intel® 945 Express Chipset family Intel® 946 Express Chipset family</p>

Processor Roadmap

Desktop

Laptop

Server

Workstation

July-December 2006	January-June 2007
<p>Intel® Centrino® Duo mobile technology featuring Intel® Core™2 Duo processor T7600Δ Dual-core, 4 MB L2 cache, 2.33 GHz, 667 MHz FSB Mobile Intel® 945PM/GM/GMS Express Chipsets Intel® PRO/Wireless 3945ABG</p>	<p>Intel® Centrino® Duo mobile technology featuring Intel® Core™2 Duo processor T7600Δ or greater Dual-core, 4 MB L2 cache, 2.33 GHz, 667 MHz FSB Next Generation Mobile Intel Express Chipsets Next Generation Wireless Intel® PRO/Wireless 3945ABG</p>
<p>Intel® Centrino® Duo mobile technology featuring Intel® Core™ Duo processor LV L2500Δ Dual-core, 2 MB L2 cache, 1.83 GHz, 667 MHz FSB Mobile Intel® 945PM/GM/GMS Express Chipsets Intel® PRO/Wireless 3945ABG</p>	<p>Intel® Centrino® Duo mobile technology featuring Intel® Core™ Duo processor LV L2500Δ or greater Dual-core, 2 MB L2 cache, 1.83 GHz, 667 MHz FSB Next Generation Mobile Intel Express Chipsets Next Generation Wireless Intel® PRO/Wireless 3945ABG</p>
<p>Intel® Centrino® Duo mobile technology featuring Intel® Core™ Duo processor ULV U2500Δ Dual-core, 2 MB L2 cache, 1.20 GHz, 533 MHz FSB Mobile Intel® 945PM/GM/GMS Express Chipsets Intel® PRO/Wireless 3945ABG</p>	<p>Intel® Centrino® Duo mobile technology featuring Intel® Core™ Duo processor ULV U2500Δ or greater Dual-core, 2 MB L2 cache, 1.20 GHz, 533 MHz FSB Next Generation Mobile Intel Express Chipsets Mobile Intel® 945PM/GM/GMS Express Chipsets Intel® PRO/Wireless 3945ABG</p>
<p>Intel® Centrino® mobile technology featuring Intel® Core™ Solo processor ULV U1400Δ 2 MB L2 cache, 1.20 GHz, 533 MHz FSB Mobile Intel® 945GM/PM/GMS Express Chipsets Intel® PRO/Wireless 3945ABG</p>	<p>Intel® Centrino® mobile technology featuring Intel® Core™ Solo processor ULV U1400Δ or greater 2 MB L2 cache, 1.20 GHz, 533 MHz FSB Next Generation Mobile Intel Express Chipsets Mobile Intel® 945GM/PM/GMS Express Chipset Intel® PRO/Wireless 3945ABG Chipset</p>
<p>Intel® Celeron® M processor 450Δ 1 MB L2 cache, 2.0 GHz, 533 MHz FSB Mobile Intel® 945GM & 940GML Express Chipsets</p>	<p>Intel® Celeron® M processor 450Δ or greater 1 MB L2 cache, 2.0 GHz, 533 MHz FSB Mobile Intel® 945GM/PM & 940GML Express Chipsets</p>

Evolution of Intel Microprocessors: 1971 to 2007

Family	Trade Name (Code Name for Future Chips)	Clock Frequency in MegaHertz**	Millions of Instructions per Second	Date of Introduction	Number of Transistors	Design Rule (Pixel Size)	Address Bus Bits
80986	Projected Roadmap	24,000.0 MHz	+125,000. MIPS	2007	1 billion	0.045 micron	64 bit
80886	(Northwood)	3,000.0 MHz	TBA	2003	TBA	0.13 micron	64 bit
80886	(Madison)	TBA	TBA	2003	TBA	0.13 micron	64 bit
80886	(Deerfield)***	TBA	TBA	2002Q2	TBA	0.13 micron	64 bit
80886	(McKinley)	1,000.0 MHz	TBA	2002Q1	TBA	0.18 micron	64 bit
80786	Itanium (Merced)	800.0 MHz	+2,500.00 MIPS	May 29, 2001	30 / 300 M	0.18 micron	64 bit
80686	Pentium 4	1,500.0 MHz	*1,500.00 MIPS	November 20, 2000	42 million	0.18 micron	32 bit
80686	Pentium III	1,000.0 MHz	*1,000.00 MIPS	March 1, 2000	28.1 million	0.18 micron	32 bit
80686	P III Xeon	733.0 MHz	*733.00 MIPS	October 25, 1999	28.1 million	0.18 micron	32 bit
80686	Mobile P II	400.0 MHz	*400.00 MIPS	June 14, 1999	27.4 million	0.18 micron	32 bit
80686	P III Xeon	550.0 MHz	*550.00 MIPS	March 17, 1999	9.5 million	0.25 micron	32 bit
80686	Pentium III	500.0 MHz	*500.00 MIPS	February 26, 1999	9.5 million	0.25 micron	32 bit
80686	P II Xeon	400.0 MHz	*400.00 MIPS	June 29, 1998	7.5 million	0.25 micron	32 bit
80686	Pentium II	333.0 MHz	*333.00 MIPS	January 26, 1998	7.5 million	0.25 micron	32 bit
80686	Pentium II	300.0 MHz	*300.00 MIPS	May 7, 1997	7.5 million	0.35 micron	32 bit
80586	Pentium Pro	200.0 MHz	*200.00 MIPS	November 1, 1995	5.5 million	0.35 micron	32 bit
90586	Pentium	133.0 MHz	*133.00 MIPS	June 1995	3.3 million	0.35 micron	32 bit
80586	Pentium	90.0 MHz	*90.00 MIPS	March 7, 1994	3.2 million	0.60 micron	32 bit
80586	Pentium	60.0 MHz	*60.00 MIPS	March 22, 1993	3.1 million	0.80 micron	32 bit
80486	80486 DX2	50.0 MHz	*50.00 MIPS	March 3, 1992	1.2 million	0.80 micron	32 bit
80486	486 DX	25.0 MHz	20.00 MIPS	April 10, 1989	1.2 million	1.00 micron	32 bit
80386	386 DX	16.0 MHz	5.00 MIPS	October 17, 1985	275,000	1.50 micron	16 bit
80286	80286	6.0 MHz	0.90 MIPS	February 1982	134,000	1.50 micron	16 bit
8086	8086	5.0 MHz	0.33 MIPS	June 8, 1978	29,000	3.00 micron	16 bit
8080	8080	2.0 MHz	0.64 MIPS	April 1974	6,000	6.00 micron	8 bit
8008	8008	.2 MHz	0.06 MIPS	April 1972	3,500	10.00 micron	8 bit
4004	4004	.1 MHz	0.06 MIPS	November 15, 1971	2,300	10.00 micron	4 bit

* Approximately one instruction per processor clock cycle // *starting with Itanium, the chips have multiple floating point processors per chip
 ** 1 KHz (KiloHertz) = 1 thousand cycles per second; 1 MegaHertz = 1 thousand KiloHertz; 100 KHz = .1 MHz,
 1 GHz (GigaHertz) = 1 billion cycles per second; 1 GigaHertz = 1 thousand MegaHertz
 TBA To be announced, Pentium 4 was formerly code named Willamette *** Deerfield is a low cost version of Madison.
<http://www.intel.com/processors/intel/future.htm> (one source of data for future microprocessors)
<http://www.intel.com/pressroom/kits/processors/quickref.htm> (source of data for released microprocessors)