

## 2.7.3. Variante ale circuitelor TTL

- se accentuează anumite performanțe în funcție de aplicațiile cărora le sunt destinate.

2.7.3.1. Poarta TTL standard cu  $t_p = 10ns$  și  $P_d = 10mW$ ; structura este cea prezentată anterior cu valorile rezistențelor precizate;

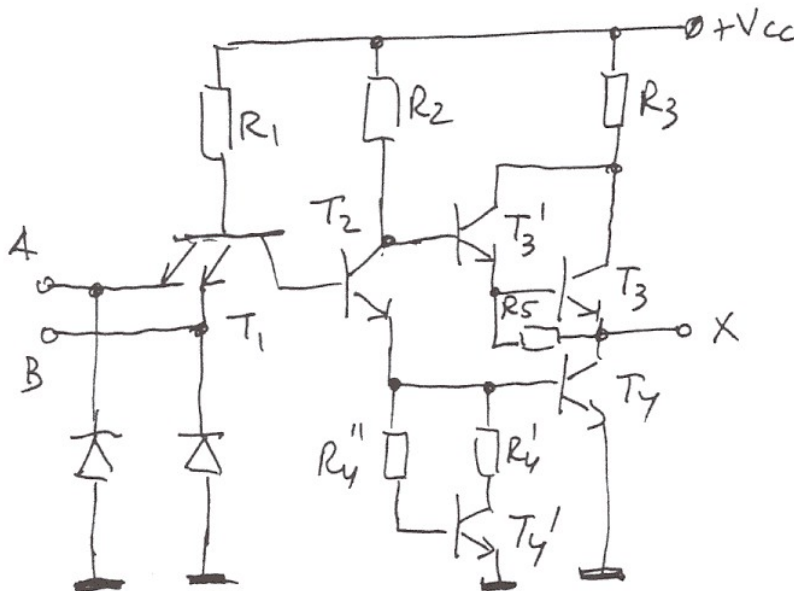
2.7.3.2. Poarta TTL de mică putere (LPTTL) pentru reducerea consumului:

- aceeași structură ca și poarta standard, dar cu rezistențe de  $4 \div 10$  ori mai mari; rezultă:

- consum redus:  $2mW$ ;
- timp de propagare mediu mai mare:  $> 20ns$ ;
- curenți de intrare mai mici;
- curenții disponibili la ieșire mai mici;
- curenți de alimentare mai mici:
  - zgomote proprii mai mici;
  - crește densitatea posibilă a componentelor și a circuitelor;
  - proiectarea termică mai comodă;
  - sursă de alimentare mai puțin solicitată;
  - crește fiabilitatea schemei;
- mai puțin sensibilă la zgomote în impulsuri;
- compatibilitate pin la pin cu poarta standard.

2.7.3.3. Poarta TTL de viteză mare (HTTL):

- timpul de propagare scade la  $6ns$ ;
- puterea medie disipată crește la  $22mW$ ;

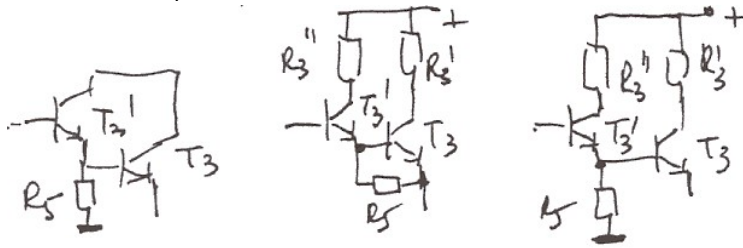


Reducerea timpului de propagare se face prin 3 metode:

a) reducerea rezistențelor cu efect asupra consumului și asupra încărcării provocate de circuit;

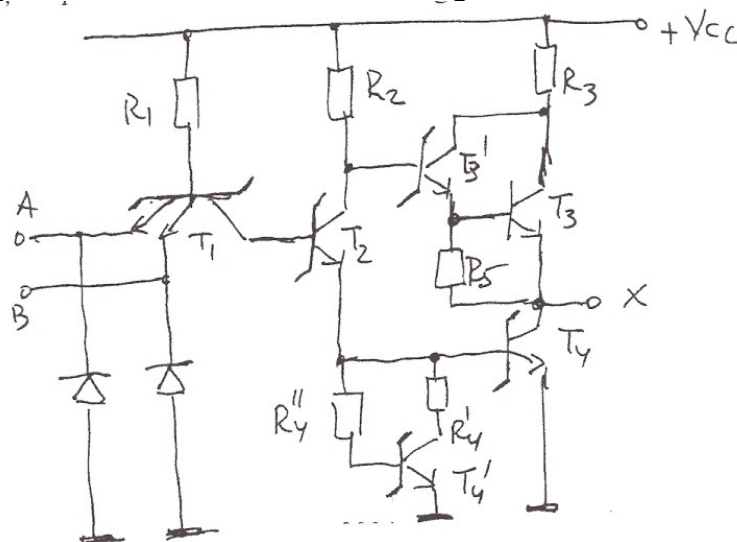
b) înlocuirea diodei de transpoziție cu un tranzistor (amplificator de curent care asigură curent mai mare în trecerea spre starea logică UNU la ieșire); sunt mai multe variante prezentate în figură;

c) înlocuirea rezistenței  $R_4$  cu o sarcină dinamică (formată din tranzistorul  $T_6$  și rezistențele  $R_4', R_4''$ ) pentru mărirea curentului de bază la comutarea inversă a tranzistorului  $T_4$ ; are influență și asupra caracteristicii de transfer.



#### 2.7.3.4. Poarta TTL Schottky (STTL):

- aceeași structură ca HTTL;
- folosește diode Schottky pentru evitarea intrării în saturație;
- timpul de propagare se reduce:  $t_p = 3ns$ ;
- puterea medie disipată este la fel ca la HTTL;
- puterea disipată crește mai încet cu frecvența decât la TTL;
- diodele de evitare a oscilațiilor sunt mai eficiente (se deschid la tensiuni mai mici, de circa  $0,4V$ );
- marginea de zgomot statică în starea ZERO scade la valoarea  $MZL = 0,3V$  deoarece crește  $V_{oL} = -V_{DS} + V_{BE} < V_{oLmax} = 0,5V$ ;
- viteze de variație a semnalului la ieșire devine circa  $1V / 1ns$  (mare) cu consecințe în proiectarea circuitelor – linii lungi de la circa 15 cm;

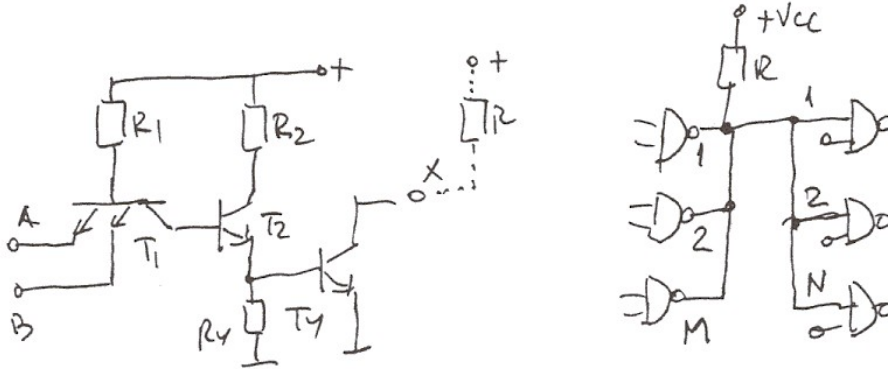


## 2.7.3.5. Poarta TTL de mică putere Schottky (LPSTTL):

- structura ca LPTTL;
- timp de propagare ca la TTL standard;
- putere disipată ca la LPTTL; curenți de intrare mici – recomandată pentru interfața cu circuite MOS;

## 2.7.3.6. TTL cu colectorul în gol

- realizare magistrale hard – pentru funcții SAU (ȘI) cablat;
- nu se pot pune în paralel porți TTL cu ieșire pe stâlp totemic;
- o variantă – circuitele cu colectorul în gol:



- rezistența de colector se poate cupla și la alte tensiuni de alimentare (se poate realiza interfață cu circuite alimentate la diferite tensiuni de alimentare)
- tranzitoriu – dezavantajele inversorului clasic;
- se pot realiza circuite de întârziere cu o capacitate ca sarcină;
- calculul rezistenței de colector (valori tipice  $1 \div 5k\Omega$ ) dacă:
  - $M$  este numărul de circuite care comandă în paralel;
  - $N$  este numărul de circuite comandate în paralel:

$$R_{\min} < R < R_{\max}$$

- $R_{\min}$  rezultă din condiția de a nu se depăși  $I_{oL\max}$  în starea ZERO:

$$I_{oL} = \frac{V_{cc} - V_{oL\max}}{R} + NI_{iL\max} < I_{oL\max}$$

$$R > R_{\min} = \frac{V_{cc} - V_{oL\max}}{I_{oL\max} - NI_{iL\max}}$$

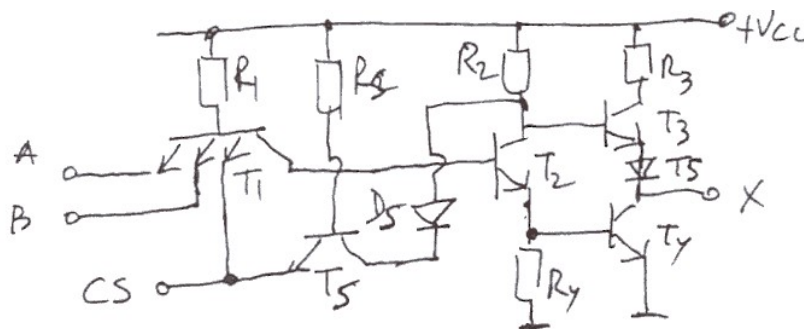
- $R_{\max}$  rezultă din condiția ca tensiunea de ieșire să nu scadă sub  $V_{oH\min}$  în starea UNU:

$$V_{oH} = V_{cc} - R(NI_{iH\max} + MI_{o1\max})$$

$$R < R_{\max} = \frac{V_{cc} - V_{oH\min}}{NI_{iH\max} + MI_{o1\max}}$$

- $I_{o1\max}$  este curentul rezidual al tranzistorului  $T_4$  blocat;
- comentarii pentru  $N > 7$ .

2.7.3.7. TTL cu trei stări – pentru funcții SAU (ȘI) cablat:



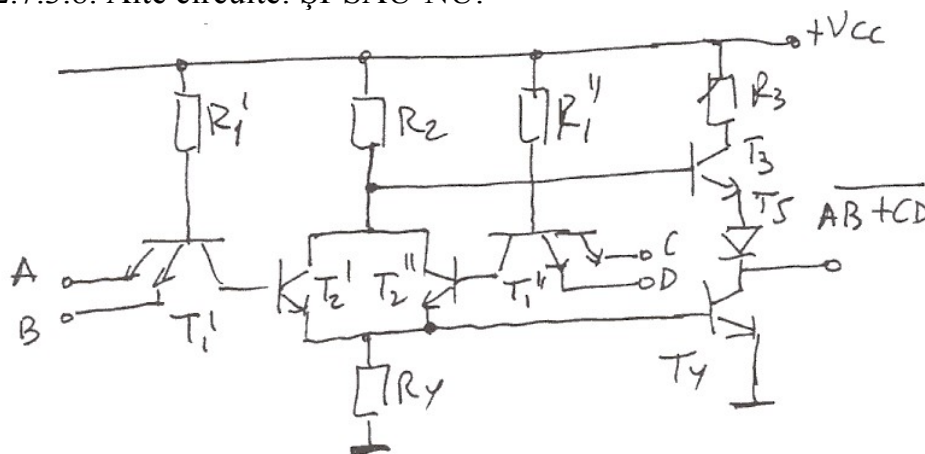
- intrare CS:

- dacă CS=UNU,  $T_s$  și  $D_s$  sunt blocate și ieșirea ia valoarea ZERO sau valoarea UNU în funcție de intrările A și B;

- dacă CS=ZERO,  $T_s$  și  $D_s$  sunt deschise, tranzistorul  $T_2$  este blocat (prin  $T_1$ ) și blochează și pe  $T_4$  iar tranzistorul  $T_3$  este blocat (prin dioda suplimentară); rezultă că la ieșire este o impedanță mare (a treia stare) și potențialul să poate fi stabilit de către un alt circuit conectat aici;

- sunt mai multe variante electrice de blocare a celor două tranzistoare.

2.7.3.8. Alte circuite: ȘI-SAU-NU:



- comentarii.

2.7.3.9. Alte tehnologii TTL

putere medie disipată (mW)	22	10				2
	S	TTL	AS	F	LS	ALS L
timp de propagare mediu (ns)	<3	<3	3		10	10 >20
	AS	F	S	ALS	LS	TTL L