

## 6. ÎNTÂRZIAREA ÎN CIRCUITELE COMBINAȚIONALE, SINCRONIZAREA ELEMENTELOR DE MEMORARE A INFORMAȚIEI, CALCULUL PERIOADEI CEASULUI<sup>12</sup>

### 6.1 GENERALITĂȚI

Prelucrarea informației în sistemele de calcul se realizează în timpul transferului acesteia de la o sursă/element de memorare la o destinație/element de memorare, prin intermediul unei logici combinaționale.

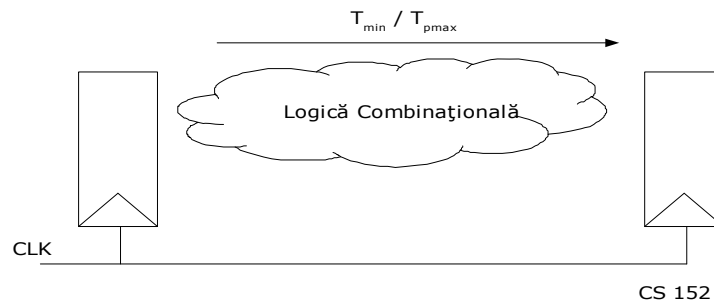


Figura 6.1. Transferul informației de la sursă la destinație

Transferul se realizează sub controlul unui semnal de ceas. În acest context, adesea, se dorește reutilizarea logicii combinaționale la fiecare ciclu de ceas.

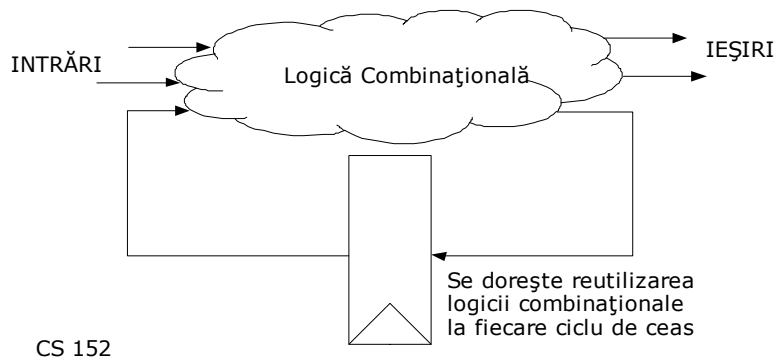


Figura 6.2. Transferul informației sub controlul ceasului

<sup>1</sup> <http://6004.csail.mit.edu/6371>

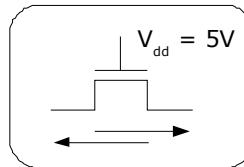
<sup>2</sup> <http://bwrc.eecs.berkeley.edu/classes/cs152>

Analiza întârzierii în logica combinațională, cât și a sincronizării/timing-ul elementelor de memorare (latch-uri/bistabile) este importantă pentru stabilirea perioadei ceasului și, în ultimă instanță, pentru evaluarea performanței sistemului numeric în cauză. Pentru început se vor examina întârzierile în circuitele combinaționale.

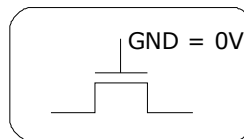
## 6.2 ÎNTÂRZIERILE ÎN CIRCUITELE COMBINAȚIONALE

În cele ce urmeaza se vor vedea cateva elemente legate de tehnologia CMOS - tehnologia de bază.

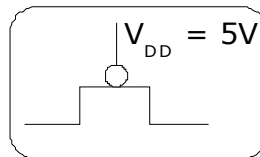
- CMOS: Semiconductor Metal Oxid Complementar.
  - Tranzistor **NMOS** (Semiconductor Metal Oxid de tip N)
  - Tranzistor **PMOS** (Semiconductor Metal Oxid de tip P)
- **Tranzistorul NMOS**
  - Tranzistorul conduce dacă la poarta lui se aplică un potențial electric ridicat ( $V_{dd}$ )



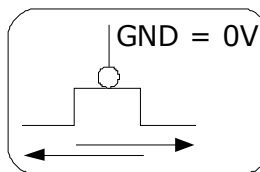
- Tranzistorul este blocat dacă la poarta lui se aplică un potențial electric coborât (GND)



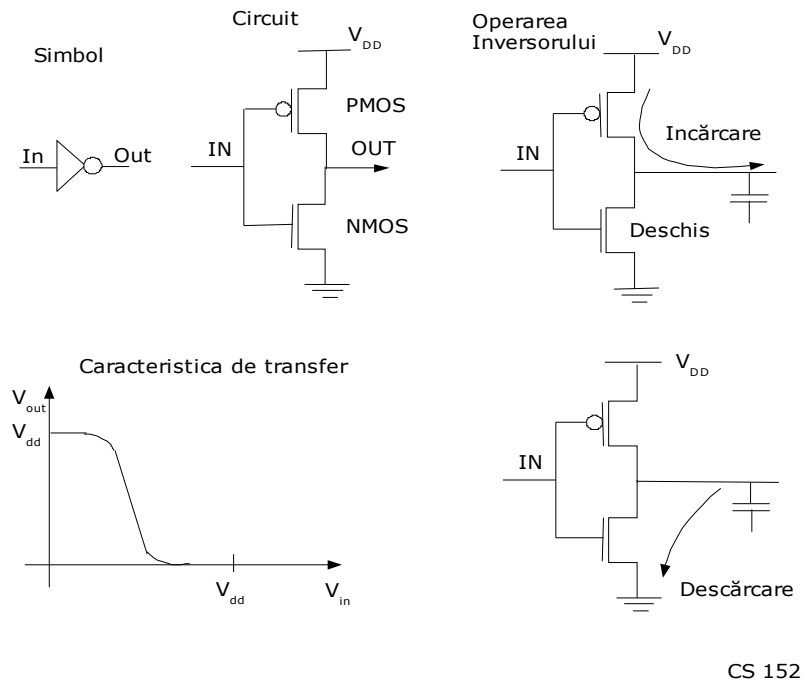
- **Tranzistorul PMOS**
  - Tranzistorul este blocat dacă la poarta lui se aplică un potențial electric ridicat ( $V_{dd}$ )



- Tranzistorul conduce dacă la poarta lui se aplică un potențial electric coborât (GND)



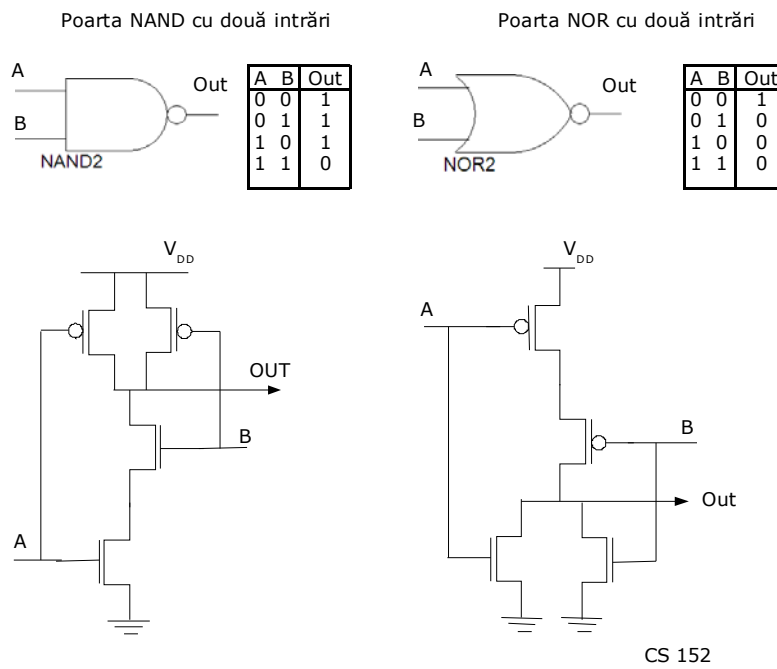
▪ **Componentele de bază: Inversorul CMOS (figura 6.3)**



CS 152

**Figura 6.3. Inversorul CMOS**

În figura 6.4 este prezentată o comparație între două porți logice.



CS 152

**Figura 6.4. Comparație între porțile NAND și NOR**

a) Dacă tranzistoarele PMOS sunt rapide:

- se recomandă conectarea lor în serie
- se preferă poarta NOR
- se preferă, de asemenea, NOR dacă tranziția  $H \rightarrow L$  este mai critică decât tranziția  $L \rightarrow H$ .

b) Dacă tranzistoarele NMOS sunt rapide:

- se recomandă conectarea lor în serie
- se preferă poarta NAND
- se preferă, de asemenea, NAND dacă tranziția  $L \rightarrow H$  este mai critică decât tranziția  $H \rightarrow L$ .

▪ **Comportările ideală și reală.**

a) Când intrarea  $0 \rightarrow 1$ , ieșirea  $1 \rightarrow 0$ , dar NU instantaneu.

- Ieșirea efectuează tranziția  $1 \rightarrow 0$ : tensiunea de ieșire tranzitează de la  $V_{dd}$  (5V) la 0V.

b) Când intrarea  $1 \rightarrow 0$ , ieșirea  $0 \rightarrow 1$  dar NU instantaneu.

- Ieșirea efectuează tranziția  $0 \rightarrow 1$ : tensiunea de ieșire tranzitează de la 0 V la  $V_{dd}$  (5V).

c) Tensiunea nu se modifică instantaneu.

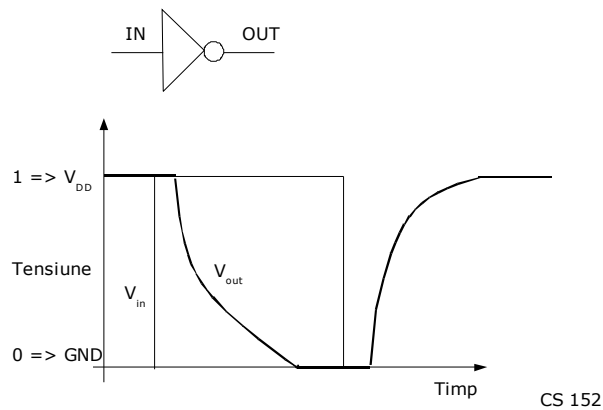
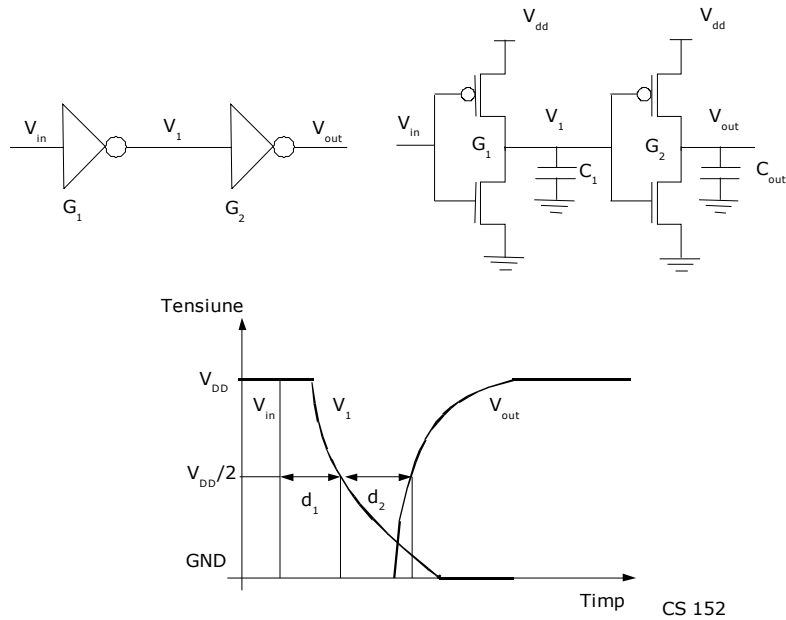


Figura 6.5. Comportările tranzistoarelor

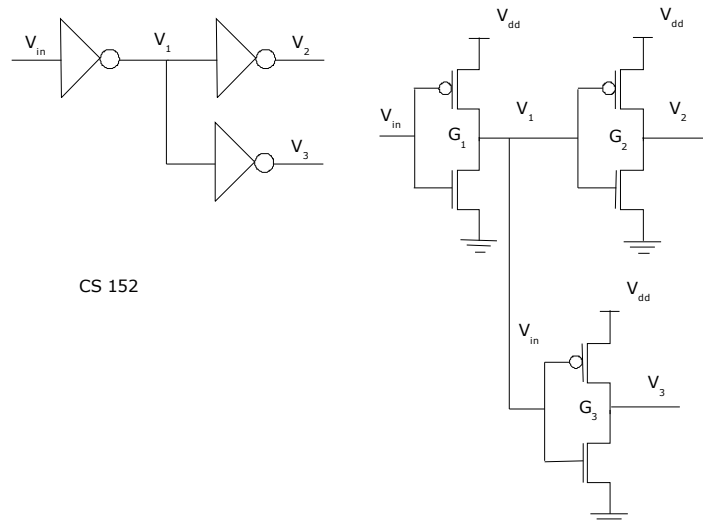
▪ **Conectarea în serie a porților.**



**Figura 6.6. Conectarea în serie a porților**

- Întârzierea Totală de propagare = Suma Întârzierilor Individuale =  $d_1 + d_2$
- Capacitatea  $C_1$  are două componente:
  - Capacitatea firelor care leagă cele două porți
  - Capacitatea de intrare a celui de-al doilea inversor.

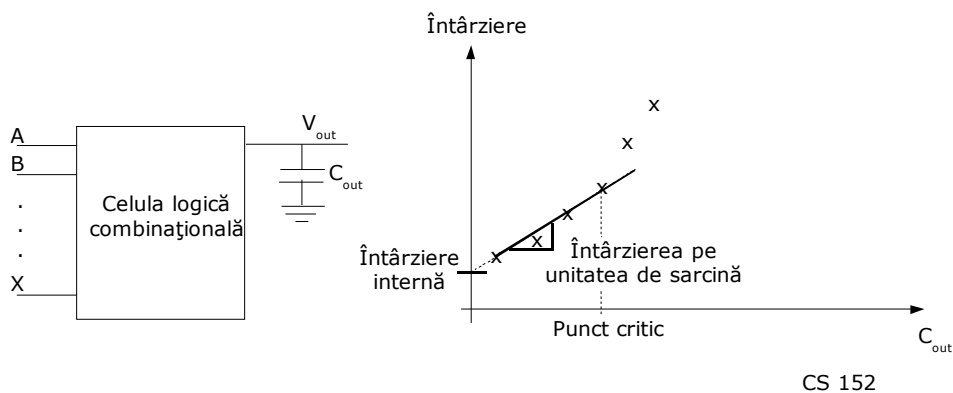
▪ **Calculul întârzierilor**



**Figura 6.7. Conectarea porților și calcularea întârzierilor**

- Suma întârzierilor pe căile seriale
- Întârzierea ( $V_{in} \rightarrow V_1$ )  $\neq$  Întârzierea ( $V_{in} \rightarrow V_3$ )
- Întârzierea ( $V_{in} \rightarrow V_2$ ) = Întârzierea ( $V_{in} \rightarrow V_1$ ) + Întârzierea ( $V_1 \rightarrow V_2$ )
- Întârzierea ( $V_{in} \rightarrow V_3$ ) = Întârzierea ( $V_{in} \rightarrow V_1$ ) + Întârzierea  $V_1 \rightarrow V_3$  ()
- Drumul Critic = Calea cea mai lungă dintre cele N căi paralele
- $C_1$  = Capacitatea C a firelor +  $C_{in}$  a porții  $G_2$  +  $C_{in}$  a porții  $G_3$

▪ **Modelul general al întârzierii în circuitele combinaționale.**



**Figura 6.8. Apariția întârzierilor în circuitele combinaționale**

Celula Logică Combinațională (simbol) este complet specificată prin:

- Comportarea funcțională (*intrare*  $\rightarrow$  *ieșire*): tabele de adevăr, ecuații logice, VHDL, Verilog etc.
- Factorul de încărcare pentru fiecare intrare.
- Întârziere critică în propagarea de la fiecare intrare la fiecare ieșire, pentru fiecare tranziție:
 
$$T_{HL}(A,O) = \text{Întârzierea internă fixă} + \text{Întârzierea dependentă de sarcină} \times \text{sarcină}$$
- Modelul liniar

## Caracterizarea unei porti

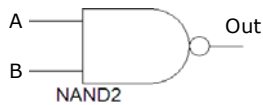
- Capacitatea de intrare pentru fiecare intrare.

✚ Pentru fiecare cale intrare-ieșire și pentru fiecare tip de tranziție:  $H \rightarrow L, L \rightarrow H, H, H \rightarrow Z, L \rightarrow Z \dots$  etc. se consideră:

✚ Întârzierea internă (ns)

✚ Întârzierea dependentă de sarcină (ns/fF)

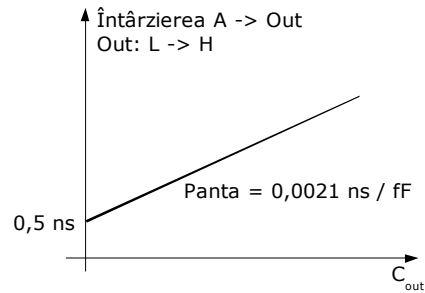
✚ Exemplu: Poarta NAND cu 2 Intrări



Pentru A și B: sarcina de intrare (0 sarcina) = 61fF  
Pentru oricare A -> Out sau B -> Out

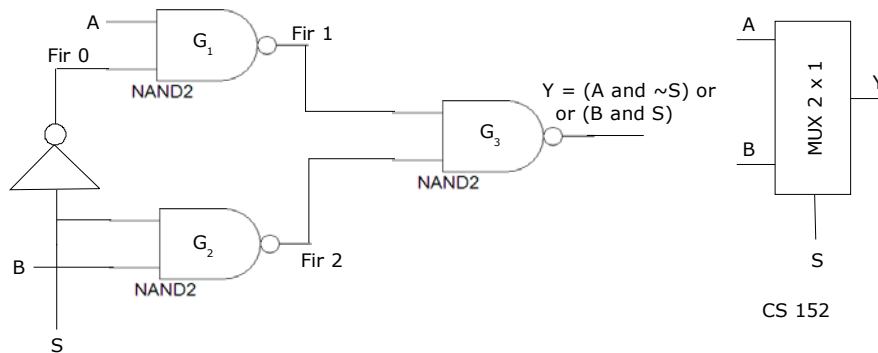
$T_{lh} = 8,5 \text{ ns}; T_{thf} = 0,002 \text{ ns / fF}$

$R_{hl} = 0,1 \text{ ns}; T_{thf} = 0,0020 \text{ ns / fF}$



CS 152

### ▪ Exemplu: Multiplexor 2:1



CS 152

- Sarcina capacitivă de Intrare (1 S.I.):

✚ A,B: S.I. (NAND) = 61 fF

✚ S: S.I. (INV) + S.I. (NAND) = 50 fF + 61 fF = 111 fF

- Întârzierea Dependentă de Sarcină (I.D.S.): identică cu cea a porții  $G_3$ :

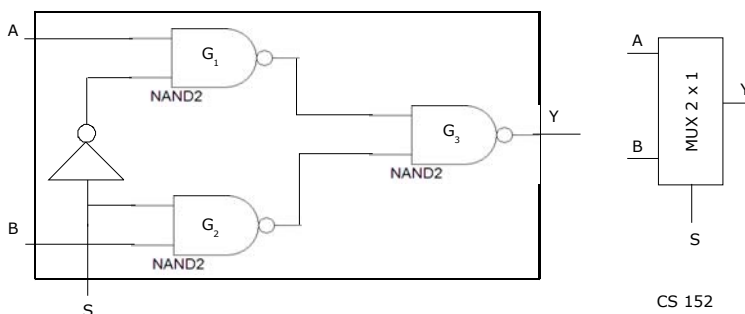
✚  $T_{AYlhf} = 0,0021 \text{ ns/fF}$   $T_{AYhlf} = 0,0020 \text{ ns/fF}$

✚  $T_{BYlhf} = 0,0021 \text{ ns/fF}$   $T_{BYhlf} = 0,0020 \text{ ns/fF}$

✚  $T_{SYlhf} = 0,0021 \text{ ns/fF}$   $T_{SYhlf} = 0,0020 \text{ ns/fF}$

- Întârzierea Internă (I.I.):
  - A la Y:  $I.I.G_1 + (C.Fir_1 + S.I.G_3) * I.D.S.G_1 + I.I.G_3$
  - B la Y:  $I.I.G_2 + (C.Fir_2 + S.I.G_3) * I.D.S.G_2 + I.I.G_3$
  - S la Y (cazul cel mai defavorabil):  $I.I.Inv + (C.Fir_0 + S.I.G_1) * I.D.S.Inv + I.I.A$  la Y
- Efectul "C.Fir<sub>1</sub>" se poate aproxima prin:
  - presupunerea că Fir<sub>1</sub> are o capacitate egală cu capacitățile C ale porților conectate la el
- Exemplet de calcul al I.I.:
  - $TAYlh = TPhl G_1 + (2.0 * 61 \text{ fF}) * TPhlf G_1 + TPlh G_3 = 0.1 \text{ ns} + 122 \text{ fF} * 0,0020 \text{ ns/fF} + 0,5 \text{ ns} = 0,844 \text{ ns}$

**Abstracție: Multiplexor 2:1**



- Sarcina de Intrare: A = 61 fF, B = 61 fF, S = 111 fF
- Întârzierea dependentă de sarcină:
  - $TAYlh = 0,0021 \text{ ns/fF}$   $TAYhlf = 0,0020 \text{ ns/fF}$
  - $TBYlh = 0,0021 \text{ ns/fF}$   $TBYhlf = 0,0020 \text{ ns/fF}$
  - $TSYlh = 0,0021 \text{ ns/fF}$   $TSYhlf = 0,0020 \text{ ns/fF}$
- Întârzierea Internă:
  - $TAYlh = TPhl G_1 + (2.0 * 61 \text{ fF}) * TPhlf G_1 + TPlh G_3 = 0.1 \text{ ns} + 122 \text{ fF} * 0,0020 \text{ ns/fF} + 0,5 \text{ ns} = 0,844 \text{ ns}$

**Exercitii** Să se calculeze: TAYhl, TBYlh, TSYlh, TAYhl



### 6.3 CONVENȚII PENTRU SINCRONIZAREA SISTEMELOR NUMERICE

Pentru toate sistemele numerice este necesară o convenție în legătură cu momentul în care receptorul/destinația poate prelua data aplicată la intrarea sa:

- *sistemele sincrone* utilizează un semnal de ceas comun;
- *sistemele asincrone* codifică semnalele “dată prezentă” (data ready) separat sau împreună cu semnalele, care reprezintă datele.

Sistemele numerice necesită o convenție privitoare la momentul la care emițătorul poate transmite în siguranță (în legătură cu posibilitatea recepției) o altă dată/informație către receptor:

- *sistemele sincrone*: la următorul front al semnalului de ceas (după *timpul de menținere/hold time*);
- *sistemele asincrone*: după emiterea de către receptor a semnalului *acceptat/acknowledge*

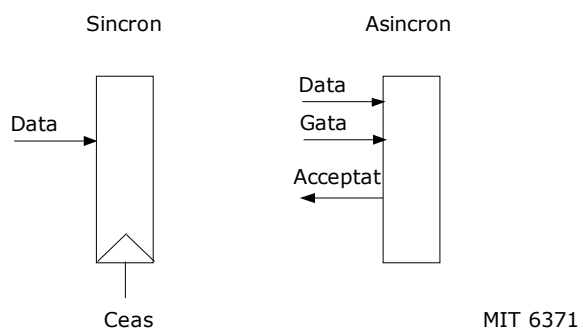
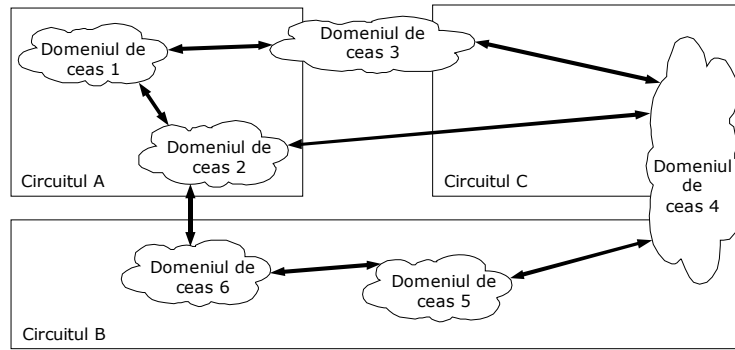


Figura 6.9. Sisteme sincrone și asincrone

### 6.4 SISTEMELE MARI

Majoritatea ASIC-urilor (Applications Specific Integrated Circuits) și a sistemelor mari realizate cu ajutorul acestora posedă mai multe domenii cu ceas sincron, interconectate prin canale de comunicații asincrone.



MIT 6371

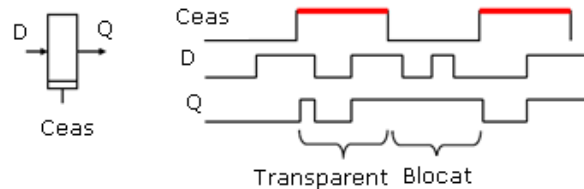
**Figura 6.10. Sistem mare cu mai multe domenii cu ceas sincron**

În continuare se va examina un singur domeniu de ceas sincron.

## 6.5 ELEMENTE DE MEMORARE CU INTRARE DE CEAS

### 6.5.1 LATCH/"ZĂVOR" TRANSPARENT

- datele traversează latch-ul când semnalul de ceas este pe nivel înalt și sunt blocate când ceasul este pe nivel coborât.



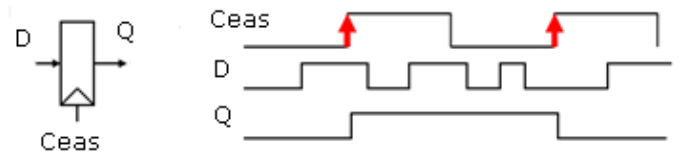
MIT 6371

**Figura 6.11. Diagrama de timp a unui latch**

- pot exista latch-uri transparente pe semnal de ceas cu nivel coborât.

Se va analiza în cele ce urmează un registru/bistabil de tip D, comandat pe front, pentru a se putea face o comparație ulterioară.

Datele sunt stocate/capturate pe frontul crescător al semnalului de ceas și memorate pe restul ciclului:



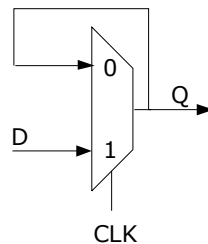
MIT 6371

**Figura 6.12. Diagrama de timp a unui bistabil D.**

Pot exista registre/bistabile comandate pe frontul negativ al semnalului de ceas.

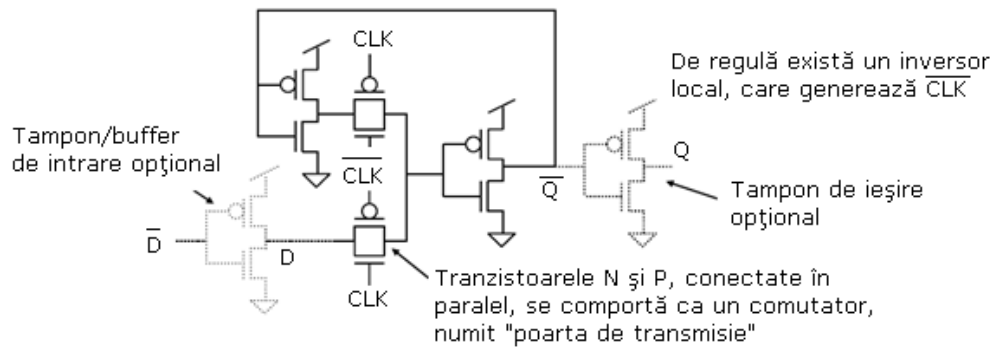
### 6.5.2 REALIZAREA UNUI LATCH

Latch-ul reprezintă un multiplexor pentru care semnalul de selecție este semnalul de ceas. Acesta din urmă selectează fie, datele aplicate la intrare, fie datele de la ieșire:



**Figura 6.13. Latch-ul văzut ca un multiplexor.**

Realizarea unui Latch CMOS, cu ajutorul porților de transmisie este prezentată în figura 6.14.

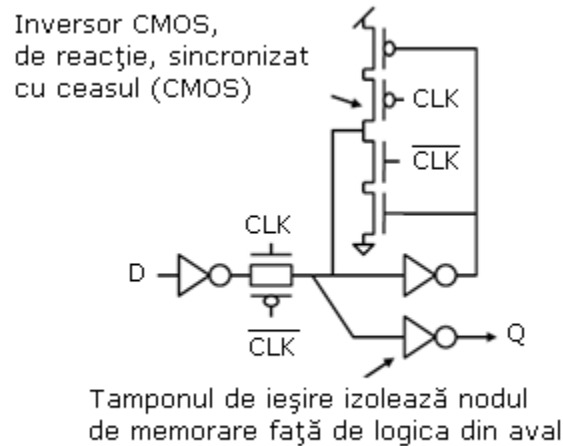


MIT 6371

**Figura 6.14. Latch CMOS cu porți de transmisie.**

Variante de realizare a Latch-urilor CMOS statice vor fi prezentate în figurile 6.15, 6.16 și 6.17.

- Varianta cea mai bună, mai rapidă și mai eficientă din punct de vedere energetic:



MIT 6371

Figura 6.15. Un latch rapid și eficient

- Varianta care ocupă o suprafață minimă și care are cea mai mică sarcină pentru sursa semnalului de ceas, dar care poate pune probleme referitoare la scalare.

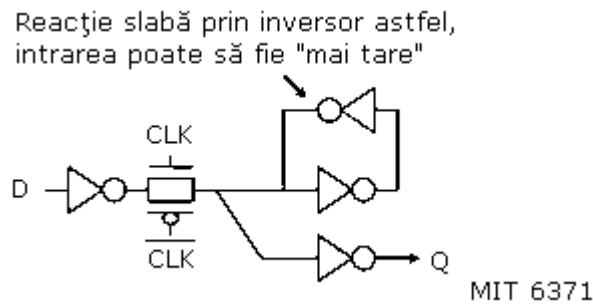
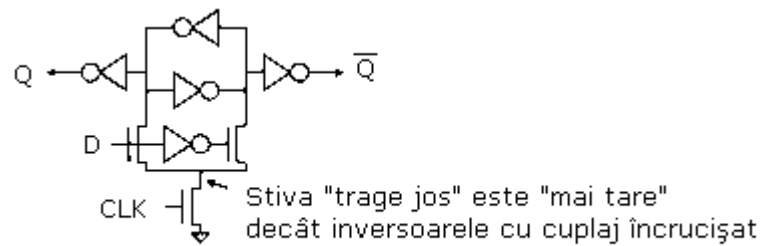


Figura 6.16. Un latch ce ocupă suprafață minimă.

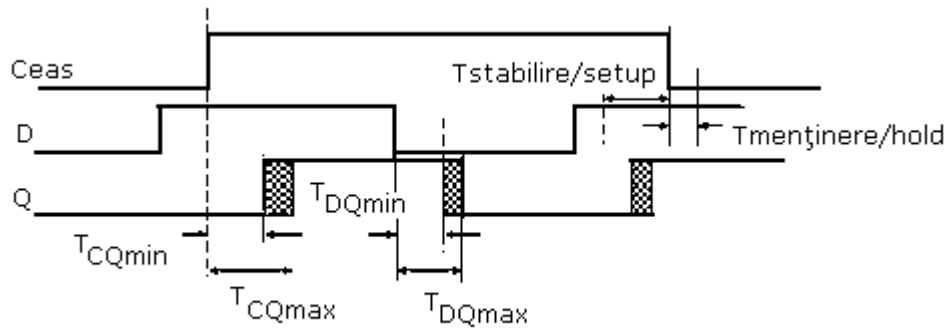
- Varianta cu sarcina cea mai redusă pentru sursa semnalului de ceas



MIT 6371

Figura 6.17. Un latch cu sarcina redusă pentru sursa semnalului de ceas

### 6.5.3 PARAMETRII SINCRONIZĂRII/TIMING-ULUI LATCH-ULUI



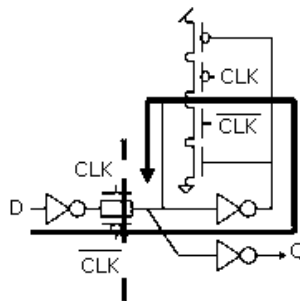
MIT 6371

Figura 6.18. Sincronizarea latch-ului

- **TCQmin/ TCQmax:** timpul de propagare a semnalului de la intrare la ieșire atunci când semnalul de ceas deschide latch-ul.
- **TDQmin/ TDQmax:** timpul de propagare a semnalului de la intrare la ieșire atunci când latch-ul este transparent; *de regulă este cel mai important parametru de sincronizare a ceasului.*
- **Tstabilire/setup/ Tmentinere/hold:** definesc o fereastră în jurul frontului posterior al semnalului de ceas pe durata căreia data trebuie să fie stabilă pentru a fi eșantionată corect.

#### Cursa referitoare la timpul de stabilire

- Stabilirea/Setup reprezintă cursa privind propagarea noii date pe bucla de reacție înainte ca ceasul să închidă poarta de la intrare; mai jos se examinează calea pentru semnalul de date:

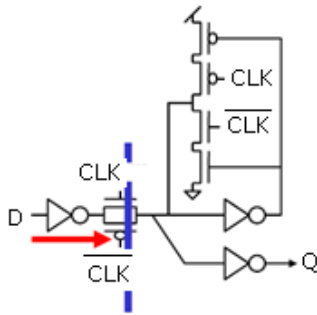


MIT 6371

Figura 6.19. Propagarea noii date pe bucla de reacție.

#### Eroarea privind timpul de stabilire

- Dacă data sosește prea aproape de frontul semnalului de ceas, aceasta nu va avea suficient timp să parcurgă bucla de reacție înainte ca semnalul de ceas să blocheze intrarea porții de transmisie.

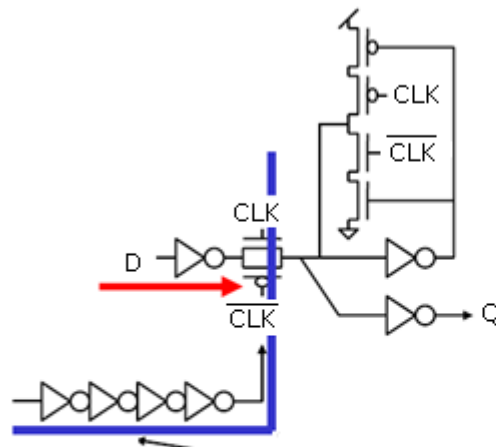


MIT 6371

Figura 6.20. Semnalul de ceas blochează intrarea porții de transmisie.

### Cursa privind timpul de reținere

- Timpul de reținere reprezintă cursa pentru semnalul de ceas privitoare la închiderea porții de intrare înainte ca următorul ciclu al datei de la intrare să perturbe valoarea stocată; mai jos se urmărește calea semnalului de ceas:



Inversoarele/tampoanele adăugate demonstrează timpul pozitiv de menținere pentru acest latch: alte proiecte de latch-uri dispun, în mod natural un timp de menținere pozitiv

MIT 6371

Figura 6.20. Semnalul de ceas blochează intrarea porții de transmisie.

### Eroarea privind timpul de menținere

- Dacă data se modifică prea repede după frontul semnalului de ceas, acesta din urmă poate nu a avut la dispoziție suficient timp pentru a bloca poarta de intrare astfel, noua dată va corupe bucla de reacție.

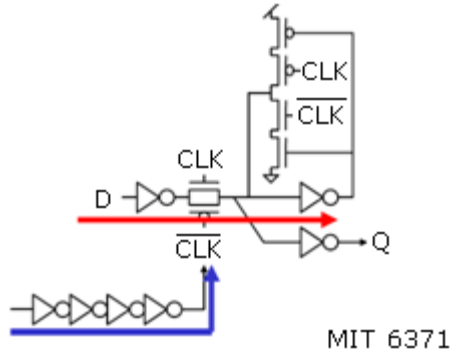


Figura 6.21. Noua dată corupe bucla de reacție.

#### 6.5.4 PROIECTE PENTRU CIRCUILE BISTABILE

Latch-urile de tip “master-slave”, prevăzute cu porți de transmisie sunt extrem de mult utilizate în structurile ASIC, întrucât: sunt robuste, sunt eficiente din punct de vedere energetic și au valori convenabile pentru parametrii sincronizării.

Există și alte soluții pentru realizarea bistabilelor în afara celei amintite mai sus; acestea se bazează pe parametri de sincronizare mai puțin comuni și se regăsesc în dispozitivele personalizate, la cerere.

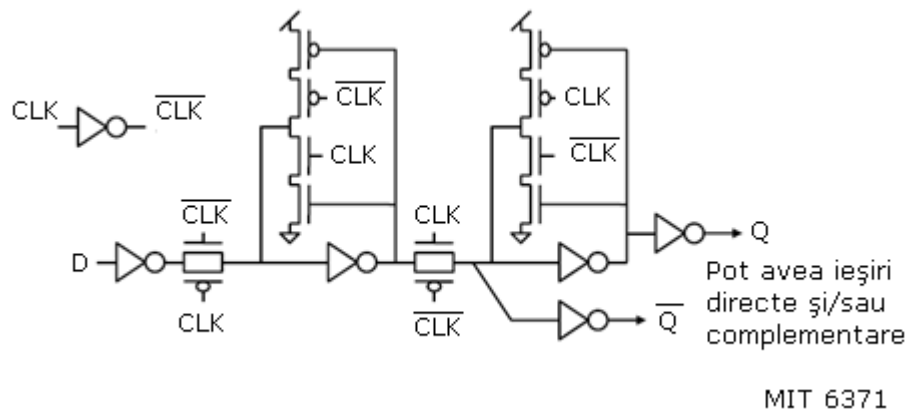


Figura 6.22.Latch-uri de tip master-slave.

#### Parametrii sincronizării bistabilelor

Mai jos se prezintă două diagrame temporale/cronograme, care evidențiază parametrii ce intervin în sincronizarea bistabilelor comandate pe frontul pozitiv și pe frontul negativ:

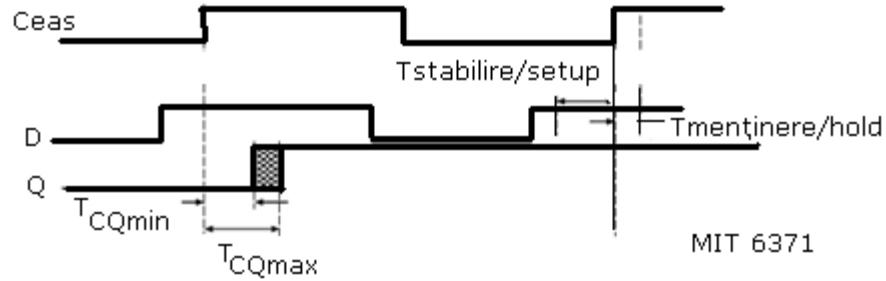


Figura 6.23. Sincronizarea bistabilelor.

- **TCQmin/ TCQmax:** timpul de propagare a semnalului de la intrare la ieșire, în raport cu frontul semnalului de ceas;
- **Tstabilire/setup/ Tmentinere/hold:** definesc fereastra din jurul frontului ceasului pe durata căreia data trebuie să fie stabilă, pentru a fi eșantionată corect; fie timpul de stabilire, fie timpul de menținere poate lua valori negative.

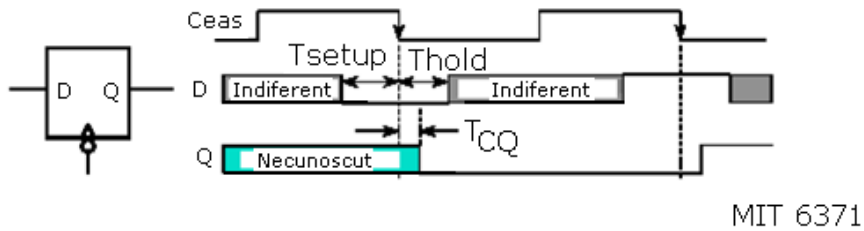


Figura 6.24. Sincronizarea bistabilelor cu evidențierea timpilor Tsetup, Thold și Tcq.

### 6.6 CALCULUL PERIOADEI CEASULUI ÎN CONDIȚIILE COMENZII PE FRONT

Cel mai frecvent stil de proiectare a ASIC-urilor se bazează pe un semnal de ceas monofazic și pe registre comandate pe front:

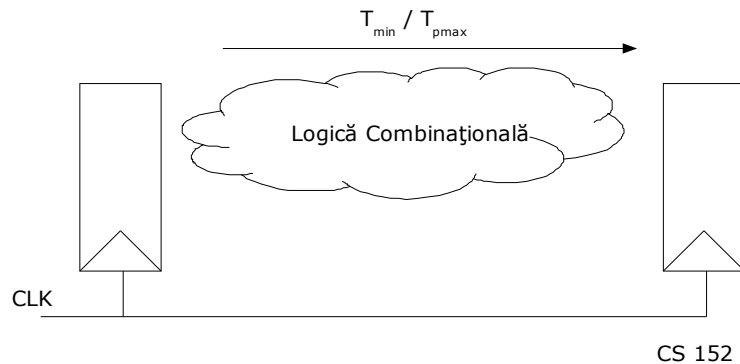


Figura 6.25. Transferul informației de la sursă la destinație

- **Restricția pentru drumul cel mai lung sau calea cea mai lentă:**  
 $T_{ciclu} \geq TCQ_{max} + T_{pmax} + T_{stabilire/setup}$



funcționează întotdeauna pentru calea cea mai lentă folosind un ceas mai lent.

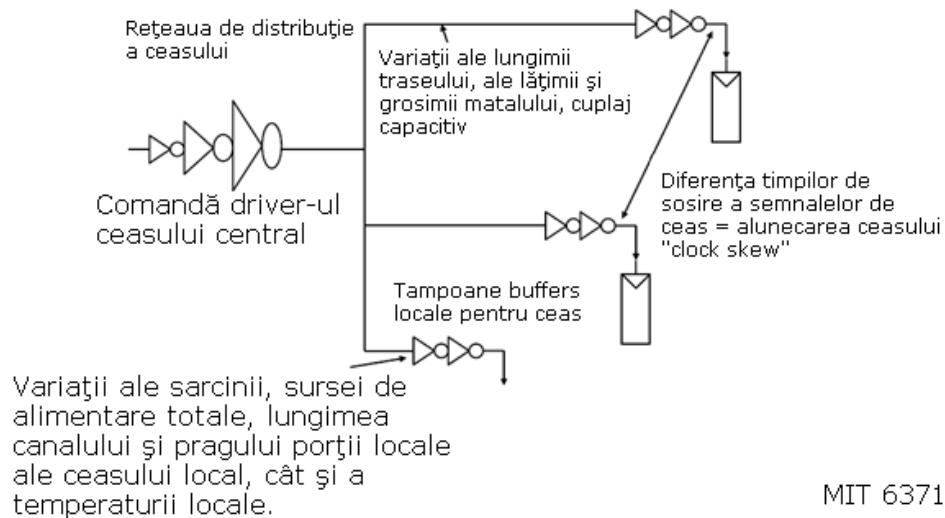
- **Restricția pentru drumul cel mai scurt sau calea cea mai rapidă:**

$$TCQ_{min} + T_{pmin} \geq T_{mentinere/hold}$$

dacă această restricție nu este îndeplinită trebuie să se refacă proiectul, prin introducerea unei întârzieri pe căile corespunzătoare, pentru a satisface timpul de menținere/hold.

### Furnizarea semnalului de ceas

- Semnalul de ceas nu poate fi distribuit în același moment la toate bistabilele din circuit.



**Figura 6.26. Distribuția semnalului de ceas**

### **6.6.1 CAUZELE ALUNECĂRII CEASULUI. MODALITĂȚI DE COMBATERE A ACESTUI FENOMEN**

- Alunecarea sistematică a ceasului datorită variațiilor în procesul de producție pot fi în mare măsură ajustate folosind circuite specializate adecvate (deskewing circuitry); în cadrul unor circuite au fost observate alunecări <50ps.
- Sursele principale ale alunecărilor reziduale: modificările temperaturii (frecvență joasă) și zgomotul în sursele de alimentare (frecvență înaltă).
- Zgomotul din sursele de alimentare afectează întârzierea în tamponul/buffer-ul ceasului și frecvența PLL-ului; adesea alimentarea pentru PLL este asigurată prin terminale separate; tamponanele pentru ceas asigură o capacitanță importantă de decuplare locală.

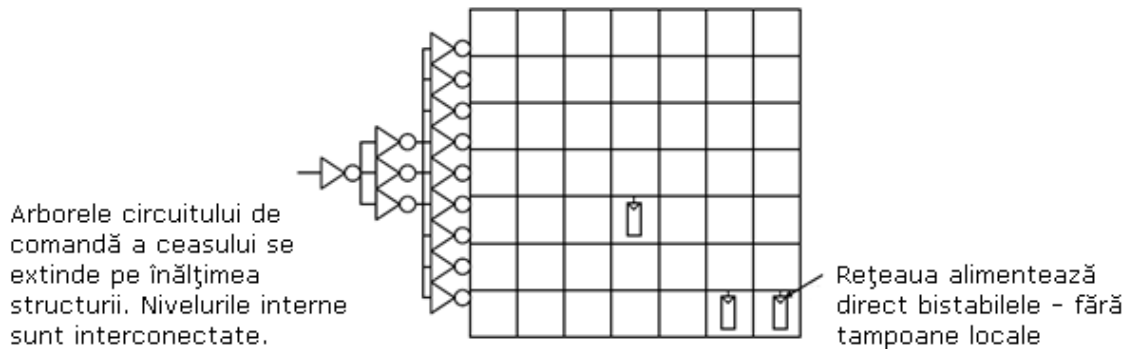
### **6.6.2 COMPARAȚIE ÎNTRE SKEW ȘI JITTER**

- **Skew-ul** reprezintă o variație spațială a timpilor de sosire a semnalelor de ceas: variația în ceea ce privește *același* front de ceas, văzut de către două sau mai multe bistabile *diferite*.

- **Jitter-ul** constituie variația temporală a timpilor de sosire: variația în ceea ce privește timpii de sosire a două fronturi succesive ale semnalului de ceas la *același* bistabil.
- Zgomotul sursei de alimentare reprezintă cauza principală a fenomenului jitter.
- În continuare incertitudinea în ceea ce privește sincronizarea se va numi pe scurt “skew” sau alunecare.

### 6.6.3 REȚEA DE DISTRIBUȚIE A CEASULUI

- O modalitate pentru obținerea unei alunecări reduse constă în utilizarea unei rețele/grile metalice, care este amplasată pe întreaga structură a circuitului (Alpha 21064).
- O alunecare redusă presupune: putere mare pentru semnalul de ceas și neșantionarea acestuia.

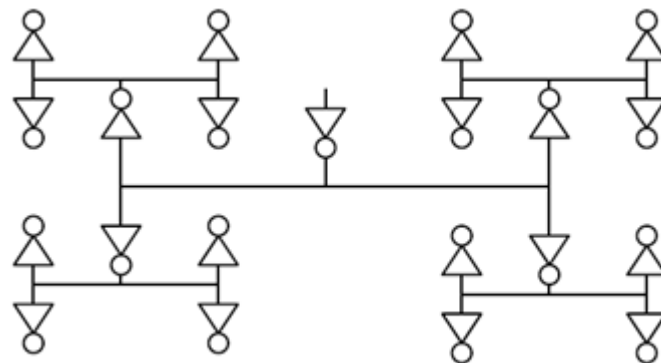


MIT 6371

Figura 6.27. Rețea de distribuție a ceasului

### Arbori H de distribuție a ceasului

- Aceștia reprezintă forme recursive pentru distribuirea uniformă a semnalului de ceas, cu întâzieri egale pe arii corespunzătoare



MIT 6371

Figura 6.28. Arbori H de distribuție a ceasului

- Consumă mai puțină putere decât rețeaua, dar se caracterizează printr-o alunecare mai mare.
- În practică este utilizat un arbore aproximativ H, la nivelul superior (trebuie să se plaseze în jurul blocurilor funcționale), cu tamponare/buffer-e locale pentru regiunile comandate.

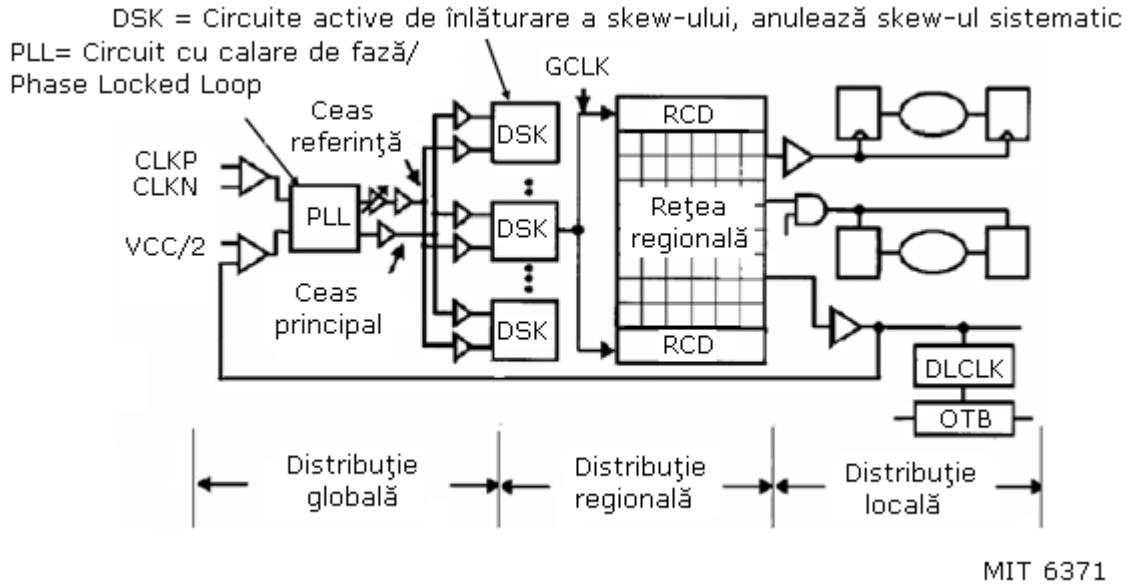


Figura 6.29. Distribuirea ceasului în microprocesorul Intel Itanium

### 6.7 SINCRONIZAREA - REZUMAT

Alunecarea trebuie să intre în bugetul de timp.

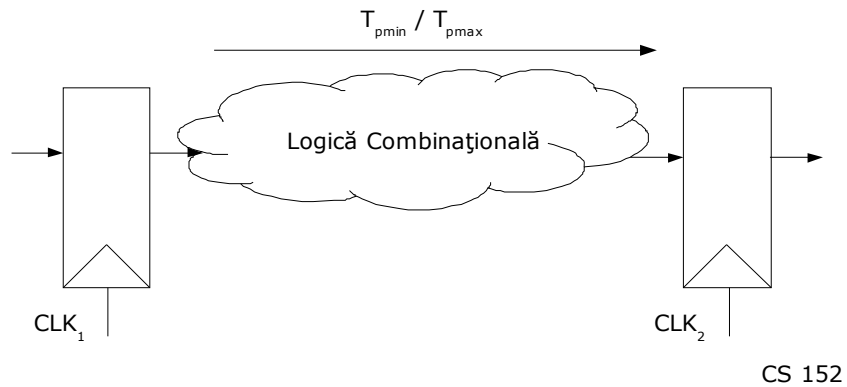
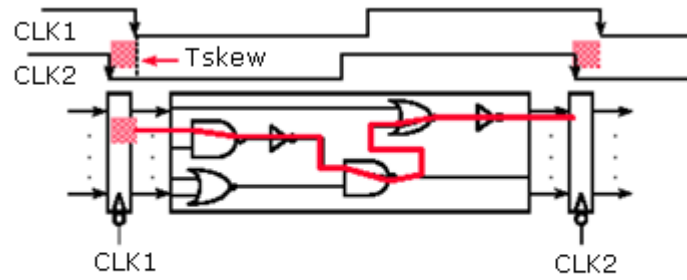


Figura 6.30. Transferul informației de la sursă la destinație

- **Restricția pentru drumul cel mai lung sau calea cea mai lentă:**  
 $T_{\text{ciclu}} \geq TCQ_{\text{max}} + T_{p_{\text{max}}} + T_{\text{stabilire/setup}} + T_{\text{alunecare/skew}}$

Cazul cel mai defavorabil apare când CLK2 sosește mai devreme/mai târziu decât CLK1.



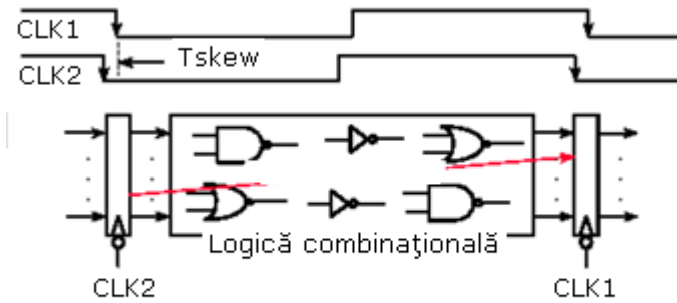
CS 152

Figura 6.31. Evidențierea timpului Tskew.

- **Restricția pentru drumul cel mai scurt/calea cea mai rapidă:**

$$TCQ_{min} + T_{pmin} \geq T_{mentinere/hold} + T_{alunecare/skew}$$

Cazul cel mai defavorabil apare când CLK2 sosește mai devreme/mai târziu decât CLK1.

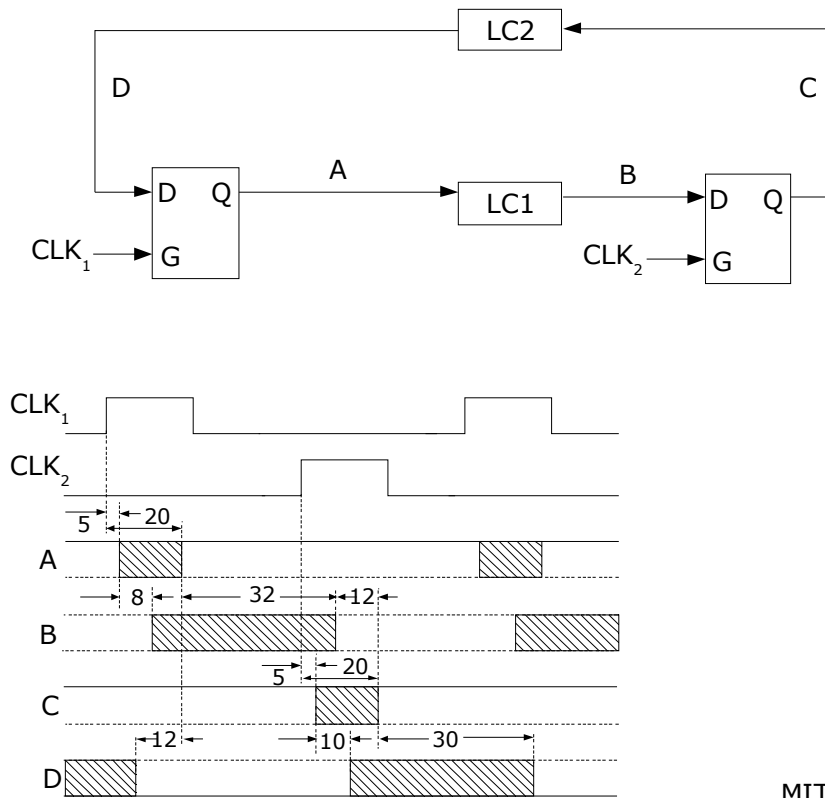


CS 152

Figura 6.32. Evidențierea timpului Tskew.

## 6.8 PROBLEMĂ

Desenul din figura 6.33 prezintă un automat cu stări finite construit din logica combinațională (LC) și Latch-uri D. Proiectantul a stabilit cu multă grijă diagrama de timp, cu diferite intervale marcate în picosecunde:



MIT 6371

Figura 6.33. Automatul cu stări finite.

(A) Folosind timpii indicați în diagrama de mai sus completați cât mai multe dintre specificațiile de timp date mai jos. Introduceți "?" dacă specificația nu poate fi determinată din informația data:

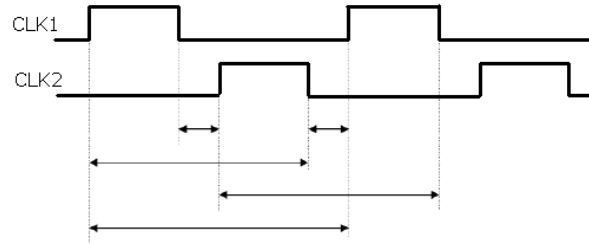
D-latch: TCQMIN = \_\_\_\_\_ TCQMAX = \_\_\_\_\_ TDQMIN = \_\_\_\_\_

TDQMAX = \_\_\_\_\_

LC1: TPDMIN = \_\_\_\_\_ TPDMAX = \_\_\_\_\_

LC2: TPDMIN = \_\_\_\_\_ TPDMAX = \_\_\_\_\_

**(B)** Se consideră că latch-urile D au un  $T_{setup}$  de 30ps și un  $T_{hold}$  de 15 ps și că există o alunecare maximă între cele două ceasuri  $T_{skew}$  de 10ps. Pornind de la diagrama de mai jos, să se evalueze intervalele de timp marcate în desen.



MIT 6371

**RĂSPUNSURI:**

- A.** D-latch:  $T_{cqmin} = 5$ ,  $T_{cqmax} = 20$ ,  $T_{dqmin} = ?$ ,  $T_{dqmax} = 12$   
 CL1:  $T_{pdmin} = 8$ ,  $T_{pdmax} = 32$   
 CL2:  $T_{pdmin} = 10$ ,  $T_{pdmax} = 38$
- B.** CLK1 la CLK2 fără suprapunere  $\geq 15 + 10 - (5 + 8) = 10ps$  (calea rapidă)  
 CLK2 la CLK1 fără suprapunere  $\geq 15 + 10 - (5 + 10) = 12ps$  (calea rapidă)  
 CLK1 pozitiv la CLK2 negativ  $\geq 20 + 32 + 30 + 10 = 92ps$   
 CLK2 pozitiv la CLK1 negativ  $\geq 20 + 38 + 30 + 10 = 98ps$   
 perioada  $\geq 32 + 12 + 38 + 12 = 94ps$

**6.9 COMPONENTELE UNITĂȚII DE EXECUȚIE**

Componentele unității de execuție sunt elementele combinaționale și elementele de memorare. În cadrul acestui paragraf se va discuta metodologia de sincronizare a elementelor de memorare.

În figura 6.34 sunt prezentate blocurile combinaționale de bază.

Elementele de memorare sunt descrise în paragrafele următoare.

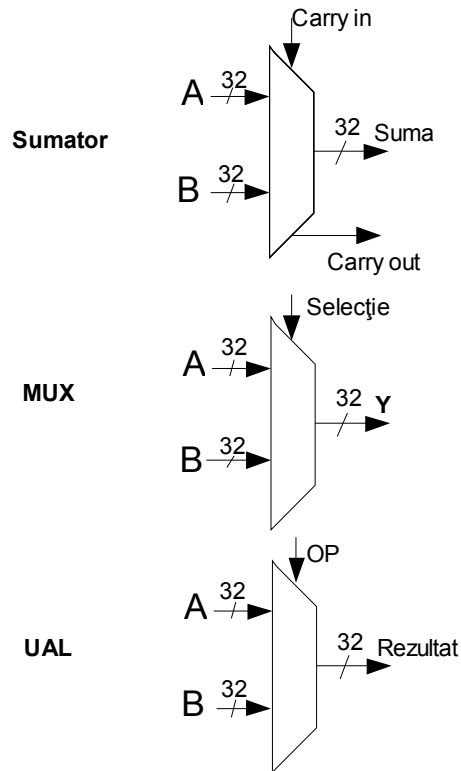


Figura 6.34. Blocuri combinaționale de bază: sumator, multiplexor și unitate aritmetică și logică.

### 6.9.1 REGISTRUL

Registrul este asemănător cu bistabilului D cu excepția că are intrare și ieșire de câte N biți, așa cum rezultă din figura 6.35:

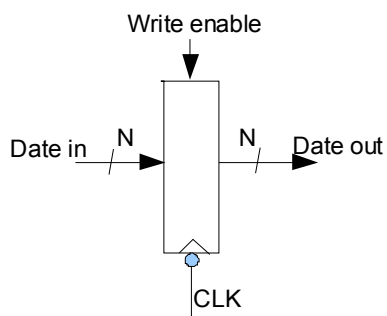


Figura 6.35. Un registru pe N biți.

Astfel se poate observa semnalul de intrare de activare (write enable). Astfel activare scriere (write enable) are următoarea semnificație:

- nivel coborât (0): ieșirea de date (Data Out) nu se va modifica
- nivel ridicat (1): ieșirea de date va lua valoarea intrării de date.

### 6.9.2 REGISTRELE GENERALE

Registrele generale constau în 32 de registre biport (ieșire) așa cum apare în figura 6.36. De asemenea ele prezintă:

- două magistrale de ieșire de câte 32 de biți: busA și busB
- magistrală de intrare de 32 de biți: busW

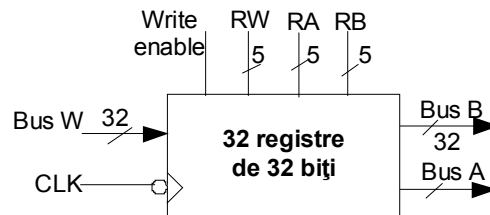


Figura 6.36. Registre generale.

Registrul este selectat prin:

- RA (număr), care specifică registrul general al cărui conținut se plasează pe busA;
- RB (număr), care specifică registrul general al cărui conținut se plasează pe busB;
- RW (număr), care specifică registrul general al cărui conținut va fi modificat prin forțarea conținutului magistralei busW, când Write Enable este pe nivel ridicat.

Intrarea de ceas CLK este efectivă numai în operațiile de scriere. Pe durata operațiilor de citire se comportă ca un bloc combinațional: RA sau/și RB valid/valide implică busA sau/și busB valid/valide după "timpul de acces".

### 6.9.3 MEMORIA IDEALĂ

Memoria ideală are o magistrală de intrare (Data In) și o magistrală de ieșire (Data Out).

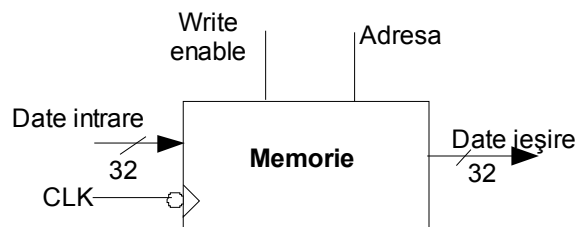


Figura 6.37. Memoria ideală.



Cuvântul din memorie este selectat astfel:

- Adresa (Address) selectează cuvântul al cărui conținut va fi forțat pe Data Out.
- Se forțează Write Enable = 1: adresa va selecta cuvântul din memorie care va fi modificat de Data In.

Intrarea de ceas (CLK) este efectivă numai în operațiile de scriere. Pe durata operațiilor de citire se comportă ca un bloc combinațional. Adresă validă implică Data Out valid după "timpul de acces".

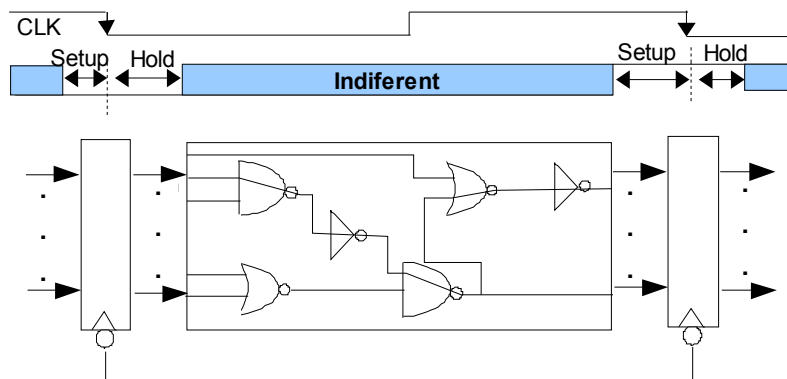


Figura 6.38. Evidențierea metodologiei de sincronizare.

#### 6.9.4 METODOLOGIA DE SINCRONIZARE (CLOCKING)

Metodologia de sincronizare poate fi sistematizată astfel:

- Toate elementele de memorare sunt controlate pe același front al ceasului.
- Durata ciclului este:  $= CLK \rightarrow Q + \text{Întârzierea pe calea cea mai lungă} + \text{Timp de stabilire (Setup Time)} + \text{Alunecarea ceasului (Clock Skew)}$
- $(CLK \rightarrow Q + \text{Întârzierea pe calea cea mai scurtă} - \text{Alunecarea ceasului}) > \text{Timpul de menținere (Hold Time)}$

Mai jos este dat un exemplu de modul Verilog pentru un bistabil de tip D comandat pe front. Valoarea intrării D este testată pe frontal pozitiv al semnalului de ceas. Q asigură la ieșire valoarea testată, pe restul ciclului.

```

module ffDep(Q, D, CLK);
input D, CLK;
output Q;
reg Q;
always @ (posedge CLK)
Q <= D;
endmodule
module test_ff();
reg D,CLK;
wire Q;
time timp;
ffDep ff1(Q,D,CLK);
  always begin: main_process
    #3; CLK = ~CLK;
  end
initial begin: stop_at
#80; $stop;
end
initial begin
$display("Timp CLK D Q");
$monitor("%0d %b %b %b", $time, CLK,D,Q);
$vw_dumpvars();
$vw_group("all", timp,CLK,D,Q);
CLK=0;D=1;
#10;D=0;
#10;D=1;
#10;D=0;
#10;D=1;
#10;$stop;
end
endmodule

```

VeriWell Console

▶
▶▶
▶▶▶
◻
✕
◀
◀◀

```

Entering Phase II...
Entering Phase III...
No errors in compilation
Top-level modules:
  test_ff

C1> .
Timp CLK D Q
0 0 1 x
3 1 1 1
6 0 1 1
9 1 1 1
10 1 0 1
12 0 0 1
15 1 0 0
18 0 0 0
20 0 1 0
21 1 1 1
24 0 1 1
27 1 1 1
30 0 0 1
33 1 0 0
36 0 0 0
39 1 0 0
40 1 1 0
42 0 1 0
45 1 1 1
48 0 1 1
Stop at simulation time 50
C1>

```

