

Circuitele secvențiale

Note de curs Dr.Ing.Mat Ion I. Bucur

Circuitele combinaționale se caracterizează prin faptul că starea ieșirilor acestora depinde în exclusivitate de starea intrărilor. În circuitele secvențiale, spre deosebire de cele combinaționale, apare explicit un element important: *timpul*. Circuitele secvențiale au memorie (finită) iar starea ieșirilor acestora depinde nu numai de starea intrărilor, la un moment dat, dar și de stările anterioare ale acestor intrări. Aceste circuite sunt modelate matematic prin automate cu stări finite și din acest motiv sunt, adesea, numite și automate.

Modelarea circuitelor secvențiale

Modelul Huffman este modelul teoretic cel mai general al circuitelor secvențiale. Acest model este structural și grupează în jurul unui circuit combinațional patru categorii de linii.

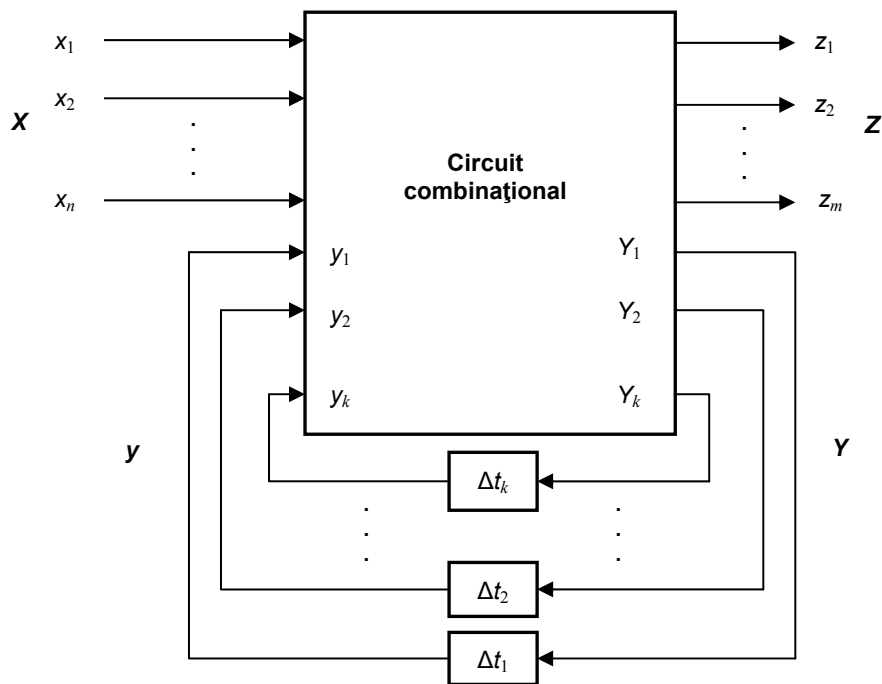


Figura 1. Modelul structural al unui circuit secvențial.

Liniile de intrare într-un circuit secvențial, numite și intrări primare sau principale, sunt notate prin

$$x_1, x_2, \dots, x_n,$$

și sunt referite global prin vectorul X .

Liniile de ieșire dintr-un circuit secvențial, numite și ieșiri primare sau principale, sunt notate, tradițional, prin

iar atunci când sunt referite global se folosește notația \mathbf{Z} (vectorul ieșirilor).

Memoria circuitului secvențial este realizată prin buclele de reacție a liniilor

$$Y_1, Y_2, \dots, Y_k,$$

grupate în vectorul \mathbf{Y} (care formează pseudo-ieșirile circuitului) și a liniilor

$$y_1, y_2, \dots, y_k,$$

grupate în vectorul \mathbf{y} (pseudo-intrările circuitului) după parcurgerea întârzierilor corespunzătoare ($\Delta t_1, \Delta t_2, \dots, \Delta t_k$).

Vectorul \mathbf{y} constituie starea internă, actuală, a circuitului iar vectorul \mathbf{Y} este starea internă viitoare a circuitului. Starea internă viitoare a circuitului coincide cu starea actuală a circuitului după un timp, determinat de întârzierile provocate de elementele explicit introduse în buclele de reacție și/sau întârzierile de propagare a semnalelor (inerente circuitelor fizice).

Liniile de ieșire ale unui circuit secvențial sunt funcții discrete definite peste starea intrării și starea internă a circuitului:

$$z_i = z_i(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k), \quad 1 \leq i \leq m. \quad (1)$$

Ecuțiile (1) sunt numite, tradițional, *ecuațiile liniilor de ieșire*.

Descrierea completă a funcționării circuitelor secvențiale include și specificarea comportamentului intern al respectivului circuit. Acest comportament indică corespondența dintre starea internă și starea viitoare condiționată de o anumită stare a liniilor de intrare.

În continuare se va presupune un comportament deterministic al circuitului secvențial. Aceasta înseamnă că pentru o anumită stare a intrărilor (un set de n valori binare aplicate liniilor \mathbf{X} de intrare) și o anumită stare internă (un set de k valori binare ale liniilor \mathbf{y}) există o singură tranziție posibilă, într-o stare viitoare \mathbf{Y} (un set de k valori binare ale liniilor \mathbf{Y}).

În acest sens, o variabilă de stare Y_j este o funcție discretă în variabilele x_1, x_2, \dots, x_n , și y_1, y_2, \dots, y_k :

$$Y_j = Y_j(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k), \quad 1 \leq j \leq k. \quad (2)$$

Ecuțiile (2) se numesc *ecuațiile stării următoare*. Se spune că un circuitul secvențial este într-o stare stabilă atunci când pentru o anumită stare stabilă a intrărilor, starea sa internă, prezentă, este identică cu starea sa următoare, viitoare, adică $\mathbf{y} = \mathbf{Y}$. Dacă pentru o anumită stare a intrărilor, starea prezentă a circuitului diferă de starea sa următoare, adică cel puțin o linie din \mathbf{Y} diferă de o linie din \mathbf{y} , atunci circuitul se află într-o stare instabilă.

Un circuit secvențial este determinist dacă pentru fiecare stare posibilă atât a intrărilor cât și a liniilor \mathbf{Y} , există cel puțin o stare viitoare stabilă.

Circuitele secvențiale pentru care ecuațiile liniilor de ieșire sunt de forma (1) iar ecuațiile stării următoare sunt de forma (2), se numesc circuite secvențiale *Mealy*, iar modelul lor matematic, automat Mealy.

Există circuite secvențiale la care funcțiile liniilor de ieșire nu depind de stare liniilor primare de intrare, depinzând, exclusiv, de starea internă a circuitului:

$$z_i = z_i(y_1, y_2, \dots, y_k), \quad 1 \leq i \leq m. \quad (3)$$

Circuitele secvențiale la care ecuațiile liniilor de ieșire sunt de forma (3) iar ecuațiile stării următoare sunt de forma (2) se numesc circuite secvențiale *Moore*, iar modelul lor matematic, automat *Moore*.

Atunci când numărul de stări interne ale unui circuit secvențial este finit, circuitul se numește circuit secvențial finit. Modelul matematic al acestor circuite este automatul cu stări finite (mașina cu stări finite).

Tabelul tranzițiilor și al ieșirilor unui circuit secvențial

Funcționarea unui circuit secvențial poate fi descrisă prin tabelul tranzițiilor și tabelul ieșirilor. Aceasta este, în fapt, o manieră (tabelară) de reprezentare a funcțiilor (1) sau (3), și (2). În tabelul tranzițiilor există atâtea coloane câte stări distincte (ale celor n linii de intrare) există, adică 2^n , și atâtea rânduri câte stări interne distincte există (maximum 2^k). Un element al tabloului tranzițiilor, aflat la intersecția unei coloane cu o anumită linie, reprezintă starea următoare a circuitului, corespunzătoare stării interne de pe linia respectivă și valorii (stării) intrării de pe coloana respectivă.

Pentru automatele Mealy, tabelul ieșirilor are aceleași linii și coloane ca și tabelul tranzițiilor. Un element al tabelului ieșirilor, aflat la intersecția unei anumite coloane cu o anumită linie, reprezintă starea liniilor de ieșire corespunzătoare stării intrărilor de pe coloana respectivă și stării interne de pe rândul respectiv.

Pentru automatele Moore tabelul ieșirilor are o singură coloană.

În tabelul tranzițiilor și al ieșirilor, stările, respectiv ieșirile, sunt notate simbolic – de regulă prin numere zecimale sau prin numere binare. În cel de-al doilea caz, codul binar al stării următoare, respectiv al ieșirii reprezintă valorile sistemului de funcții (1), respectiv (2) sau (3) pentru starea prezentă de pe rândul respectiv și pentru starea intrărilor de pe coloana respectivă.

Aceste tabele pot fi completate dacă se cunoaște structura circuitului, determinând (așa cum se procedează și la funcțiile combinaționale) valoarea fiecăreia dintre funcțiile z_i, Y_j , atât pentru toate valorile posibile ale variabilelor primare de intrare, cât și pentru pseudo-intrări.

Circuitele simple cu reacție

Circuitele secvențiale sunt construite cu linii de reacție care aduc, practic, valori ale liniilor de ieșire ca intrări ale circuitelor respective. Reacția este o condiție necesară pentru circuitele secvențiale, forțând liniile de ieșire să depindă de o întreagă istorie de secvențe de vectori de intrare.

Se poate implementa un element cu memorie simplu printr-o conectare în cascadă a unui număr par de inversoare. Aceasta este structura circuitului de bază utilizat în toate memoriile cu acces aleatoriu (RAM) statice.

Tot simplă este o structură cu memorie obținută prin conectarea încrucișată a două porți SAU-NU ori ȘI-NU. Aceasta este structura de bază a bistabililor și *latch-urilor*.

Lanțurile cu circuite inversoare

Se consideră cele două circuite simple din figura 2, (a) și (b).

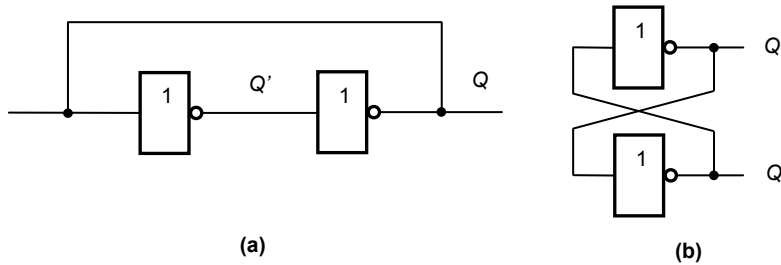


Figura 2. Inversoare care formează un element cu memorie.

Circuitul 2 (a) constă din conexiunea în serie a două circuite inversoare, cu bucla de reacție constituită prin conectarea liniei de ieșire a celui de-al doilea inversor la intrarea primului.

Dacă ieșirea primului inversor are valoarea $b \in \{0,1\}$ atunci după trecerea prin cel de-al doilea inversor aceasta valoare se menține pentru o durată nedeterminată (tot atâta timp cât sunt alimentate electric).

După o privire mai atentă se poate constata un fapt interesant. Circuitul 2 (b) este identic cu cel din figura 2(a), doar că este altfel desenat.

Circuitul poate fi modificat astfel încât să se poate schimba valoarea stocată. În acest sens este necesară o întrerupere a buclei de reacție atunci când se aplică la intrarea primului inversor noua valoare care urmează să fie memorată (înscrisă în dispozitivul cu memorie) după care se poate re-închide bucla.

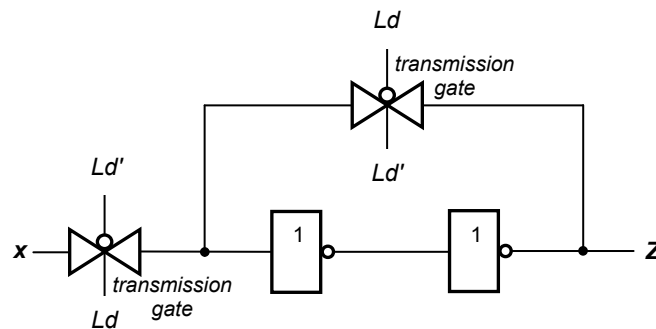


Figura 3. Element cu memorie și facilități de înscris.

În figura 3 este prezentată o soluție implementată prin porți CMOS de transmisie (*transmission gate*, prescurtat *TG*) comandate prin semnalul Ld și complementul acestuia. De îndată ce semnalul Ld este asertat are loc întreruperea buclei de reacție și admiterea noii valori $x \in \{0,1\}$ la intrarea primului inversor (din stânga). Imediat după

trecerea în valoarea 0 a semnalului Ld are loc refacerea buclei de reacție și desfacerea legăturii la intrarea primului inversor. În urma acestei duble secvențe de operații linia de ieșire Z are valoarea x .

Conectarea în cascadă a unui număr de inversoare poate sluji și altor scopuri în afara construcției unui element simplu de memorie. Dacă numărul de inversoare conectate este impar acest dispozitiv devine un oscilator (*circuit secvențial astabil*) cu formă de undă dreptunghiulară având amplitudinea semnalului generat cât tensiunea de alimentare.

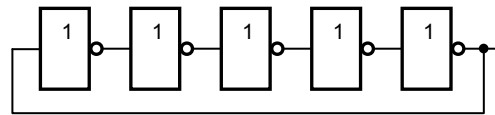


Figura 4. Inversoare înseriate în număr impar formează un oscilator.

În cazul circuitului din figura 4, dacă se notează prin t durata întârzierii semnalului printr-un inversor, se constată o perioadă $10t$ a oscilației cu factor de umplere 50%. Astfel de oscilatoare sunt numite, în literatura de profil, *oscilatoare în inel*.

Circuitul cu porți SAU-NU conectate încrucișat

Aceasta este cea de-a doua alternativă în construcția elementelor cu memorie. Se pot folosi în egală măsură porți ȘI-NU, modalitatea de obținere a unui circuit secvențial cu două stări fiind similară. Se utilizează, în principiu, tot două circuite inversoare de semnal. Dar, spre deosebire de circuitele cu memorie construite cu un număr par de inversoare, aici apar două linii de intrare notate prin S și R .

O reprezentare a modului de conectare, în acest caz, al celor două porți SAU-NU este ilustrată în figura 4 (a).

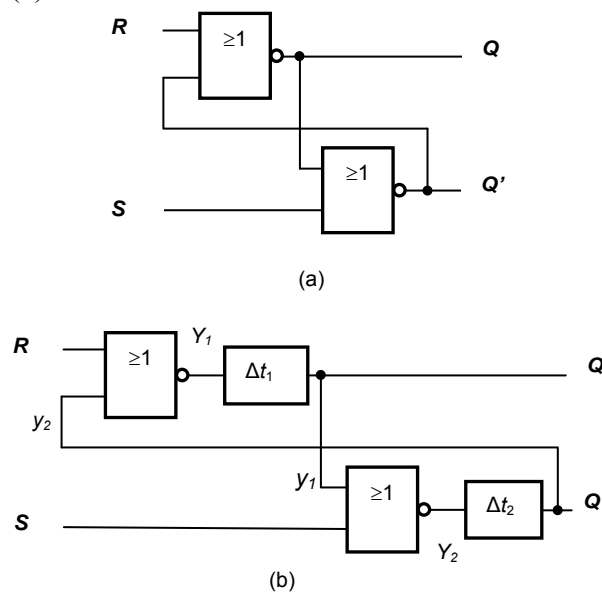


Figura 4.

- (a) Circuite SAU-NU conectate încrucișat.
- (b) Individualizarea întârzierii prin fiecare buclă de reacție.

Circuitul secvențial din figura 4(a) este numit, în literatura de specialitate, *latch*. Prin *latch* se înțelege un circuit bistabil foarte simplu, elementar.

Este esențial de reținut că o valoare logică 1 aplicată, în general, uneia dintre liniile de intrare ale unei porți SAU-NU, cu două ori mai multe intrări, face ca linia de ieșire a porții să aibă valoarea 0.

Cu această remarcă se poate deduce cu ușurință modul de funcționare ale acestui circuit secvențial. Se presupune, pentru început că liniile de intrare R și S au valoarea 1 și respectiv 0. Atunci, indiferent de valoarea inițială a liniei Q' , linia Q ia valoarea 0. Consecutiv, deoarece $Q = 0$, iar $S = 0$, atunci cealaltă linie de ieșire, Q' , ia valoarea 1. Un raționament asemănător se poate urma în situația simetrică, când se aplică liniei S valoarea 1 iar liniei R se aplică valoarea 0.

Dacă ambele intrări au valoarea zero, atunci circuitul va păstra, teoretic, un timp nedefinit valoarea memorată (la fel ca la conectarea în buclă a unui număr par de circuite inversoare). Cuplul valorilor celor două linii de ieșire definește starea în care se găsește acest circuit secvențial.

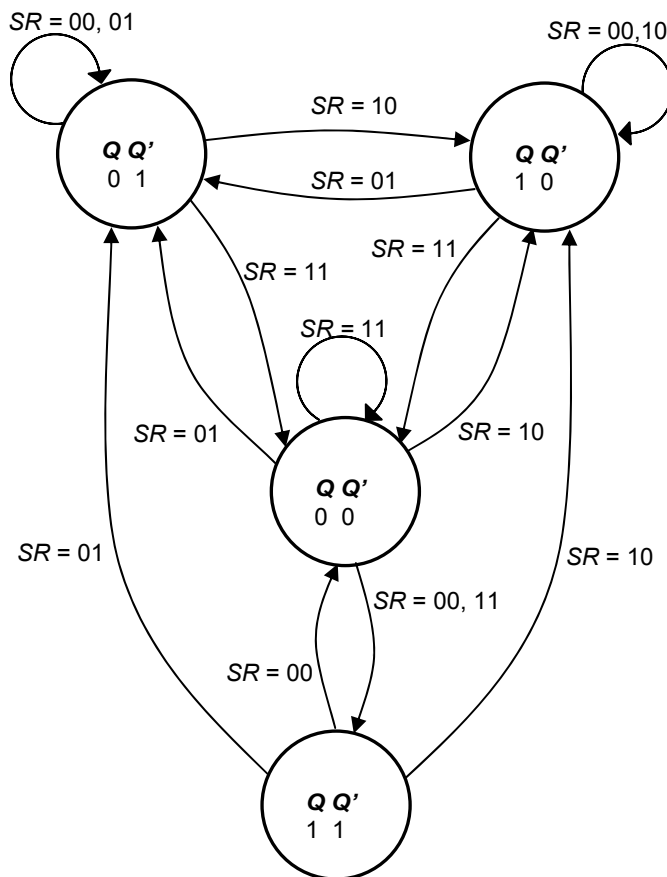


Figura 5. Diagrama teoretică de stări a circuitului secvențial din figura 4.

Există un mod aparte de funcționare, atunci când ambele intrări sunt asertate.

Tabelul 1. Funcționarea logică a circuitului secvențial din figura 4.

S	R	Q^t	Q^{t+1}
0	0	X	Q^t
0	1	X	0
1	0	X	1
1	1	X	<i>instabil</i>

În acest caz ambele linii de ieșire au valoarea 0. Această condiție violează ipoteza complementarității liniilor de ieșire Q și Q' . Din punct de vedere logic *această acționare este interzisă, pentru acest circuit*. Din punct de vedere fizic se constată, pentru cazul în care $S = 1$ și $R = 1$, o instabilitate a valorilor liniilor de ieșire.

Datele din tabelul 1, concentrează observațiile menționate anterior. Coloana Q^t semnifică starea circuitului la momentul t , înainte de aplicarea valorilor liniilor de intrare, din coloanele S și R . Iar coloana Q^{t+1} reprezintă starea imediat următoare ca urmare a aplicării intrărilor.

Dacă după o acționare interzisă una dintre liniile de intrare se complementează se reintră în funcționarea normală. Dar dacă după aplicarea valorilor de intrare $S = 1$ și $R = 1$, se aplică simultan valorile $S = 0$ și $R = 0$ circuitul, teoretic, va oscila (așa cum a fost notat și tabelul 1). Acest comportament oscilatoriu se datorează unei *condiții de cursă*. Teoretic, condiția de cursă va continua atâta timp cât R și S au valoarea 0 iar întârzierile prin cele două porți sunt identice.

Totuși, întârzierile prin cele două porți nu sunt riguros egale și atunci una dintre liniile de ieșire va ajunge la valoarea 1 înaintea celeilalte, oprind oscilația. Diagrama de stări din figura 6 reflectă această constatare.

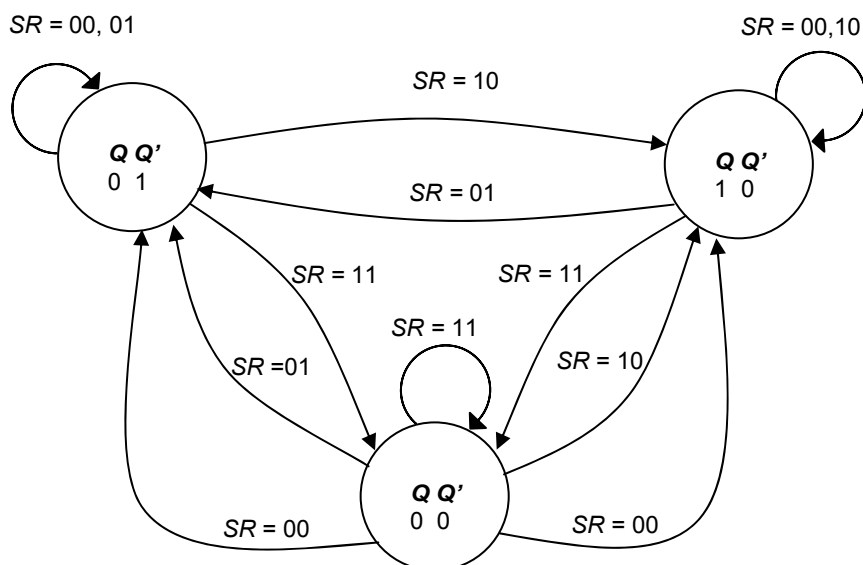


Figura 6. Diagrama de stări observată a circuitului secvențial din figura 4.

Diagramele de stări sunt grafe alcătuite din noduri și arce orientate. Fiecare nod este asociat unei stări a circuitului și este etichetat prin starea respectivă. Arcele reprezintă tranzițiile dintre stări. Fiecare tranziție este etichetată prin condiția (eventual, condițiile) care caracterizează respectiva tranziție.

Astfel, spre exemplu, dacă la un moment dat circuitul se găsește în starea $(QQ'/01)$ se poate rămâne în această stare dacă liniile de intrare au valorile $(SR/ 00, 01)$ ori se poate tranzita în una din stările $(QQ'/00)$ sau $(QQ'/10)$ după cum valorile liniilor de intrare sunt $(SR/ 11)$, respectiv $(SR/ 10)$.

Într-o anumită măsură conținutul tabelului 1 de funcționare este apropiat de conținutul diagramelor de stări din figura 5 sau din figura 6. Diagramele de stări sunt, totuși, mai explicite dar și mai intuitive.

Pe de altă parte, atunci când circuitele se dovedesc complicate (au un număr mare de stări, tranziții etc.) tabelul de funcționare, ca mod de descriere sintetică, poate fi o formulă mai simplă și, implicit, mai ușor de alcătuit și utilizat.

Latch-ul D

Latch-ul SR, considerat anterior, este adesea apreciat ca fiind incomod datorită faptului că poate avea un comportament logic bizar, atunci când cele două linii de intrare pot fi simultan active.

Prin natura definiției sale, pe de altă parte, acest circuit îmbină două aspecte esențiale:

- schimbarea stării, și
- momentul acestei schimbări.

Altfel spus, plasarea unei perechi de valori pe liniile de intrare determină nu numai în care anume stare va tranzita latch-ul dar și când va avea loc tranziția.

Această îngemănare de acțiuni, având loc într-un același moment de timp, poate fi o trăsătură limitativă, de natură să complice și să îngreuneze proiectarea circuitelor cu stări. Circuitele secvențiale sunt mai simplu de proiectat atunci când aceste acțiuni sunt delimitate în timp și sunt separate ca acțiuni.

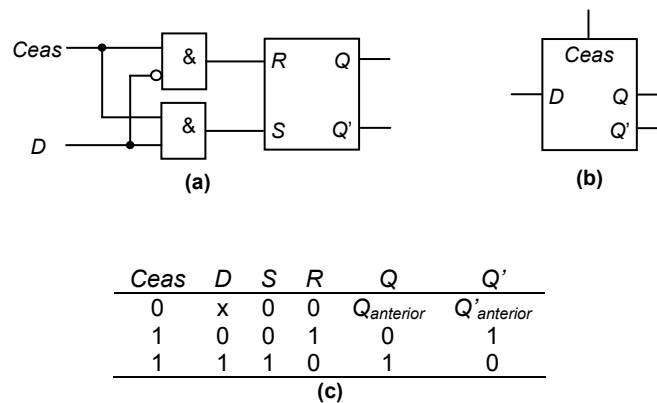


Figura 7. Latch-ul D.

(a) Diagrama logică; (b) Simbolul grafic; (c) Tabelul de funcționare.

Diagrama logică din figura 7(a) cuprinde două porți ȘI și un latch SR.

Latch-ul SR, în figura 7(a), este reprezentat simbolic printr-un bloc funcțional (în locul structurii cu două porți ȘI-NU). Astfel, blocul funcțional corespunzător bistabilului SR, are două linii de intrare, notate S și R, și două linii de ieșire complementare notate Q și Q'.

Liniile de ieșire ale celor două porți ȘI sunt conectate la liniile de intrare ale latch-ului SR. Liniile de intrare ale porților sunt conectate la două semnale logice proprii acestei structuri. Aceste linii sunt asociate liniei Datelor (simbolul D) și respectiv liniei impulsului de Ceas.

O analiză a funcționării structurii logice din figura 7(a) arată că atâta timp cât linia Ceas are valoarea 0, linia datelor (D) nu va modifica, în vreun fel, valorile stocate în

latch-ul *SR*, acesta conservându-și valorile achiziționate anterior (așa cum se poate remarca din prima linie a tabelului de funcționare din figura 7(c)).

Deîndată ce linia *Ceas* are valoarea 1, latch-ul *SR* achiziționează valoarea logică aflată pe linia de date, linia *D*.

Se spune că latch-ul *D* este *transparent* atunci când $Ceas = 1$.

În adevăr, în această situație valoarea logică aflată pe linia datelor, *D*, pătrunde prin latch și apare pe linia *Q* a acestuia. În această situație se poate aprecia că latch-ul acesta se comportă ca un dispozitiv tampon între linia *D* și linia *Q*.

Latch-ul *D*, așa cum se poate remarca din figura 7(a) poate să-și schimbe oricând starea, atâta vreme cât semnalul *Ceas* este asertat.

În celălalt caz, atunci când $Ceas = 0$, informația aflată pe linia *D* este blocată și accesul acesteia nu mai este permis la ieșirea *Q* a bistabilului *D*.

Se spune că bistabilul *D* este *opac* atunci când $Ceas = 0$, iar valoarea anterior stocată în latch-ul *D* continuă să apară pe linia *Q*, de ieșire, a acestuia.

Bistabilul *D*

Un bistabil *D* poate fi alcătuit din două latch-uri *D* dispuse în cascadă și controlate prin semnale de ceas complementare (așa cum se poate vedea din figura 8(a)).

Primul latch *D*, cel etichetat *L1*, se numește *Stăpân* iar cel de-al doilea latch *D*, etichetat *L2*, se numește *Sclav*. Linia de conexiune dintre aceste două latch-uri este etichetată prin simbolul *N1*.

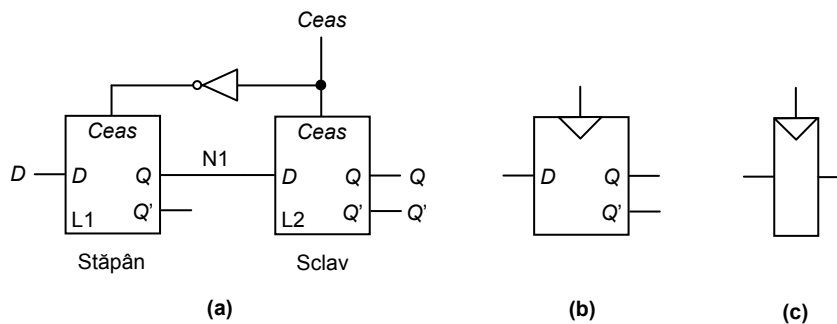


Figura 8. Bistabilul *D*.

(a) Diagrama logică; (b) Simbolul bistabilului *D*; (c) Simbolul condensat.

Un simbol al bistabilului *D* este prezentat în figura 8(b). Atunci când nu este necesară linia de ieșire complementară (*Q'*) simbolul este condensat așa cum este arătat în figura 8(c).

Atunci când semnalul *Ceas* ia valoarea 0, latch-ul *D Stăpân* este transparent, iar latch-ul *Sclav* este opac. Astfel, orice valoare apare pe linia *D* a latch-ului *Stăpân*, aceasta este prezentă pe conexiunea *N1*.

Deîndată ce semnalul $Ceas = 1$, latch-ul *Stăpân* devine opac iar latch-ul *Sclav* devine transparent. Valoarea logică care se afla pe conexiunea *N1* se propagă acum la ieșirea *Q* a bistabilului *Sclav*, pe de-o parte, iar conexiunea *N1* este deconectată logic, pe de altă parte, în raport cu linia *D* a latch-ului *L1*.

Stările, impulsurile de ceas, timpul de pregătire și timpul de menținere

În rândurile care urmează vor fi introduse anumite definiții legate de formele de undă ale circuitelor secvențiale. Valorile ieșirilor unui circuit secvențial sunt funcții, așa cum s-a arătat deja, care depind atât de valorile curente ale intrărilor cât și de valorile liniilor de reacție. Totalitatea liniilor de reacție alcătuiește *starea circuitului secvențial*. Valorile curente ale acestor linii, de ieșire și de reacție, formează *starea curentă* a circuitului secvențial.

Una dintre liniile de intrare ale circuitelor secvențiale *sincrone* este linia *Ceas*. Valoarea, periodică de altfel, a acestei linii constituie semnalul fundamental al circuitului secvențial, numit *Ceas*. Acesta determină momentul când anume se va decide schimbarea stării curente a circuitului. Atunci când apare acest semnal periodic extern, circuitul secvențial *eșantionează* valorile curente ale liniilor de intrare și de stare, determinând viitoarea stare a circuitului secvențial.

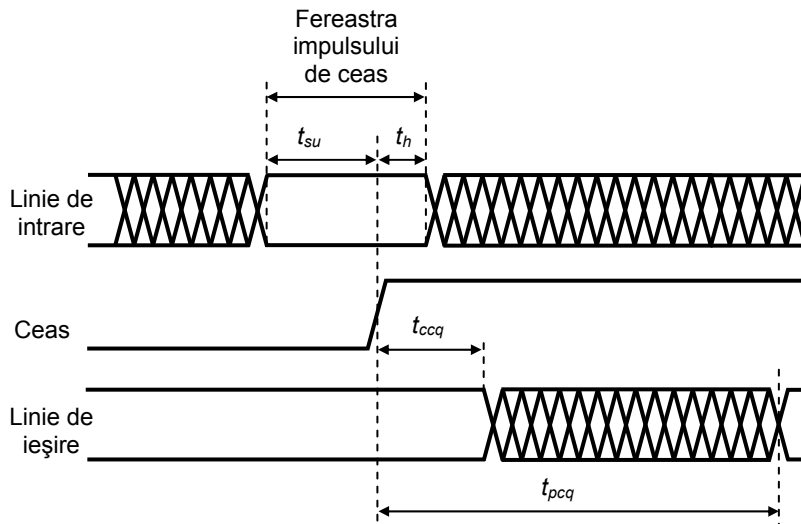


Figura 9. Intervalele de timp de *pregătire* (t_{su}), *menținere* (t_h), *contaminare ceas-la-Q* (t_{ccq}) și *propagare ceas-la-Q* (t_{pcq}).

Un circuit secvențial sincron, așa cum este și un bistabil, are o anumită specificație a funcționării în timp, așa cum se poate remarca din figura 9. S-a presupus, în figura 9, că bistabilul considerat, în cele ce urmează, este acționat pe frontul pozitiv al impulsului de ceas. Dar, toate aprecierile care se vor enunța, se pot foarte simplu converti pentru cazul bistabilelor sensibile față de frontul negativ al impulsului de ceas.

După momentul apariției frontului activ al impulsului *Ceas*, depinzând de valorile liniilor de intrare dar și de modelul bistabilului, linia de ieșire *Q* a bistabilului începe să se modifice. Acest eveniment este observabil numai după un anumit timp, numit *timpul de întârziere al contaminării liniei Q de ieșire a bistabilului* (notat t_{ccq}).

Valoarea liniei de ieșire *Q* se stabilizează într-un alt interval de timp măsurat, de asemenea, în raport cu frontul activ al impulsului *Ceas*. Timpul de stabilizare al valorii liniei de ieșire *Q* este numit *timpul de întârziere al propagării valorii finale pe linia de ieșire Q a bistabilului* (notat t_{pcq}).

Aceste două intervale de timp, t_{ccq} și t_{pcq} , cuantifică respectiv, cea mai mică și cea mai mare întârziere de trecere a semnalelor de intrare prin bistabil.

Valoarea logică a unei linii de intrare într-un bistabil, pentru ca să poată fi eșantionată corect, trebuie să fie stabilă înainte de frontul crescător al frontului impulsului *Ceas*, cel puțin cât *timpul de pregătire* (notat t_{su}). În continuare, valoarea respectivă a liniei de intrare trebuie să rămână stabilă și după apariția impulsului de *Ceas*, pe o durată de timp numit *timpul de menținere* (notat t_h).

Suma dintre *timpul de pregătire* și *timpul de menținere* ($t_{su} + t_h$) constituie *ferestra de timp* a circuitelor secvențiale, în general.

Disciplina dinamică stabilește că valorile intrărilor unui circuit secvențial trebuie să fie stabile pe durata ferestrei de timp, respectiv a pregătirii și menținerii acestora. Fereastra de timp este întotdeauna plasată, ușor asimetric, în dreptul frontului activ al impulsului de ceas.

Nerespectarea acestor restricții poate conduce la funcționări inconsistente în raport cu specificația circuitului secvențial considerat.

Asocierea unui semnal de ceas evenimentului eșantionării valorilor liniilor de intrare, poate fi privit ca un semnal prin care se acordă permisiunea elementelor cu memorie să examineze valorile liniilor de intrare în vederea modificării stării respectivelor elemente cu memorie. Se poate folosi un singur semnal de ceas pentru sincronizarea actualizării stării mai multor elemente cu memorie dintr-un sistem.

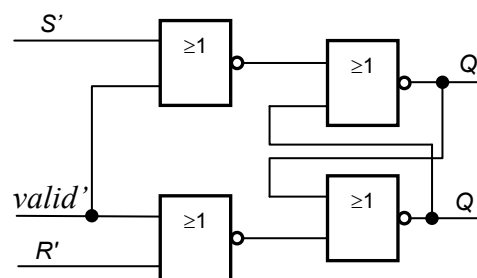


Figura 10. Latch R-S sensibil la variații de nivel.

În figura 4 a fost prezentat elementul fundamental cu memorie R-S, numit tradițional *latch-ul R-S*. Elementele cu memorie utilizate în construcția circuitelor secvențiale se clasifică în două mari grupe: *latch-uri* și *bistabili*. Atunci când liniile de ieșire ale unui element cu memorie își schimbă valorile imediat ce au avut loc schimbări ale valorilor liniilor de intrare, acestea se numesc elemente cu memorie și cu *ieșiri transparente*. Latch-ul R-S este un exemplu în acest sens; ieșirile sale sunt imediat modificabile la schimbările valorilor liniilor de intrare.

Dacă un latch are numai intrări de date și nu are linii de ceas, atunci acel latch se numește latch asincron. Latch-urile sensibile la valorile liniilor de intrare, au adesea o linie de intrare de *validare*, similară liniei de ceas.

Aceste latch-uri eșantionează continuu valorile liniilor lor de intrare pe durata asertării liniei de validare. Orice modificare a valorilor liniilor de intrare se propagă prin latch la ieșirea acestuia. Circuitul prezentat în figura 10 este un latch sensibil la variațiile de nivel ale liniilor sale de intrare. Din cauza nivelului logic suplimentar impus de linia

de validare, liniile de intrare R și S sunt active prin valori zero, la fel ca și linia de validare. Atunci când linia de validare devine activă (are valoarea zero), ultimele valori ale celorlalte două linii de intrare determină continuu starea memorată de latch. Valoarea stocată, finală, este determinată în fereastra de timp formată prin timpul de pregătire și timpul de menținere grupate în jurul momentului în care linia *valid* trece din valoarea 0 în valoarea 1.

Bistabilii D diferă de latch-urile D , prin faptul că valorile liniilor de ieșire ale bistabililor se modifică numai în raport cu frontul activ al liniei de ceas (sunt acționate pe front), în timp ce latch-urile își schimbă valorile liniilor de ieșire corespunzător schimbării nivelurilor liniilor lor de intrare.

Latch-ul D este transparent atunci când linia *Ceas* este asertată, permițând valorii prezente pe linia D să ajungă la linia de ieșire Q a acestuia.

Bistabilul D copiază valoarea liniei de date D , pe linia de ieșire Q sincronizat cu frontul pozitiv (crescător) al liniei *Ceas*. Din acest motiv bistabilii pot fi caracterizați ca fiind acționați pe front (fie pe front pozitiv, fie pe front negativ) și pot fi structuri *Stăpân-Sclav* (*Master-Slave*).

Un bistabil acționat pe frontul pozitiv eșantionează valorile liniilor de intrare la tranziția semnalului de ceas din valoarea zero în valoarea unu. Pentru o corectă recunoaștere a valorilor liniilor de intrare acestea trebuie să fie stabile pe durata ferestrei de timp $T_{su} + T_h$. Schimbarea valorilor liniilor de ieșire se face după un timp de întârziere măsurat față de momentul tranziției semnalului de ceas.

Duratele celor două componente de timp T_{su} și T_h sunt, spre exemplu, în tehnologie TTL de ordinul nanosecundelor. Astfel, în tehnologie TTL, spre exemplu, cele două componente de timp au valorile tipice de 30 ns și respectiv 5 ns.

Bistabilul J-K

Datorită problemelor care apar la latch-ul $R-S$ din cauza setului de valori interzise s-a conceput construirea altui circuit la care să se evite această situație. În figura 11.(a) este prezentată diagrama de principiu a latch-ului $J-K$.

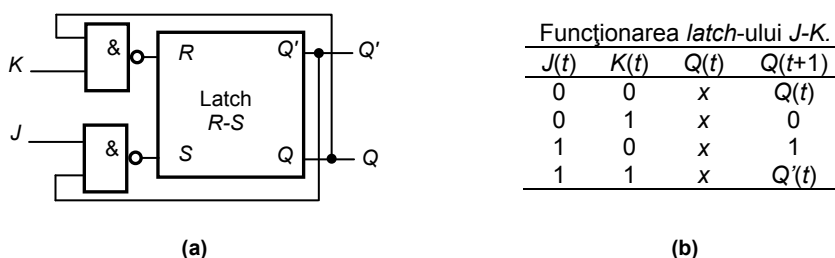


Figura 11. Latch-ul $J-K$.
(a) Diagrama logică; (b) Tabelul funcționării.

Folosind ca linii de reacție liniile Q și Q' (acestea apar la intrările porților SI-NU ale căror ieșiri sunt conectate la intrările latch-ului $R-S$) și introducând două linii noi de intrare se poate garanta acum că liniile interne R și S nu mai pot fi simultan asertate (valoarea 1). În afară de evitarea a setului de valori interzise a liniilor de intrare, acum

apare o nouă posibilitate de funcționare, complementarea stării curente. În adevăr, dacă ambele linii de intrare J și K sunt asertate, atunci starea viitoare este complementarea stării curente. Detalii privind funcționarea noului circuit pot fi găsite în tabelul funcționării (figura 11.(b)).

Din acest tabel al funcționării (Figura 11.(b)) se poate deduce următoarea ecuație caracteristică:

$$Q(t+1) = Q(t)K' + Q'(t)J$$

Actuala construcție a latch-ului $J-K$ are, totuși, o deficiență de funcționare. Odată aplicate valorile de intrare $J = K = 1$, circuitul va intra în oscilație până când una dintre intrări devine 0. Explicația acestei deficiențe de funcționare este simplă. Condiția de complementare a stării curente rămâne asertată chiar și atunci când are loc complementarea, ceea ce induce comportamentul astabil, nedorit de altfel, al circuitului.

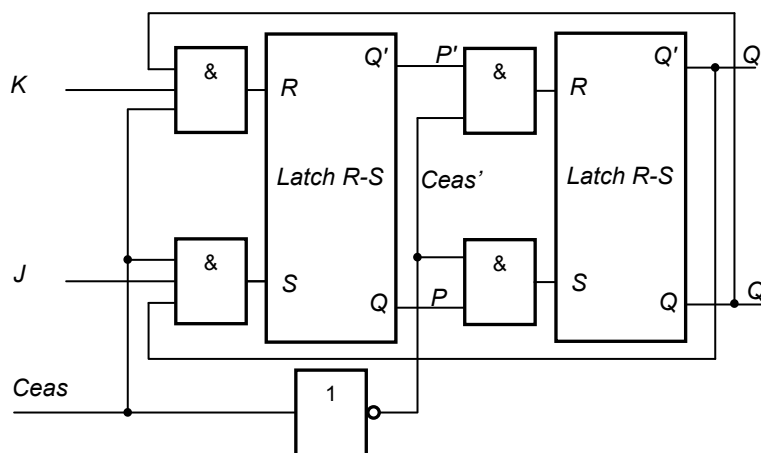


Figura 12(a). Schema de principiu a bistabilului $J-K$ Stăpân-Sclav.

O soluție la această funcționare deficientă este bistabilul $J-K$ Stăpân-Sclav (*Master-Slave*). Bistabilul Stăpân-Sclav are drept idee fundamentală constituirea unui element cu memorie folosind două latch-uri $R-S$ conectate succesiv.

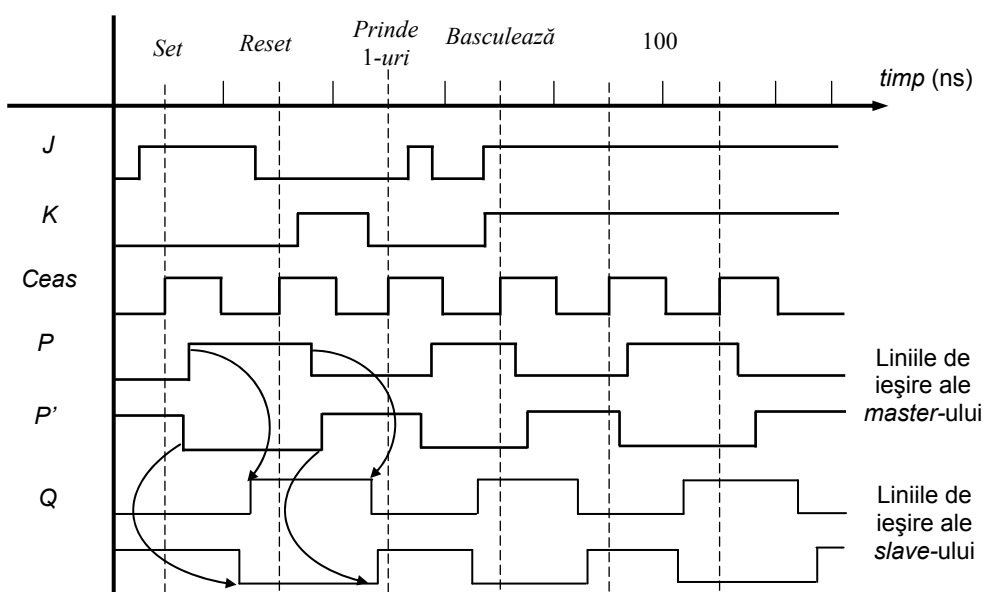


Figura 12(b). Formele de undă ale bistabilului $J-K$ Stăpân/Sclav.

Primul latch, *Stăpânul*, acceptă noile valori ale liniilor de intrare și generează corespunzător valorile de ieșire P și P' sincron cu frontul crescător (pozitiv) al impulsului de ceas. Cel de-al doilea latch, *Sclavul*, acceptă ca intrări valorile P și P' și sincron cu frontul descrescător (negativ) al impulsului de ceas schimbă valorile liniilor sale de ieșire. (așa cum se poate vedea în figura 12(a)). În momentul în care valorile liniilor de ieșire se propagă prin liniile de reacție la nivelul liniilor de intrare, impulsul de ceas a încetat și se împiedică astfel intrarea în oscilație a bistabilului.

Diagrama cu formele de undă ale bistabilului *J-K Stăpân/Sclav* din figura 12(b) relevă anumite aspecte importante ale funcționării acestui tip de bistabil.

Prima remarcă se referă la modul cum liniile de ieșire ale *Stăpânului*, P și P' , „trag” după acestea liniile de ieșire ale *Sclavului*, respectiv Q și Q' . Acestea din urmă își modifică valoarea după o întârziere de propagare față de frontul căzător al impulsului de ceas.

A doua remarcă privește o proprietate generală a bistabilului *J-K Stăpân/Sclav* care este numită, tradițional, „*prinde 1-uri*”. Această proprietate generală se enunță astfel: ori de câte ori o linie de intrare are valoare unu, chiar pentru un scurt interval de timp pe durata impulsului de ceas, apare ca un semnal similar pe linia de ieșire.

Comportamentul specific acestui bistabil poate fi urmărit în figura 12(a). Se va face în continuare o parcurgere a funcționării bistabilului în conformitate cu formele de undă ale figurii 12(b).

Inițial bistabilul a avut valoarea liniei de ieșire 0. Linia de intrare J devine 1, și după ce apare impulsul de ceas (după o întârziere inerțială) linia P ia valoarea 1. Atunci când se termină impulsul de ceas, liniile P și P' au trecut în a doua secțiune a bistabilului cauzând trecerea în valoare 1 a liniei de ieșire Q .

La apariția următorului impuls de ceas, liniile de intrare J și K au amândouă valoarea zero. Din acest motiv prima secțiune își conservă starea. Aproximativ pe la jumătatea impulsului de ceas, linia K își schimbă valoarea și pentru un interval de timp (care depășește momentul în care încetează palierul valorii 1 al impulsului de ceas) devine 1, producând aducerea în 0 a primei secțiuni. Valoarea 0 a ieșirii primei secțiuni se propagă în a doua secțiune a cărei ieșire ia valoarea 0, cu o mică întârziere, după frontul negativ al impulsului de ceas.

Fenomenul numit „*prindere 1-uri*” este ilustrat prin următoarea condiție a liniilor de intrare atunci când: linia J este asertată pentru un foarte scurt interval de timp (mai scurt decât durata impulsului de ceas). Chiar dacă valoarea liniei J revine la zero, și aceasta înainte ca impulsul de ceas să se termine, linia de ieșire a slave-ului trece în valoarea unu și de aici linia de ieșire a bistabilului trece și aceasta la valoarea unu pe frontul căzător al impulsului de ceas. Dacă latch-urile din cele două secțiuni sunt implementate utilizând porți ȘI-NU se manifestă un fenomen similar numit „*prinde 0-uri*”.

Din aceste motive este recomandat ca să se acorde multă atenție hazardurilor logice, potențiale ale circuitelor combinaționale care produc semnalele logice care sunt apoi aplicate liniilor J și K .

Restul configurațiilor de valori de intrare fac ca bistabilul să basculeze, schimbându-și starea la fiecare impuls de ceas.

Alte structuri ale bistabilelor acționate pe frontul impulsului de ceas

Bistabilele *J-K* soluționează problema valorilor interzise ale liniilor de intrare printr-o construcție care garantează că latch-urile interne nu au niciodată ambele linii de intrare asertate. Dar funcționarea modului de basculare al acestor bistabile conduce la un comportament oscilant al valorilor liniilor de ieșire. Varianta *master/slave* soluționează problema oscilației prin controlul eșantionării valorilor liniilor de intrare numai atunci când este prezent impulsul de ceas, generând valorile noi ale liniilor de ieșire abia după ce încetează palierul de unu al impulsului de ceas. Apare în schimb problema „prinderii 1-urilor”.

Proiectanții circuitelor secvențiale au soluționat această problemă prin introducerea bistabilelor acționați pe front.

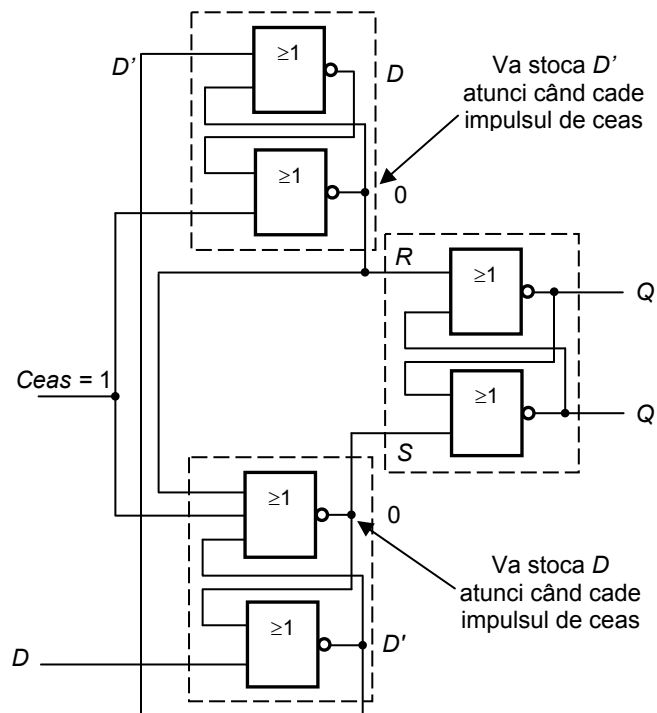


Figura 13. Modul de funcționare al bistabilului *D* acționat pe frontul negativ al impulsului de ceas, atunci când linia de ceas are valoarea 1.

Aceste circuite în loc să eșantioneze valorile liniilor de intrare pe durata impulsului de ceas, eșantionează valorile liniilor de intrare numai pe durata frontului pozitiv (acționare pe frontul crescător) sau negativ (acționare pe frontul căzător al impulsului de ceas).

Acest bistabil memorează valoarea binară aflată pe linia *D*, linia de intrare a acestui bistabil, atunci când impulsul de ceas tranzitează din 1 în 0 (frontul negativ, frontul descrescător).

Ecuția caracteristică a acestui bistabil este extrem de simplă:

$$Q(t + 1) = D.$$

Schema prezentată în figura 13 poate fi foarte ușor modificată pentru ca aceasta să fie sensibilă în raport cu frontul pozitiv. Pentru aceasta se completează impulsul de

ceas. În continuare se va considera structura generală a bistabililor D acționați pe frontul negativ al impulsului de ceas (așa cum se poate vedea în figura 13).

Modul de operare al bistabilului D acționat pe frontul negativ al impulsului de ceas

Operarea unui dispozitiv acționat pe front poate fi mai complexă decât cea a unui bistabil *master/slave*, spre exemplu. Circuitul din figura 13 conține, interconectate, trei *latch-uri* R - S implementate prin porți SAU - NU .

Cel de la baza schemei eșantionează linia de intrare D timp în care *latch-ul* aflat în partea superioară stochează valoarea complementată a liniei D .

Linia de ieșire a *latch-ului* de la bază este conectat la linia de intrare S a *latch-ului* final, cel care controlează liniile externe de ieșire ale bistabilului, spre deosebire de cel superior care este conectat la linia de intrare R a aceluiași *latch*.

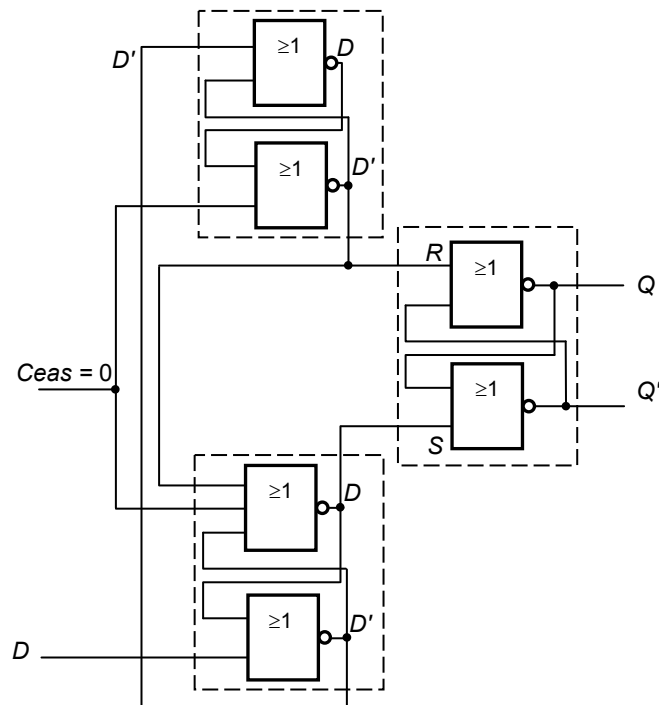


Figura 14. Funcționarea bistabilului D acționat pe frontul negativ al impulsului de ceas atunci când linia de ceas tranzitează în zero.

Schema din figura 13, spre deosebire de cea din figura 14, prezintă starea circuitului atunci când impulsul de ceas este prezent (are valoarea 1).

În acest context impulsul de ceas forțează liniile de ieșire ale *latch-urilor* aflate în partea stângă a figurii 13, mai precis cel de la bază și cel din partea superioară a figurii, aceasta instaurând pentru *latch-ul* final starea de conservare a stării existentă înaintea apariției impulsului de ceas.

Orice schimbare pe linia de intrare D va fi eșantionată de *latch-urile* de la bază și de sus, dar aceste schimbări nu afectează starea *latch-ului* final, care controlează liniile de ieșire ale bistabilului.

Diagrama din figura 14 prezintă ce se întâmplă în structura bistabilului atunci când impulsul de ceas trece din 1 în 0. Se poate remarca, în acest caz, faptul că porțile SAU-NU, care alcătuiesc *latch*-ul final, acționează ca niște simple inversoare.

Valoarea anterior eșantionată pe linia de intrare D este prezentă pe linia S a latch-ului final în timp ce valoarea D' este prezentă pe linia R a aceluiași latch.

Dacă $D = 1$, atunci linia de ieșire a latch-ului final va avea valoarea 1, în caz contrar linia Q a bistabilului va avea valoarea 0.

Situația în care linia de ceas a ajuns în valoarea logică 0 iar pe linia de date D a bistabilului apar modificări este prezentată în figura 14. Practic, situația poate fi mai general descrisă ca fiind modificarea stării liniei de intrare din valoarea D , inițială, în valoarea D' , finală.

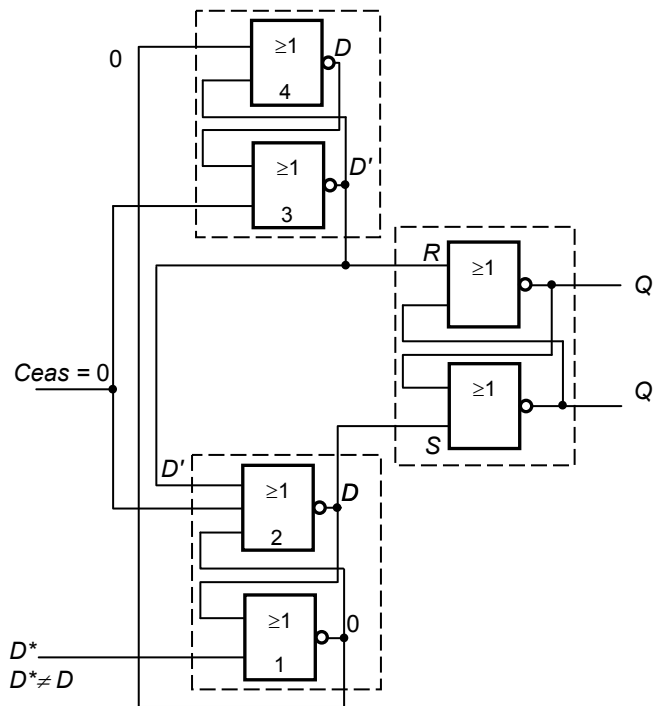


Figura 15. Funcționarea bistabilului D acționat pe frontul negativ al impulsului de ceas atunci când linia de ceas ajunge în zero și linia de intrare D se modifică.

În figura 15 este prezentată analiza situației în care în absența impulsului de ceas are loc o schimbare a valorii liniei de intrare D , notată prin D^* . Valoarea nou aplicată liniei de intrare va forța linia de ieșire a porții 1 la valoarea 0 deoarece $D^* \neq D$ (dacă $D = 1$, atunci $D^* = 0$ etc.). Datorită valorii acestei linii, porțile 2,4 și 5 își vor păstra valorile anterioare. D^* poate afecta circuitul bistabilului D acționat pe frontul descrescător numai atunci când liniile de ieșire ale porților 2 și 4 sunt forțate să ia valoarea 0. Această situație are loc numai atunci când este prezent impulsul de ceas.

Considerarea detaliată a funcționării acestui circuit secvențial face să fie mult mai clară importanța specificațiilor duratelor de timp pentru pregătirea și pentru menținerea semnalului de intrare în jurul momentului apariției impulsului de ceas. Dacă linia de intrare D a bistabilului își schimbă starea într-un moment de timp foarte apropiat de frontul impulsului de ceas, atunci valoarea liniei D poate să fie stocată incorect în latch-urile superior și inferior, respectiv latch-ul compus din porțile 3 și 4, pe de-o parte, și latch-ul alcătuit din porțile 1 și 2, pe de-altă parte.

Din rațiuni similare se pot aprecia rațiunile pentru întârzierile de propagare ale bistabilelor, în general, sunt substanțiale.

Principii de evaluare ale temporizărilor în circuitele secvențiale. Temporizările introduse de circuitele logice combinaționale sunt imediate cu excepția impulsurilor parazite provocate de hazarduri. Logica secvențială, spre deosebire de cea combinațională, trebuie să evalueze atât valorile curente ale liniilor de intrare cât și starea existentă în vederea determinării stării următoare dar și a valorilor liniilor de ieșire. Pentru ca acest proces să se desfășoare corect în circuitele secvențiale sincrone, nu sunt permise schimbări ale valorilor liniilor de intrare atunci când au loc modificări ale stării circuitelor secvențiale. În fapt, secvențialele sunt supuse restricțiilor timpului de pregătire și a timpului de menținere, pe durata acestora valorile liniilor de intrare trebuie să fie stabile. Mai mult, liniile de ieșire pot să-și schimbe valorile, ca răspuns al schimbărilor provocate de liniile de ceas. După cum, la fel de bine, liniile de ieșire pot să-și schimbe valorile și ca urmare a schimbării valorilor liniilor de intrare.

Aceste considerente lasă să se întrevadă specificații de timp mai laborioase pentru circuitele secvențiale.

Metodologiile temporale sunt seturi de reguli ale interconectării componentelor și ale semnalelor de ceas astfel încât, atunci când sunt urmate, să se poată garanta operarea corespunzătoare a sistemului logic respectiv.

Operarea corespunzătoare se referă la sistemele sincrone, prin definiție, la următoarele aspecte. În prezența unui impuls de ceas toate bistabilele, controlate de respectivul semnal, își evaluează simultan liniile de intrare și-și determină stările consecutive.

Aceasta revine la cele două condiții fundamentale:

- Valorile corecte ale liniilor de intrare, considerate în raport cu timpul, sunt trimise bistabilelor care-și modifică stările.
- Oricare bistabil conectat la respectivul semnal de ceas își schimbă starea o singură dată pe durata apariției aceluia semnal de ceas.