

3. MATERIALIZAREA VARIABILELOR ȘI FUNCȚIILOR LOGICE

3.1 Reprezentarea fizică a variabilelor booleene

Elementelor 0, 1 ale mulțimii B, definită anterior, li se atribuie valori ale unei mărimi fizice electrice (tensiune sau curent). Stabilirea unor valori precise pentru cele două nivele logice nu este convenabilă din cauza complexității ridicate a circuitului electronic care trebuie să realizeze acest lucru. Cele două nivele (0, 1) sunt puse în corespondență cu domenii disjuncte ale mărimii fizice alese.

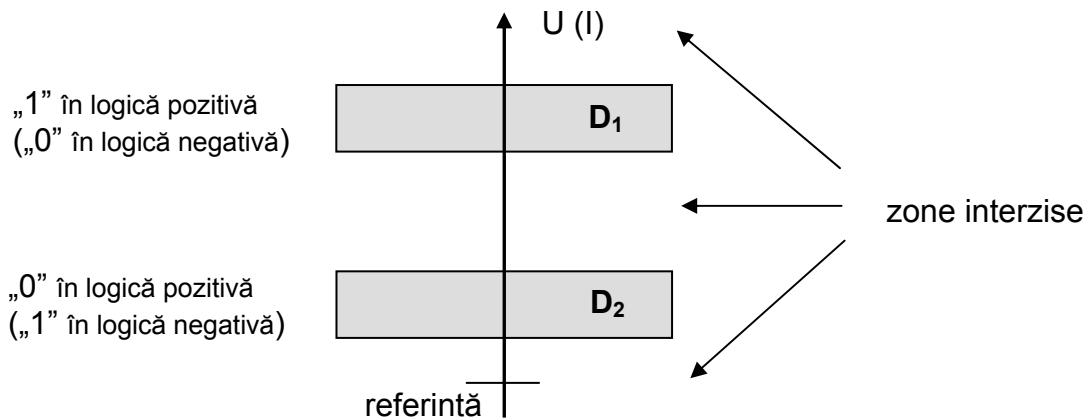


Figura 3.1 Reprezentarea variabilelor logice prin mărimi electrice

Condiția disjuncției ($D_1 \cap D_2 = \emptyset$) este absolut necesară deoarece valorile comune ar crea confuzii de interpretare. Reprezentarea nivelelor logice prin nivele de tensiune este mai răspândită. Nivelele de tensiune din cele două domenii de valori respectă relația:

$$\forall V_1 \in D_1, \forall V_2 \in D_2 \Rightarrow V_1 > V_2. \quad (3.1)$$

Din acest motiv, tensiunile din D_1 se numesc nivele H (high), iar cele din D_2 se numesc nivele L (low).

Între nivelele logice 0, 1 și cele două domenii de valori ale tensiunilor D_1, D_2 se pot stabili 2 corespondențe diferite: logica pozitivă și negativă.

$$\text{logica pozitivă : } \begin{cases} 0 \rightarrow D_2 \\ 1 \rightarrow D_1 \end{cases} \quad \text{logica negativă : } \begin{cases} 0 \rightarrow D_1 \\ 1 \rightarrow D_2 \end{cases}$$

În practică se întâlnesc ambele tipuri de corespondențe. Stabilirea nivelelor de tensiune corespunzătoare domeniilor D_1 și D_2 depinde de modul de realizare al circuitului, de tehnologie, de tensiunea de alimentare etc.

3.2 Realizarea funcțiilor logice

Circuitele fizice sub formă integrată care realizează operatorii elementari definiți pe mulțimea B se numesc porți logice. Simbolizarea operatorilor logici elementari este prezentată în figura 3.2.

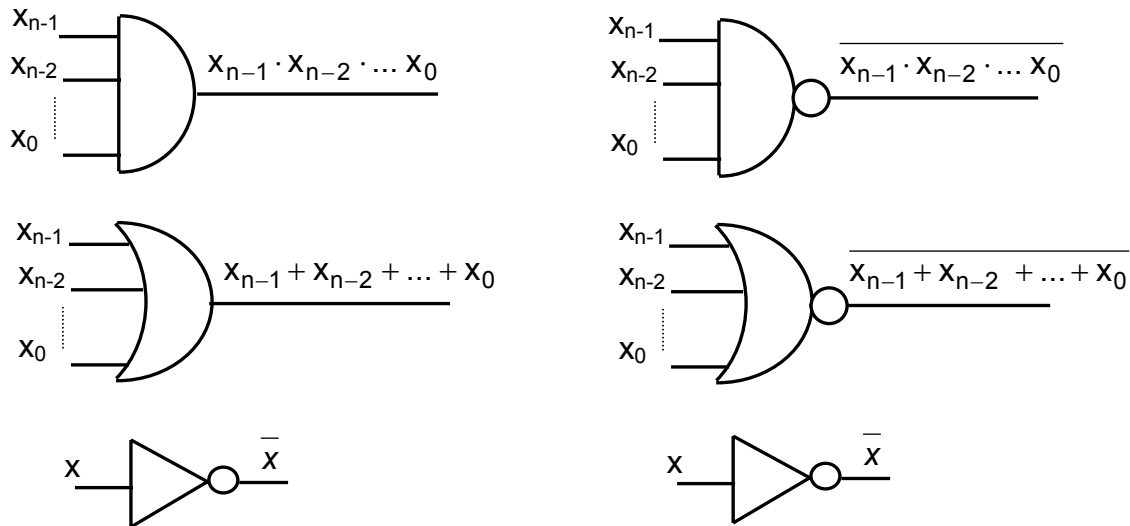


Figura 3.2 Simbolizarea operatorilor logici elementari

Din punct de vedere al tehnologiei folosite la realizarea porților logice, există o mare diversitate de soluții asociate unor tehnologii care stau la baza mai multor familii de circuite logice: TTL (cu subfamiliile TTL rapida, TTL Schottky etc.), MOS (stative sau dinamice), CMOS, ECL (logică cu cuplaj prin emitor), I²L (logică integrată de injecție). Cele mai cunoscute familii logice sunt familiile logice TTL și CMOS. Etajele de ieșire pentru porțile TTL standard respectiv pentru porțile CMOS sunt prezentate în figura 3.3. În starea logică 1 la ieșire, T_3 este blocat, iar T_4 conduce; în starea logică 0 la ieșire, T_3 este saturat iar T_4 este blocat.

În cazul porții CMOS, tranzistoarele de ieșire fiind complementare, ele se vor găsi în stări de conducție opuse: 1 logic la ieșire înseamnă T_2 saturat și T_1 blocat iar pentru 0 logic la ieșire T_2 este blocat iar T_1 saturat.

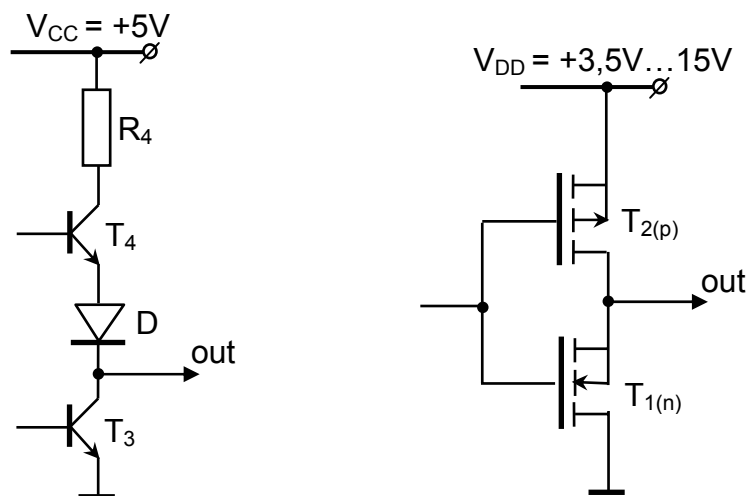


Figura 3.3 Etajul de ieșire al unei porți TTL și al unei porți CMOS

Circuitele logice, în general, pot avea ieșiri de trei feluri:

- ieșiri ce furnizează semnale logice cu nivele H și L ;
- ieșiri cu *colector în gol* - TTL (lipsește T_4 , R_4 și D) sau cu *drenă în gol* – CMOS
- ieșiri *three-state* (este posibilă blocarea ambelor tranzistoare ale etajului final).

Două ieșiri de circuite logice care nu sunt de tipurile cu *colector în gol* (*drenă în gol*) sau *three-state* (*3-state*) nu se pot lega împreună, pentru că ar putea apărea situații de conflict atunci când ieșirile lor generează valori logice diferite.

La circuitele cu colector în gol (*drenă în gol*) se poate obține nivel logic H la ieșire doar dacă se introduce o rezistență externă de sarcină în colectorul lui T_3 (*drena* lui T_1). Cu aceste tipuri de circuite se pot realiza funcții AND și NOR cablate prin interconectarea ieșirilor mai multor circuite (figura 3.4).

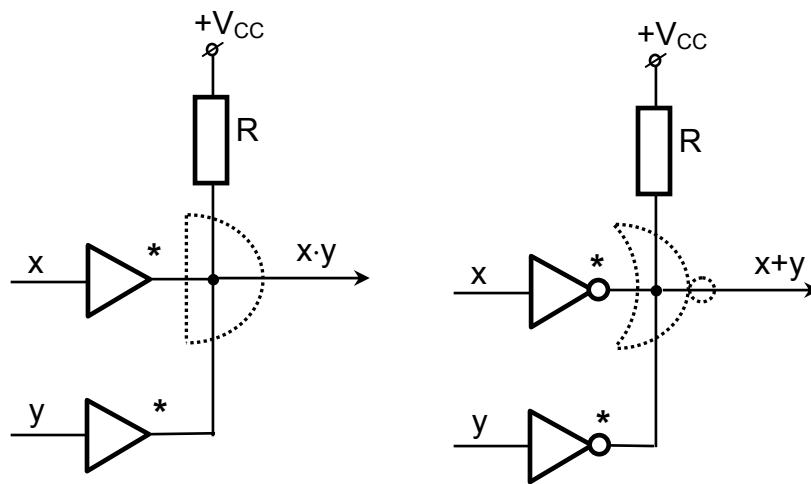


Figura 3.4 Obținerea de funcții AND și NOR cablate

Circuitele cu ieșiri *3-state* au apărut din necesitatea utilizării unor linii comune de date pentru mai multe blocuri sau sisteme logice a căror informație de ieșire nu este necesar a fi cunoscută simultan. Circuitele ce nu sunt conectate la un moment dat la linia comună de date trebuie să prezinte la ieșire o impedanță mare pentru a nu perturba ieșirea care este validată (activă) la un moment dat. Astfel se înlătură situațiile de conflict cu alte ieșiri. Ca urmare, ieșirile acestor circuite pot avea trei stări: H , L , HZ (*high impedance*, înaltă impedanță). Starea HZ se obține prin blocarea simultană a tranzistoarelor de ieșire prin intermediul unei intrări de validare (*enable*), notată E (activă în 1) sau \bar{E} (activă în 0).



Figura 3.5 Intrare de validare activa high, respectiv low

Observație:

Se pot realiza structuri logice cablate folosind diode și rezistoare (figura 3.6).

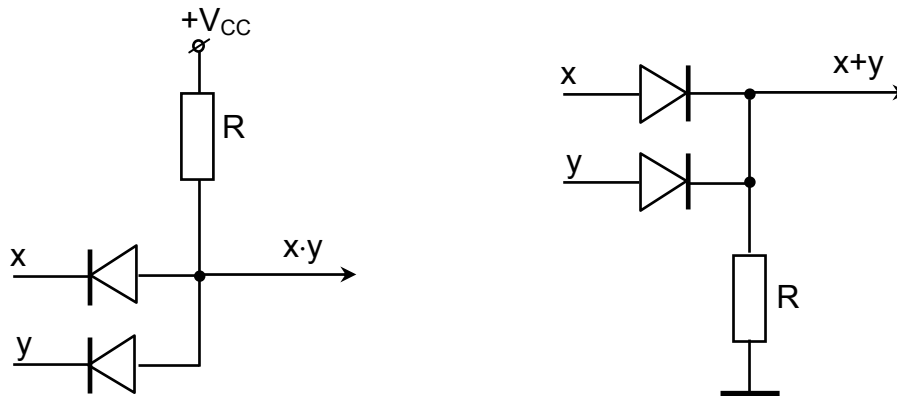


Figura 3.6 Structuri AND și OR cablate, realizate cu diode

În practică se întâlnesc frecvent structuri logice care sunt realizate folosind logica integrată și logica discretă (cablată sau simplă).

3.3 Parametrii circuitelor logice

Parametrii circuitelor logice se pot împărți în 2 categorii:

- **caracteristici electrice statice:** descriu comportarea circuitelor în curent continuu sau la variații lente în timp ale semnalelor;
- **caracteristici electrice dinamice:** descriu comportarea circuitelor la tranziții rapide ale semnalelor.

3.3.1 Caracteristici electrice statice

1. *Nivele logice de intrare* - intervalele de tensiune pentru care se atribuie nivelele logice 0 și 1 la intrarea unui circuit: V_{IL} , V_{IH} .

2. *Nivele logice de ieșire* - intervalele de tensiune pentru care se atribuie 0 și 1 la ieșirea unui circuit: V_{OL} , V_{OH} .

3. *Margine de zgomot* - $V_{NH} = V_{OH} - V_{IH}$, $V_{NL} = V_{OL} - V_{IL}$. Limitele domeniilor de tensiune corespunzătoare ieșirilor și intrărilor sunt astfel alese încât să fie posibilă întotdeauna cuplarea a două circuite (nivelele furnizate de o ieșire să fie întotdeauna corect interpretate de o intrare de același tip), existând și o rezervă de tensiune care este marginea de zgomot.

4. *Curenții de intrare* - curenții ce se pot închide prin intrarea circuitului pentru nivelele logice de intrare V_{IL} , V_{IH} : I_{IL} , I_{IH} .

5. *Curenții de ieșire* - curenții ce se pot închide prin ieșirea circuitului pentru nivelele logice de ieșire V_{OL} , V_{OH} : I_{OL} , I_{OH} .

6. *Fan-in* (factor de încărcare la intrare) - numărul de intrări standard cu care este echivalentă intrarea unui circuit.

7. *Fan-out* (factor de încărcare la ieșire) - numărul de intrări standard ce pot fi comandate de o ieșire. Pentru o cuplare corectă este necesar ca $fan-out \geq \sum fan-in$.

8. *Putere disipată pe poartă*, $P_d = V_{cc} I_c$; $\langle P_d \rangle = mW$.

9. *Capacitate de intrare* (MOS, CMOS) - capacitatea între intrare și masă.

3.3.2 Caracteristici electrice dinamice

1. *Timpul de propagare* - intervalul de timp scurs între aplicarea semnalului la intrare și obținerea răspunsului la ieșirea circuitului logic: t_{pHL} , t_{pLH} ;

$$t_p = \frac{1}{2}(t_{pHL} + t_{pLH}) \quad (3.2)$$

2. *Timpul de tranziție* - intervalul de timp în care are loc tranziția semnalului de la ieșirea circuitului: t_{tHL} , t_{tLH} ; t_{tHL} se mai numește *timp de cădere* (*fall time*, t_f) iar t_{tLH} se mai numește *timp de creștere* (*rise time*, t_r);

$$t_t = \frac{1}{2}(t_{tHL} + t_{tLH}); \quad (3.3)$$

3. *Timpul de pregătire* (*setup time*) - intervalul de timp cu care trebuie să preceadă semnalul de pe o intrare a unui circuit semnalul de pe o altă intrare luată drept referință de timp (t_{su});

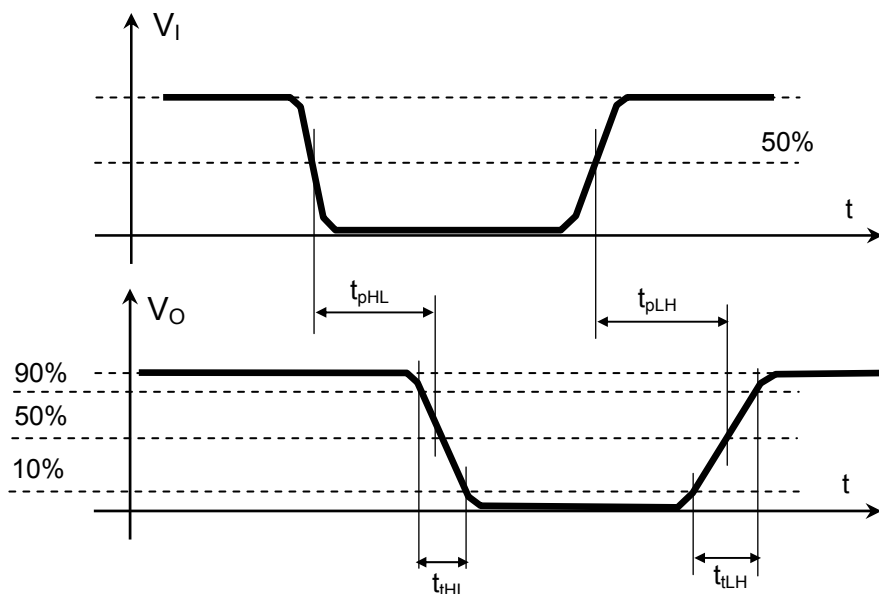


Figura 3.7 Definierea timpilor de propagare și de tranziție

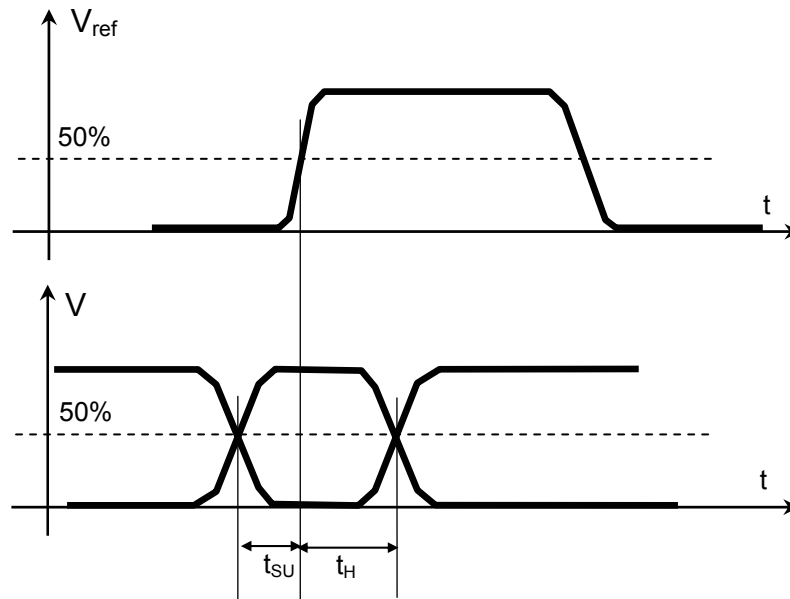


Figura 3.8 Timpul de pregătire și timpul de menținere

4. *Timpul de menținere (hold time)*: intervalul de timp cât trebuie menținut neschimbat semnalul de pe o intrare față de o altă intrare considerată referință de timp (t_h):

5. *Timpul de comutare din regim de înaltă impedanță în regim activ și invers pentru circuitele 3-state*: t_{pHZ} , t_{pLZ} , t_{pZH} , t_{pZL} ;

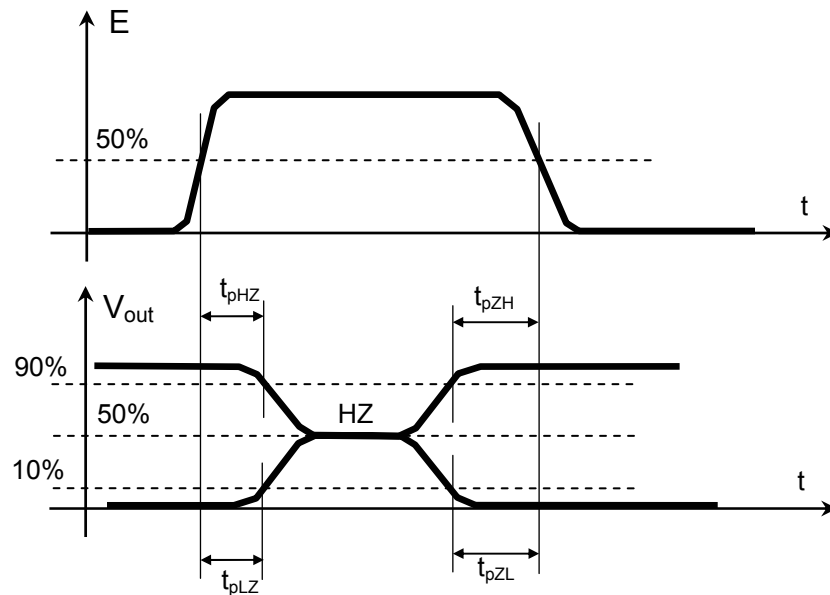


Figura 3.9 Timpi de comutare în/din starea de înaltă impedanță